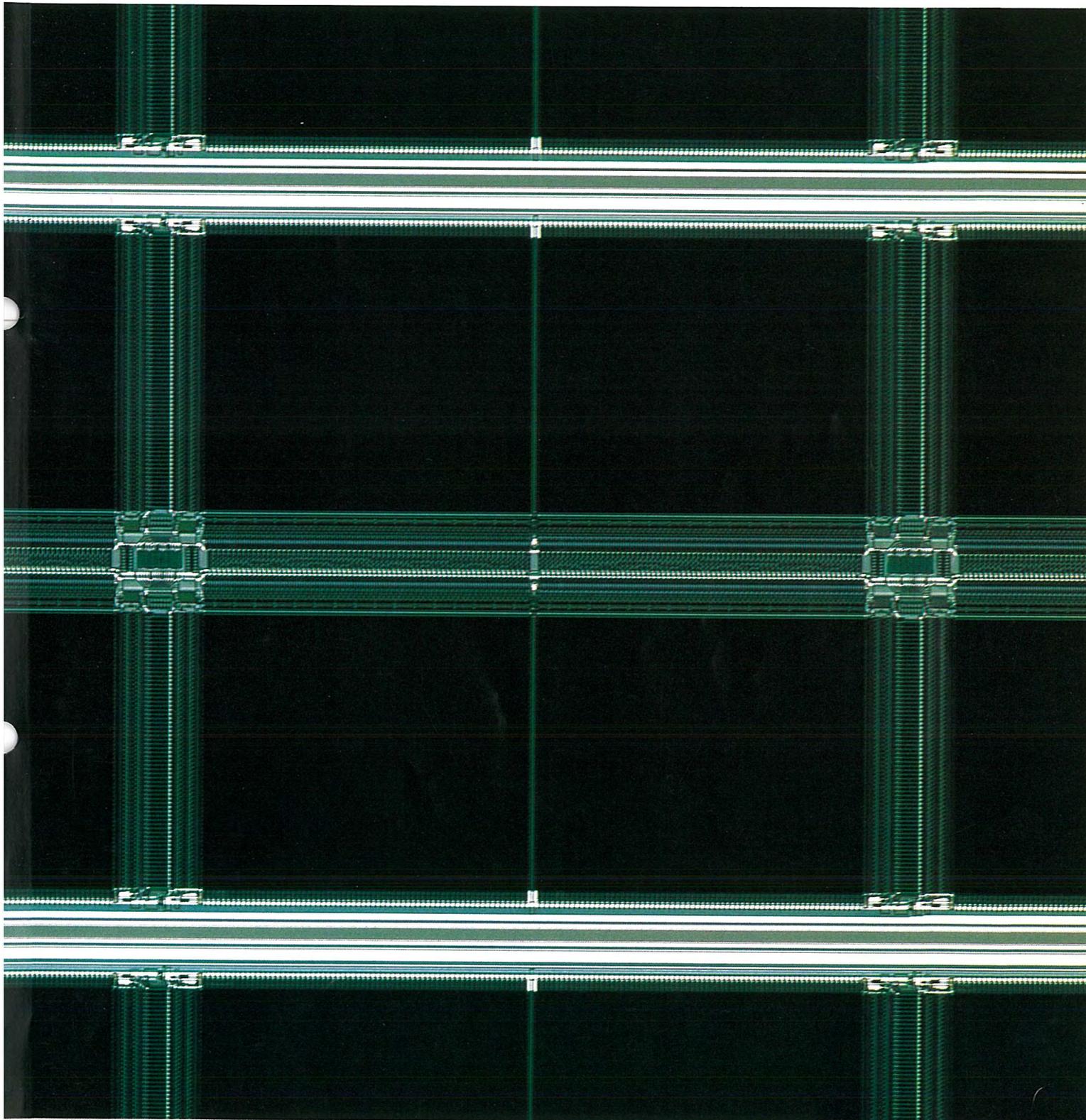


MITSUBISHI DENKI GIHO

三菱電機技報



Vol.58 No.8

半導体特集



8
1984

半導体特集

目次

特集論文

プラスチック封止256KビットダイナミックMOS RAM	1
山田通裕・藤島一康・益子耕一郎・畑中正宏・佐藤真一	
Mixed MOS形64KビットスタティックRAM	5
篠原尊史・河野芳雄・木原雄治・吉原 務・赤坂洋一	
高性能CMOSゲートアレー	9
植田昌弘・荒川隆彦・蔵満洋一・岡崎 芳・杉崎一三	
CMOS 8ビットワンチップマイコンシリーズ	13
脇本昭彦・倉田 勝・城田省三・山口雅史・藤田敏一	
CMOS マイクロプロセッサ周辺用LSI	16
宮島 博・山田達雄・脇本欣吾・在本昭哉・長谷川健次	
電圧シンセサイザ専用CMOS 4ビットマイクロコンピュータ	20
武部秀治・高橋直樹・境田優二・堀 俊彦・中尾佳生	
フレキシブルディスクドライブ用LSI	25
伊藤順治・福山 誠・梅山竹彦	
Bi-FETオペアンプ	29
御手洗五郎・西海 宏・山田友右・竹田浩二	
三相ソリッドステートリレーとその応用	32
大島征一・山下信三	
普通論文	
分子科学研究所納め極端紫外光源(UVSOR)用電磁石電源	37
寺本昭好・重信正広・伊地知俊昭・関 憲三郎・中谷俊雄	
1,000kW級集中配置形太陽光発電システム	42
武田行弘・高橋昌英・熊野昌義・湯屋俊一・湯川元信・坂田末男	
NC放電加工機	47
大丸隆正・住田光隆・大田垣みどり	
M4234 カラーサーマルプリント装置	52
中西 徹・菊地敏幸・品田幹夫	
新形ガスファンヒーター GD-30A形	56
古森秀樹・中村 進・牧野寿彦・門間 修・勝股文則	
日本道路公団納め中国自動車道広島中央局遠方監視制御装置	61
中川昭二・長友利広・小川一郎・中島 正・高橋 浄	
特許と新案	67, 68
荷電粒子ビーム照射装置の監視装置	
地絡検出装置	
スポットライト	
MF353形マイクロフレキシブルディスク装置	(表3)

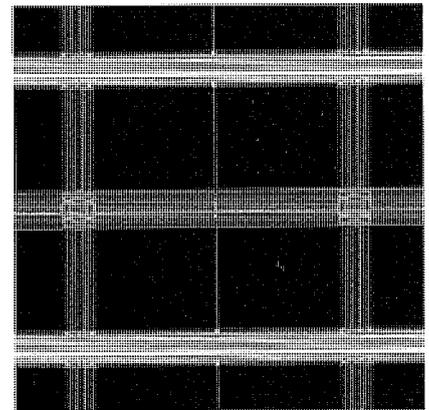
表紙

256KビットダイナミックMOS RAM : M5M4256P

本格的超LSI M5M4256Pは60万素子が一チップ上に集積化され、低価格を目指したプラスチックパッケージに封止された、256K×1ビット構成のダイナミックMOS RAMであり、大形電子計算機、パソコン、端末機器などの記憶装置に使用される。

M5M4256Pの製品化に当っては1.7μmルールの超LSI設計技術を駆使し、高速アクセスタイム(最大)100ns、消費電力(最大)動作時330mWの性能を得た。

表紙はチップの一部を拡大した写真である。



アブストラクト

プラスチック封止256KビットダイナミックMOS RAM

山田通裕・藤島一康・益子耕一郎・畑中正宏・佐藤真一

三菱電機技報 Vol.58・No.8・P1~4

プラスチックパッケージ封止の256KビットダイナミックMOS RAMの特長と電気的性能を紹介する。1.7 μ mルールの超微細加工技術によりチップサイズ33.1mm²を実現するとともに、ゲート酸化膜の薄膜化によりメモリ容量を50fFと大きく確保している。その結果、アクセスタイム88ns、消費電力242mWという高速・低消費電力の特性を得ると共に、ソフトウェア率を使用上全く問題のないレベルまで低くすることができた。

CMOS マイクロプロセッサ周辺用LSI

宮島 博・山田達雄・脇本欣吾・在本昭哉・長谷川健次

三菱電機技報 Vol.58・No.8・P16~19

マイクロプロセッサ周辺用LSIは、従来NMOS製品が主流であったが、マイコンシステムの軽量・小形化指向に伴い、CMOS化の必要性が大きくなってきている。今回、周辺用LSIの中でも基本的な機能を持つ5品種のCMOS品が完成したので、その電気的特性、NMOS品に対する改良点を技術面から紹介し、CMOS品の今後の展開についても述べる。

Mixed MOS形64KビットスタティックRAM

篠原尋史・河野芳雄・木原雄治・吉原 務・赤坂洋一

三菱電機技報 Vol.58・No.8・P5~8

メモリセルがNMOS、周辺回路がCMOSのMixed MOS形64KビットスタティックRAMを開発した。構成は8K語 \times 8ビットである。最小寸法2 μ mの微細化プロセス技術と2行デコーダ回路方式により、アクセス時間70ns、動作時消費電力275mW、データ保持時消費電力550 μ Wの高性能RAMを実現した。チップサイズは34.3mm²で、1行4列の冗長回路を有している。このICは28ピンDILプラスチックパッケージに封止している。

電圧シンセサイザ専用CMOS 4ビットマイクロコンピュータ

武部秀治・高橋直樹・境田優二・堀 俊彦・中尾佳生

三菱電機技報 Vol.58・No.8・P20~24

当社では、全電子式選局システムを可能にし、ソフトウェアの変更によりセットメーカーの多種多様な要求にこたえられる電圧シンセサイザ専用CMOS 4ビットマイクロコンピュータM50430- $\times\times\times$ SP及びM50431- $\times\times\times$ SPを開発した。M50430- $\times\times\times$ SPは、1.25K語 \times 8ビットのROMを持ち、TV、VTRの低級機用選局システムに適している。また、M50431- $\times\times\times$ SPは3K語 \times 8ビットのROM容量を持ち、中・高級機用選局システムに適している。

高性能CMOSゲートアレー

植田昌弘・荒川隆彦・蔵満洋一・岡崎 芳・杉崎一三

三菱電機技報 Vol.58・No.8・P9~12

当社では高集積化が可能な独自のゲート分離方式により、3 μ m系(3ns/ゲート)2,600, 1,600, 1,100ゲート、2 μ m系(1.5ns/ゲート)8,000ゲートのCMOSゲートアレーを開発し、既に100品種以上を各種の製品に実用化した。また短期開発を確実にするために、多種類の既設計論理ブロックを準備し、論理変換、配置配線、テスト生成などの自動設計ツールや各種の設計検証プログラムをデータベースを中心に充実させた。

フレキシブルディスクドライブ用LSI

伊藤順治・福山 誠・梅山竹彦

三菱電機技報 Vol.58・No.8・P25~28

フレキシブルディスクドライブ(FDD)の急速な需要の伸びに対し、ショットキー構造・高周波・高密度・2層配線の新ウェーハプロセスを用いた、リード/ライト機能+各種制御ロジック内蔵のM51017Pと、各種のFDDに対応できる汎用性の高いリード/ライト機能を持つM51018Pの2品種を開発した。

高性能リード/ライト機能・小形・省部品の機器構成が可能なこの2品種ICの特長を紹介する。

CMOS 8ビットワンチップマイコンシリーズ

脇本昭彦・倉田 勝・城田省三・山口雅史・藤田紘一

三菱電機技報 Vol.58・No.8・P13~15

近年、機器の制御内容の複雑化、低消費電力化の要求及び、ウェーハプロセス技術の進歩に伴って8ビットマイコンにおいてもワンチップ化、CMOS化が急速に進んでいる。当社では、既に高機能CMOS 8ビットワンチップマイコンM50740- $\times\times\times$ SPを開発している。このマイコンを基本として、メモリ容量を拡大したもの、A/D変換器を内蔵したものなど顧客の要求に合ったマイコンを開発している。本論ではそれらについて紹介する。

Bi-FETオペアンプ

御手洗五郎・西海 宏・山田友右・竹田浩二

三菱電機技報 Vol.58・No.8・P29~31

J-FETとバイポーラ形トランジスタは製造プロセスの違いから、同一チップ上に混在させるのは非常に困難であったが、イオン注入技術及び小信号トランジスタで実績のある低雑音ウェーハプロセスを適用することにより、入力段J-FET差動形の汎用アンプ2回路入りの高入力インピーダンスで高速特性及び低雑音特性を持ったBi-FETオペアンプIC、M5221L/Pを製品化したのでその特性、用途などについて報告する。

Abstracts

Mitsubishi Denki Giho: Vol. 58, No. 8, pp. 16 ~ 19(1984)

A CMOS Microprocessor Peripheral LSI

by Hiroshi Miyajima, Tatsuo Yamada, Kingo Wakimoto,
Akiya Arimoto & Kenji Hasegawa

NMOS circuits used to be the mainstay of LSI microprocessor peripherals; however, the trend toward decreased size and weight has stimulated increased use of CMOS devices. Mitsubishi Electric has perfected five types of CMOS devices possessing the basic functions essential to LSI peripherals. The article introduces their electrical characteristics, explains the technological advantages of CMOS over NMOS circuits, and outlines their future development.

Mitsubishi Denki Giho: Vol. 58, No. 8, pp. 1 ~ 4 (1984)

A Plastic Package 256K-Bit Dynamic MOS RAM

by Michihiro Yamada, Kazuyasu Fujishima, Koichiro Mashiko,
Masahiro Hatanaka & Shin'ichi Sato

The article introduces the features and electrical characteristics of a 256K-bit dynamic MOS RAM in a molded plastic package. The technology for 1.7 μ m-scale ultra-microlithography has reduced chip size to only 33.1mm², while the employment of a thin oxide film gate has increased the memory capacity to 50fF. These advances have resulted in a high-speed access time of 88ns and low power consumption of 242mW. In addition, the soft error rate has been reduced to a level which is practically negligible.

Mitsubishi Denki Giho: Vol. 50, No. 8, pp. 20 ~ 24 (1984)

A CMOS 4-Bit Microcomputer for Voltage Synthesizers

by Hideharu Takebe, Naoki Takahashi, Yuji Sakaida, Toshihiko Hori & Yoshio Nakao

Mitsubishi Electric has made possible an all-electronic digital tuning system. Two CMOS 4-bit microcomputers, the M50430-XXXSP and M50431-XXXSP, have been developed for voltage synthesizers in response to demand from TV and VTR manufacturers for devices that meet various needs and applications by modifying software. The M50430-XXXSP, which is a 1.25K-word \times 8-bit ROM, is applicable for channel-selection systems in lower-quality TV and VTRs. The M50431-XXXSP with a 3K-word \times 8-bit ROM capacity is suitable for the corresponding systems in higher quality units.

Mitsubishi Denki Giho: Vol. 58, No. 8, pp. 5 ~ 8 (1984)

A Mixed MOS 64K-Bit Static RAM

by Hirofumi Shinohara, Yoshio Kono, Yuji Kihara,
Tsutomu Yoshihara & Yoichi Akasaka

A mixed MOS 64k-bit static RAM has been developed containing an NMOS memory cell with CMOS peripheral circuits. It is constructed in an 8K-word \times 8-bit configuration. Ultra-fine fabrication technology permitting 2 μ m circuit elements combined with a two-row decoder circuit have enabled production of a high-performance RAM with 70ns access time and 275mW active power dissipation. Data retention requires only 550 μ W. The chip size is 34.3mm² and it has a one-row four-column redundant circuit. The IC is molded in a 28-pin DIL plastic package.

Mitsubishi Denki Giho: Vol. 58, No. 8, pp. 25 ~ 28 (1984)

A Flexible-Disk Drive LSI

By Junji Ito, Makoto Fukuyama & Takehiko Umeyama

In response to the rapidly increasing demand for flexible-disk drives, two types of LSIs have been developed by employing a new wafer process that features short-key, high-density, and double-layer printed-circuit construction as well as high-frequency capability. The M51017P features read/write functions and various types of control logic. The M51018P features powerful general read/write functions permitting applications in numerous kinds of flexible-disk drives. The article introduces the features of these two ICs that permit the development of compact units containing fewer components while retaining highly efficient read/write functions.

Mitsubishi Denki Giho: Vol. 58, No. 8, pp.9 ~ 12 (1984)

A High-Performance CMOS Gate Array

by Masahiro Ueda, Takahiko Arakawa, Yoichi Kuramitsu,
Kaoru Okazaki & Kazumi Sugisaki

Mitsubishi Electric's unique gate-isolation configuration, which permits hybrid integration, was employed to develop a CMOS gate array having two gate modes: a 3 μ m mode (3ns/gate) with 2,600, 1,600, and 1,100 gates; and a 2 μ m mode (1.5ns/gate) with 8,000 gates. With more than 100 different variants, these gate arrays are already being used in a wide variety of products. This CMOS gate array was developed rapidly on the basis of various pre-existing logic blocks. With databases playing a major role, software is being completed for various kinds of design verification as automatic planning tools for test developing, layouts, and the decomposition of soft-logic macros.

Mitsubishi Denki Giho: Vol. 58, No. 8, pp. 29 ~ 31 (1984)

Bi-FET Operational Amplifiers

by Goro Mitarai, Hiroshi Nishiumi, Yusuke Yamada & Koji Takeda

The differences in the construction processes for J-FET and bi-polar transistors make it extremely difficult to include both elements on the same chip. The application of a proven low-noise wafer process that uses ion-injection technology and low-signal transistors resulted in Bi-FET operational amplifier ICs, the M5221L and M5221P. The input stage features two J-FET general-purpose differential amplifiers with high input impedance giving high-speed and low-noise characteristics. The article gives information concerning the characteristics and applications of these two amplifiers.

Mitsubishi Denki Giho: Vol. 58, No. 8, pp. 13 ~ 15 (1984)

A Series of CMOS 8-Bit One-Chip Microcomputers

by Akihiko Wakimoto, Masaru Kurata, Shozo Shirota,
Masafumi Yamaguchi & Koichi Fujita

Recent demands for sophisticated equipment control, low power consumption, and advanced wafer-process technology has stimulated rapid progress in the development of CMOS single-chip microcomputers. Mitsubishi Electric has developed a series of CMOS, 8-bit, one-chip microcomputers, the M50740-XXXSP. Mitsubishi Electric is using this microcomputer as the basis for development of microcomputers that respond to user demands by featuring more memory capacity, built-in A/D converters, and other features. The article introduces these microcomputers.

アブストラクト

三相ソリッドステートリレーとその応用

大島征一・山下信三

三菱電機技報 Vol.58・No.8・P32～36

電磁接触器の無接点化をねらい、三相ソリッドステートリレーを開発した。これまでに量産化した AC220V, 5A, 10A, 15A, 30A, 40A (三相誘導電動機AC200/220V, 0.75～7.5kW適用) とAC440V, 30A, 40A (三相誘導電動機AC400/440V, 5.5kW, 11kW適用) シリーズの構造と特長, 種類, 定格, 特性, 更にその応用例について述べる。

M4234 カラーサーマルプリンタ装置

中西 徹・菊地敏幸・品田幹夫

三菱電機技報 Vol.58・No.8・P52～55

オフィスオートメーションが推進され、パーソナルコンピュータが大衆化してきた現在、コンピュータの端末機器であるプリンタにも、オフィスでの静粛性、及び会議などの資料に適する出力が得られる高密度印字機能が要求されている。当社では、熱転写方式を用いて、これらの要求にこたえるとともに、カラーでの出力も可能としたM4234 カラーサーマルプリンタ装置を開発したので、その概略を紹介する。

分子科学研究所納め極端紫外光源 (UVSOR) 用電磁石電源

寺本昭好・重信正広・伊地知俊昭・関 憲三郎・中谷俊雄

三菱電機技報 Vol.58・No.8・P37～41

分子科学研究所に極端紫外光源 (UVSOR) 用電磁石電源一式を製作、納入した。電源はいずれも高精度を要求されたが、特にシンクロトロン電磁石電源の仕様は、コイル電流を150msで0から1,200Aまで直線で立ち上げ、2.5%から100%における電流精度が理想値の $\pm 0.2\%$ 以下の高精度であった。これに対し24相サイリスタと高周波多重チョップの組合せ主回路、高速16ビットA/D変換器を利用した高安定制御回路により、精度実現に成功した。

新形ガスファンヒーター GD-30A形

古森秀樹・中村 進・牧野寿彦・門間 修・勝股文則

三菱電機技報 Vol.58・No.8・P56～60

従来のガスファンヒーターと比較して、より低NOx(窒素酸化物)燃焼、省エネルギー、省スペースを追求した、新形ガスファンヒーター GD-30A形を開発した。新開発の全一次表面燃焼式メッシュバーナを使った低NOx燃焼の実現、2バーナー方式及び、温風下吹出し方式による省エネルギー、新開発小形シロッコファン (ふく流ファン) による省スペースの実現などを中心に、技術課題の解決過程について述べる。

1,000kW級集中配置形太陽光発電システム

武田行弘・高橋昌英・熊野昌義・湯屋俊一・湯川元信・坂田末男

三菱電機技報 Vol.58・No.8・P42～46

サンシャイン計画の一環として1,000kW級集中配置形太陽光発電システムの研究開発が西条太陽光試験発電所において行われている。現在第1期工事として200kW級システムを設置し、太陽光発電システムの基礎特性把握のための研究運転を行っている。このシステムは試験発電設備として系統連系運転、独立運転の機能を持ち、また制御方式も種々可能なように構成されている。主要部である直交変換装置を中心にシステムの概要について述べる。

日本道路公団納め中国自動車道広島中央局遠方監視制御装置

中川昭二・長友利広・小川一郎・中島 正・高橋 浄

三菱電機技報 Vol.58・No.8・P61～66

西日本の産業の開発発展・地域振興に貢献している中国自動車道は、中国地方を縦貫する高速道路である。日本道路公団広島中央局は中国自動車道の兵庫県佐用IC～山口県小月IC間約410kmを管理範囲とし、交通流管理設備の監視制御を実現するために、広域情報伝送装置・制御用計算機・マンマシンインタフェースなど最新の電子システムを中心に広域交通管理用遠方監視制御システムを構築し順調に運用している。このシステムは6制御局・監視局をコントロールする大規模システムである。

NC放電加工機

大丸隆正・住田光隆・大田垣みどり

三菱電機技報 Vol.58・No.8・P47～51

NC放電加工機C6シリーズは、昭和57年秋に発表し、好評を得ているが、今回、更に操作性を向上させた自動プログラムなどを開発した。主な特長は下記のとおりである。

(1)位置決めから、荒・仕上げ加工に至るまでの加工ノウハウを含んでおり、パラメータ入力だけで高度な加工が可能な自動プログラム

(2)容易にプログラムのチェックができるグラフィックシミュレーション

Abstracts

Mitsubishi Denki Giho: Vol. 58, No. 8, pp. 52 ~ 55 (1984)

The M4234 Color Thermal Printer

by Toru Nakanishi, Toshiyuki Kikuchi & Shinada Mikio

The progress being made in office automation and the popularization of personal computers has created a need for computer printer terminals with high resolution that can provide material suitable for meetings, and is also quiet enough for office use. Mitsubishi Electric has met these needs by developing the M4234 color thermal printer, which employs the thermal-transfer printing method to achieve color capabilities. The article gives a brief outline of the printer.

Mitsubishi Denki Giho: Vol. 58, No. 8, pp. 32 ~ 36 (1984)

A Three-Phase Solid-State Relay and Its Applications

by Seichi Oshima & Shinzo Yamashita

The three-phase solid-state relay was developed as a means of providing a contactless magnetic relay. Two series of Mitsubishi solid-state relays have so far been produced in quantity. One is the 220VAC series of 5A, 10A, 15A, 30A, and 40A capacities for use with three-phase, 200/220VAC induction motors in the 0.75~7.5kW range. The other is the 440VAC series of 30A and 40A capacities for use with three-phase, 400/440VAC induction motors of 5.5kW and 11kW, respectively. The article gives details concerning the construction, features, various ratings, characteristics, and applications of these relays.

Mitsubishi Denki Giho: Vol. 58, No. 8, pp. 56 ~ 60 (1984)

The GD-30A, a New Type of Fan Heater

by Hideki Komori, Susumu Nakamura, Toshihiko Makino, Osamu Momma & Fuminori Katsumata

Mitsubishi Electric has developed a new type of gas fan heater, the GD-30A, which is smaller, consumes less energy, and exhibits lower levels of NO_x in the combustion products than previous heaters. The use of a newly developed fuel-lean surface combustion mesh burner results in low- NO_x combustion. Two burners and a down-flow system contribute to energy conservation, and the newly developed, compact centrifugal (or sirocco) fan is space efficient. The article covers the issues raised in solving the technological problems.

Mitsubishi Denki Giho: Vol. 58, No. 8, pp. 37 ~ 41 (1984)

A Power Source for UVSOR Magnets in Use at IMS

by Akiyoshi Teramoto, Masahiro Shigenobu, Toshiaki Ijichi, Kenzaburo Seki, & Toshio Nakatani

Mitsubishi Electric has produced and delivered to the Institute of Molecular Science (IMS) a magnetic-power-source system for ultraviolet synchrotron orbital radiation (UVSOR). High precision is required of power sources for all such systems, but this is particularly so for the magnetic-power source of a synchrotron. The specifications for this synchrotron required the generation of a linear current in the coil of 0~1,200A within 150ms with less than a $\pm 0.2\%$ error over a 2.5~100% range. This accuracy was achieved by employing high-stability control circuits using main circuits of 24 thermistors and high-frequency multiple choppers along with a high-speed 16-bit analog-to-digital converter.

Mitsubishi Denki Giho: Vol. 58, No. 8, pp. 61 ~ 66 (1984)

A Traffic Surveillance and Control System for the Chugoku Expressway

by Shoji Nakagawa, Toshihiro Nagatomo, Ichiro Ogawa, Tadashi Nakajima & Kiyoshi Takahashi

The Chugoku Expressway, which serves the Chugoku region, is contributing to the industrial and regional development of western Japan. The Hiroshima Central Bureau of the Japan Highway Public Corporation is responsible for the management of 410km of the Chugoku Expressway stretching from the Sayo interchange in Hyogo Prefecture to the Shogetsu interchange in Yamaguchi Prefecture. To create facilities for monitoring and controlling traffic, a long-distance surveillance and control system for large-area traffic management was constructed, employing the latest electronic systems, including wide-area information-transmission equipment, processing computers, and man-machine interfaces. This is a large-scale system with six control and surveillance stations.

Mitsubishi Denki Giho: Vol. 58, No. 8, pp. 42 ~ 46 (1984)

A 1,000kW-Class Central Photovoltaic-Power System

by Yukihiko Takeda, Masahide Takahashi, Masayoshi Kumano, Shun'ichi Yuya, Motonobu Yukawa & Suetaka Sakata

As part of the national Sunshine Project, research and development of a 1,000kW-class central photovoltaic-power system is taking place at the Saijo Photovoltaic Testing Power Station. A 200kW-class system has been installed as the first level of construction to provide the opportunity to investigate and research the basic characteristics of photovoltaic-power systems. This research has currently reached the stage of operating a pilot experimental plant with functions that enable it to feed to AC distribution power grids or to independent loads. The plant-control system was also designed to cope with various potential applications. The article outlines the system and particularly the DC-AC converter equipment, a key element of the system.

Mitsubishi Denki Giho: Vol. 58, No. 8, pp. 47 ~ 51 (1984)

An NC Electrical-Discharge Machine

by Takamasa Daimaru, Mitsutaka Sumita & Midori Otogaki

The C6 series of numerically controlled electrical-discharge machines was first announced in the autumn of 1982 and has since won widespread acclaim. To upgrade the operability of this series, a program has been developed, the main features of which are described in the article. This interactive SDI automatic program incorporates machining know-how, from positioning to rough finish machining, making it possible to achieve high levels of machining merely by entering the parameters. A graphic simulator enables easy checking of programs.

プラスチック封止256KビットダイナミックMOS RAM

山田通裕*・藤島一康**・益子耕一郎**・畑中正宏**・佐藤真一**

1. ま え が き

超LSIの玄関口と言われた64KビットダイナミックMOS RAM (64K (D) RAM) は既に量産化され、電算機メインフレーム、パーソナルコンピュータをはじめ各種記憶装置に広い分野で使用されている。しかし、エレクトロニクス産業の急速な進展に伴い、より高性能、より大容量なメモリデバイスの要求は限りなく、これにこたえるべくセラミックパッケージ封止の256K (D) RAM が既に製品化されている現状である⁽¹⁾。一方、より低価格な256K (D) RAM を提供するには、これをプラスチックパッケージ封止にすることが必ず(須)である。なぜなら、製造コストに占めるセラミックパッケージのコストの割合が大きいためである。製造技術的に見れば、セラミック封止の場合、チップの短辺方向の長さを約5.0mmまで許容できるのに対し、プラスチック封止の場合、パッケージの大きさからくる制限によりこれを約3.8mmまでしか許容できないという違いがある。すなわち、プラスチック封止を実現するにはセラミック封止よりも一層微細な転写・加工技術が要求され、これに伴いメモリセルサイズが小さくなり、デバイス技術的にも工夫が必要となってくる。

本稿では、当社が開発を進めてきたプラスチック封止256K (D) RAM の特徴と電気的性能を、既に開発量産されているセラミック封止256K (D) RAM⁽¹⁾との比較を中心に紹介を行う。

2. 縮小形256K (D) RAM の設計

図1はプラスチック封止した256K (D) RAM のパッケージ外形写真を示し、同時にそのピン配置を示している。プラスチック封止の256K (D) RAM (縮小形と称す)の開発に当たっては、既に開発量産されているセラミック封止の256K (D) RAM (従来形と称す)とのプロセス技術、メモリセル構造、回路技術のコンパチビリティを保つことを基本的に設計を行った。すなわち、従来形で蓄積された個々の技術の多くをそのまま縮小形に適用できる利点をいかしながら、縮小形特有の

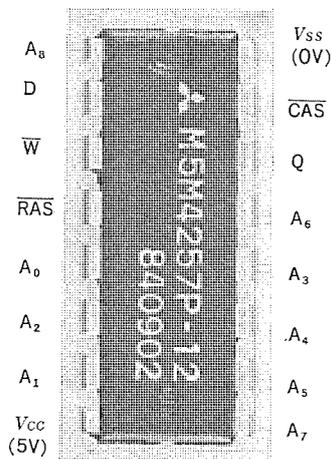
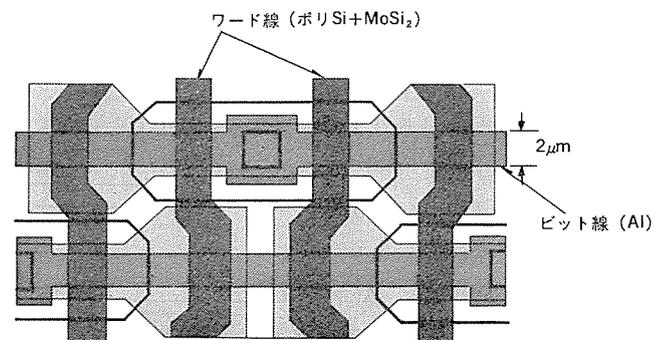


図1. プラスチック封止256K (D) RAM (ニブルモード機能付き)

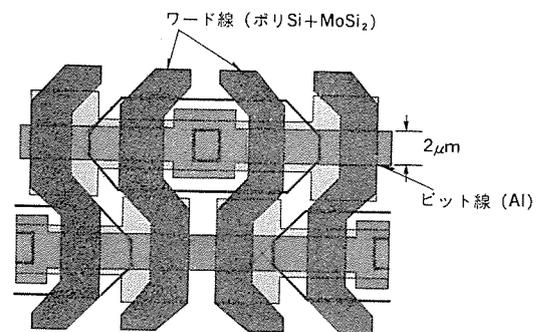
問題点に集中して開発を行った。したがって、縮小形は従来形と同じ次のような回路的特長を持っている。

- (1) 5V 単一電源動作 (基板 バイアス 発生回路内蔵)
- (2) 高速動作: 最大 アクセスタイム/サイクルタイム
= 100 ns / 210 ns
- (3) 低消費電力: 動作時最大/スタンバイ時最大
= 360 mW / 22 mW
- (4) 256 リフレッシュサイクル/4 ms ($A_0 \sim A_7$)
- (5) アルミ工程 マスタスライス でページモード機能付きとニブルモード機能付きが実現可能
- (6) \overline{RAS} オンリーリフレッシュ, ヒドンリフレッシュ, \overline{CAS} ビフォア \overline{RAS} リフレッシュ 可能
- (7) レザプログラム方式冗長構成の採用

縮小形特有の問題点はメモリセルサイズが小さくとも、メモリ容量をいかに確保するかにある。図2は従来形と縮小形のメモリセルの平面パターン図を比較したものである。また図3に両者のメモリセルの顕微鏡写真を示す。これらの図から分かるように、両者の基本的なメモリセル構造は同じであり、ワード線にはポリサイド (ポリシリコンとモリブデンシリサイドの2層構造) を使用し、ビット線にはアルミを使用している。両者のメモリセルの違いは、そのセルサイズにある。縮小形のメモリセルは1.7 μ mのデザインルールで設計され、そのセルサイズは65.7 μ m² (6.2 μ m \times 10.6 μ m²) で従来形 (98 μ m²) の67%に縮小されて



(a) 従来形



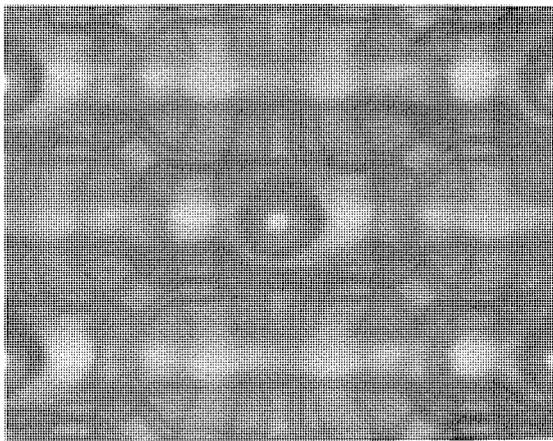
(b) 縮小形

図2. 従来形と縮小形のメモリセルの平面パターン図

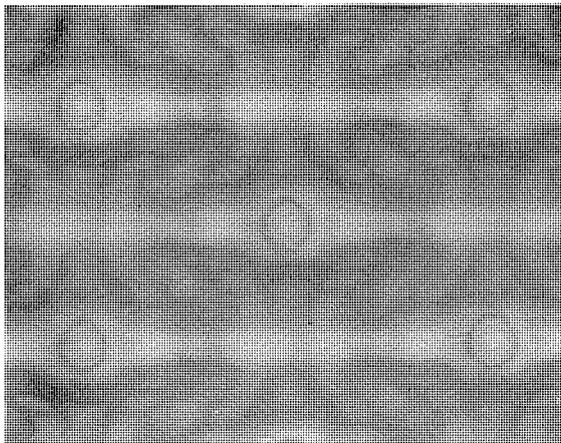
いる。それにもかかわらず、ゲート酸化膜形成技術の進展により、メモリセルを構成するメモリ容量のゲート酸化膜厚を従来形の約60%に薄膜化しているため、メモリ容量は従来形と同じ50 fFを確保することができた。このことは広い動作マージンを維持しながら、比例縮小

則⁽²⁾に則って高速性能化と低消費電力化を同時に達成できることを意味している。縮小形においても、雑音に対してバランスした設計が容易な折返しビット線方式を採用し、基板のノイズの影響を軽減する目的でメモリセルのセルプレートに接地電極(V_{SS})にしてデカップルコンデンサの役割を持たせている。また、メモリ容量を増加させるために、64 K (D) RAM 以来標準プロセスとして確立しているHi-C (High Capacitance) セル構造⁽³⁾を採用している。

図4. は従来形と縮小形の256 K (D) RAM の顕微鏡拡大写真を示し、その構成は図5. に示すように全く同じである。従来形は2 μm デザインルールで設計されチップサイズは4.85 mm × 9.8 mm (=47.5 mm²) であるのに対し、縮小形は1.7 μm デザインルールで設計されチップサイズは3.78 mm × 8.75 mm (=33.1 mm²) である。メモリセルアレイは

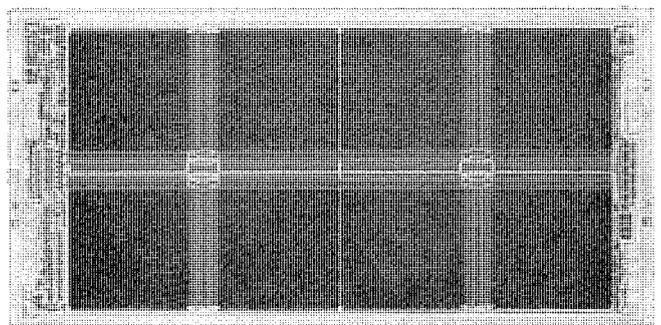


(a) 従来形

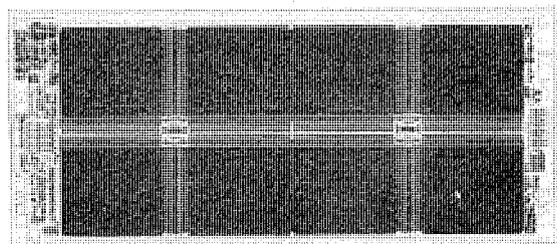


(b) 縮小形

図3. 従来形と縮小形のメモリセルの顕微鏡写真(同一倍率)

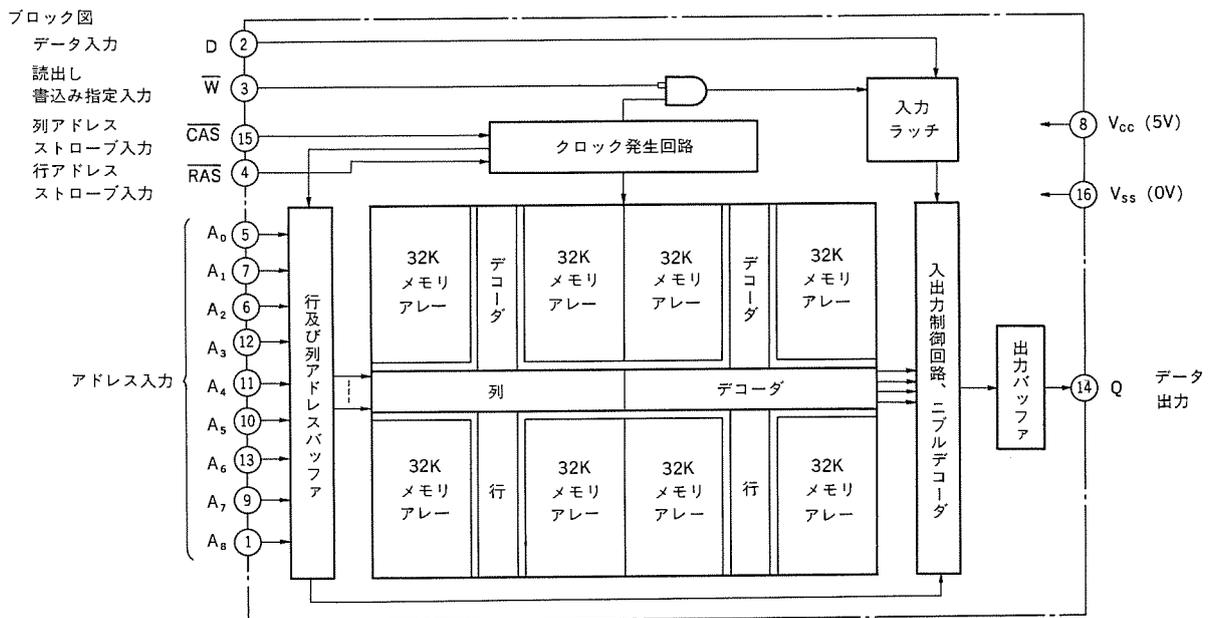


(a) 従来形



(b) 縮小形

図4. 従来形と縮小形の256 K (D) RAM 顕微鏡写真(同一倍率)



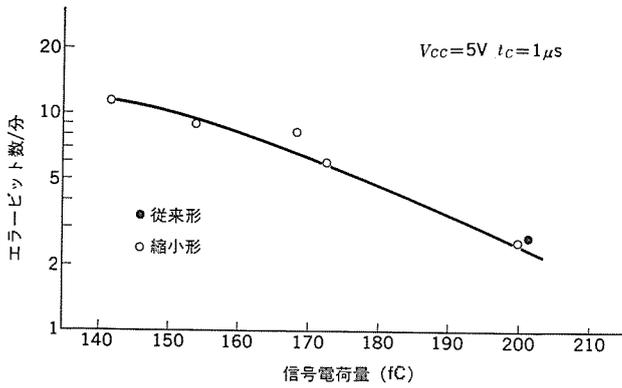


図 6. ソフトエラー 加速試験 データ

表 1. 従来形と縮小形 チップ の比較

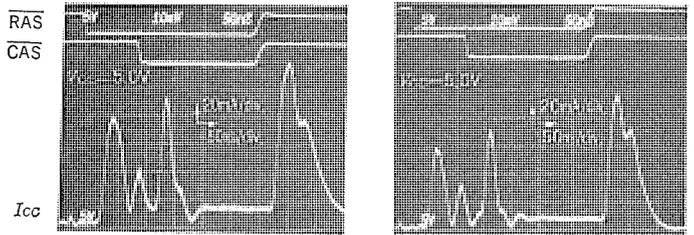
項 目	従 来 形	縮 小 形
パ ッ ケ ー ジ	セラミック	プラスチック
チップサイズ (mm ²)	47.5	33.1
セルサイズ (μm ²)	98	65.7
デザインルール (μm)	2	1.7
メモリ容量 (fF)	50	50

32 K ビットの 8 個のブロックに分割されポリサイドで形成されたワード線の信号遅延を低減するために 2 組の行 デコーダが設けられている。

メモリセルサイズの縮小に伴って一番問題となるのはソフトエラー率の増大である。ソフトエラーとはパッケージ材料などに含まれるウランやトリウムから放射されるα粒子によって引き起こされるエラーである。縮小形においては、セルサイズが 67% に縮小されているにもかかわらず、ゲート酸化膜の薄膜化によってメモリ容量は従来形と同じになっているので、縮小形のソフトエラー率を使用上全く問題のないレベルまで低くすることができた。図 6. はα線源によるソフトエラー加速試験結果を示し、横軸にメモリセルに蓄積される信号電荷量を取り、縦軸に単位時間当りのエラービット数をとったものである。図において、縮小形のゲート酸化膜を故意に変化させて信号電荷量を変えたデータと同時に、従来形のデータを示している。図 6. は、実際の縮小形チップの信号電荷量が従来形と同じであり、縮小形のソフトエラー率は従来形と同様十分低いレベルであることを示している。以上、従来形と縮小形チップの比較を表 1. にまとめて示す。

3. 電気的特性

今回開発した 256 K (D) RAM は、1.7 μm ルールの設計基準を用いてチップサイズを従来形の約 70% に縮小したので、ビット線容量をはじめ、各信号の配線容量などの浮遊容量が減少し、消費電力の低減と動作速度の高速化が同時に可能となった。図 7. に、V_{CC}=5 V で動作させた時の電源電流波形を示す。R_{AS} が高レベルになる時のピーク電流は、充電するべきビット線の容量の減少を反映して、従来形の 120 mA から 100 mA に減少している。また、V_{CC}=5.5 V の動作時平均電源電流のサイクルレート依存性を図 8. に示す。サイクルタイムが 210 ns における室温での消費電流として約 44 mA という値が得られた。この値は、従来形の約 70% であり、大幅な低電力化が達成できた。



(a) 従 来 形 (b) 縮 小 形

図 7. 従来形と縮小形の電源電流波形

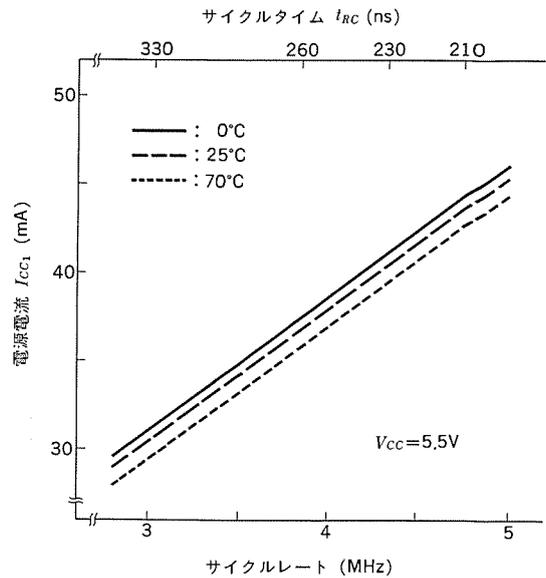


図 8. 動作時平均電源電流のサイクルレート依存性 (縮小形)

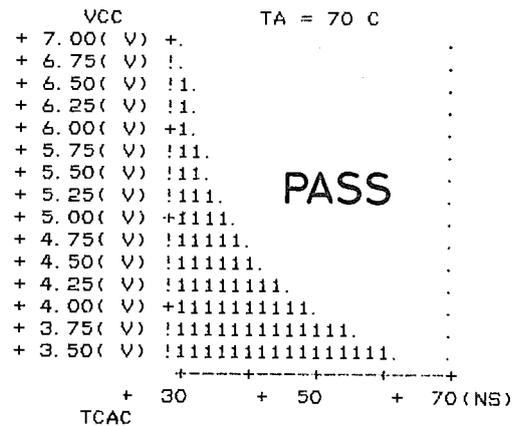


図 9. R_{AS} アクセスタイムの電源電圧依存性 (縮小形)

図 9. は、周囲温度 70°C における R_{AS} アクセスタイム (t_{CAC}) の電源電圧 (V_{CC}) 依存性を示すシユム-プロット図で、負荷条件は 100 pF を付加した等価的な 2 TTL 負荷である。V_{CC}=5 V で t_{CAC}=38 ns が得られ、V_{CC}=5.5~4.5 V の規格内で t_{CAC}=35~42 ns と ±10% 変動している。図 10. は、V_{CC}=4.5 V、周囲温度 70°C における R_{AS} アクセスタイム (t_{RAC}) と R_{AS}-R_{AS} 遅延時間 (t_{RCD}) の関係を示す図で、t_{RCD}=50 ns で t_{RAC}=92 ns という結果が得られた。メモリ動作、周辺回路動作の動作マージンを調べる評価方法として、書込み時と読み出し時の電源電圧を変化させる V パンテストがよく知られているが、今回開発した 256 K (D) RAM では、メモリセルプレートに V_{SS} にしデカップルコンデンサの役割を持たせたり、電圧変動によるアクセ

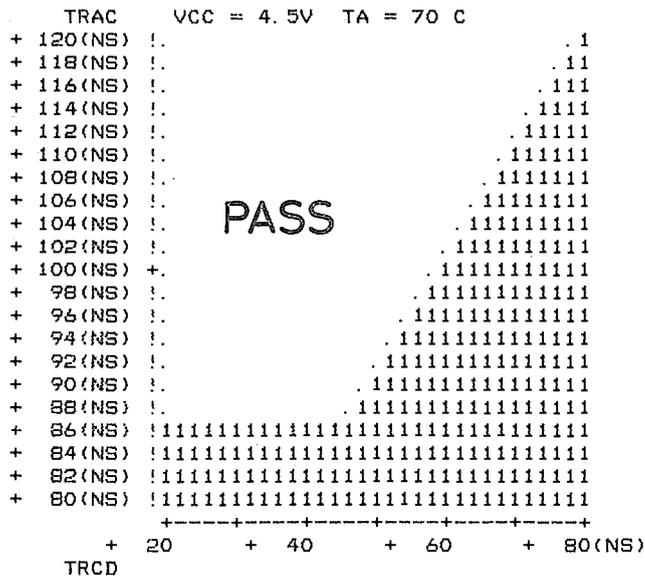


図 10. \overline{RAS} アクセスタイム (t_{RAC}) 対 \overline{RAS} - \overline{CAS} 遅延時間 (t_{RCD}) の関係 (縮小形)

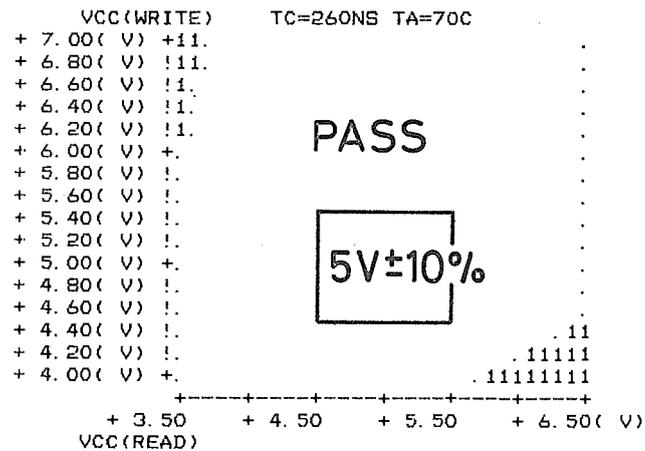


図 11. V パンプ特性 (縮小形)

スタムの遅延を最小にする目的でクロックバッファ回路にリーク回路を付加する⁽⁴⁾などの対策を施した結果、図 11. に示すように、 $V_{CC} = 5V \pm 10\%$ の規格に対して十分広い動作マージンを得ることができた。表 2. に 256 K (D) RAM の性能の一覧を示す。

表 2. 256 K (D) RAM の性能

語 構 成	262,144 語×1 ビット
使 用 技 術	1.7 μm ルールの N MOS ポリサイド (ポリ Si+MoSi ₂) ゲート
チップサイズ	3.78 mm×8.75 mm=33.075 mm ²
セルサイズ	6.2 μm ×10.6 μm =65.72 μm^2
メモリ容量	50 fF
アクセスタイム	88 ns/42 ns (RAS/CAS)
\overline{RAS} プリチャージタイム	40 ns
ニブルアクセスタイム	20 ns
動作電流	44 mA (サイクルタイム 210 ns)
スタンバイ電流	2.0 mA
リフレッシュ	256 サイクル/4 ms
機 能	\overline{RAS} オンリリフレッシュ ヒドンリフレッシュ \overline{CAS} ビフォア \overline{RAS} リフレッシュ ページモード/ニブルモード
パッケージ	16 ピン 300 ミル プラスチック DIP

4. む す び

以上、1.7 μm ルールの設計基準を用いて設計した 256 K (D) RAM の紹介を行ってきた。超微細加工技術の採用により、チップサイズを従来形の約 70% の 33 mm² 程度に縮小することができたので標準の 300 ミル 16 ピンのプラスチック DIP に封止することが可能となった。更に、超微細加工技術に加えて、新材料プロセス技術、薄膜形成技術の進歩によって、広い動作マージンを持つ高速で低消費電力の 256 K (D) RAM が実現できた。チップサイズの縮小によるプラスチックモールド化は、コスト低減と生産性向上につながり、今後目ざましい伸びが予想されている 256 K (D) RAM の需要にこたえることができるものと確信している。

参 考 文 献

- (1) 藤島ほか：三菱電機技報，58，No. 2，p. 184 (昭 59)
- (2) R. H. Dennard et al. : IEEE J. Solid-State Circuits, SC-9, p. 256 (1974)
- (3) M. Yamada et al. : IEEE International Electron Device Meeting Tech. Dig., p. 578 (1980)
- (4) 宮武ほか：昭和 58 年度電子通信学会全国大会，557

Mixed MOS形64KビットスタティックRAM

篠原 尋史*・河野 芳雄*・木原 雄治**・吉原 務***・赤坂 洋—***

1. まえがき

半導体集積回路は電子機器の急速な進展の原動力として、設計・製造技術の進歩とともに、重要性を増してきている。MOS スタティック RAM においても、種々の特性上の利点をいかした製品開発が活発になされており、マイクロコンピュータ 関係を中心に広い応用分野を開拓してきた。開発の年次推移を図 1. に示す。メモリ容量の大容量化の動きは衰えず、依然2~3年で4倍の集積度を実現していることがわかるが、近年の傾向として次の2点の指摘ができる。第1は、N MOS方式に代って、64KではMixed MOS方式が主流となったことである。この方式はCMOS周辺回路と面積の小さなNMOSメモリセルを組み合わせたもので、動作時の低消費電力を特長として、中速の分野で用いられてきた。しかし、バッテリーバックアップ応用の一部に進出し、今後、高速品を含めたMOSスタティックRAM全体をカバーする基幹技術となりつつある。2番目は、マイクロプロセッサの高性能化を背景として、全体的な高速化が進んでいることである。従来さほど高速性を要求されなかった8ビット構成の中速品において、主力のアクセス時間は100ns程度に移行してきている。

以上のようなCMOS化を軸としたMOSスタティックRAMの大容量化・高性能化の流れに鑑みて、微細化Mixed MOS技術を用いた64KスタティックRAM(M5M5165P)を開発した。本稿では、このMixed MOS形64KスタティックRAMの設計・製造技術及びその諸電気特性について紹介する。

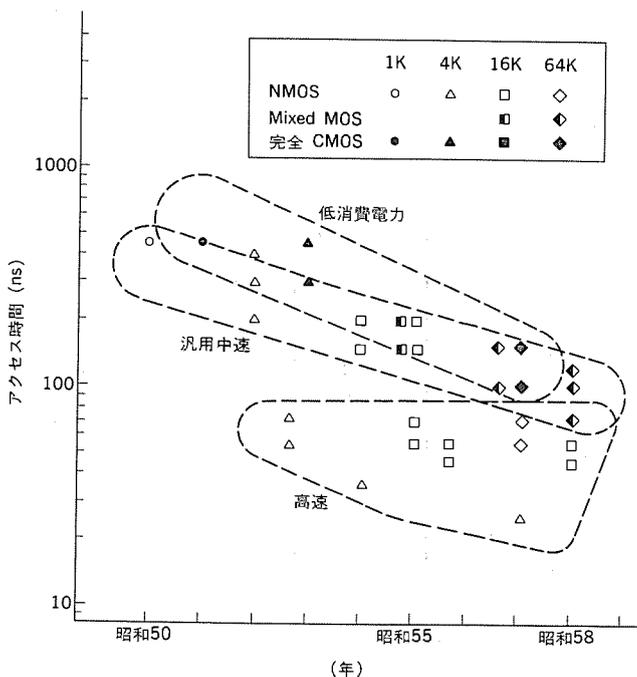


図 1. MOS スタティック RAM 開発の年次推移

2. 開発のねらい

M5M5165Pの開発のねらいは使いやすさを基調とした汎用製品であり、この方針に沿って次の特長を設定した。

- (1) 8,192語×8ビット構成
- (2) 標準28ピンプラスチックDIPパッケージ

ピン配置を図2.に示す。スタンバイ状態及びバッテリーバックアップ可能なデータ保持状態への移行は、二つの制御信号 $\overline{S_1}$ と S_2 を用いて行う。

- (3) 冗長回路設計

不良メモリセルと置換する冗長メモリセルとして予備行と予備列の両方を設け、様々な種類の欠陥に対して救済可能とし、歩留の向上を図る。一方、前節で述べた高性能化の要求にこたえるために、次の目標を設定した。

- (4) 高速アクセス時間

最大アクセス時間を70/100/120nsとし、8ビット構成では初のサブ100ns特性を実現する。

- (5) 低消費電力

NMOSメモリセルの負荷素子を極めて高抵抗化することにより、データ保持時の最大電流を100 μ Aとし、バッテリーバックアップ応用を可能にする。

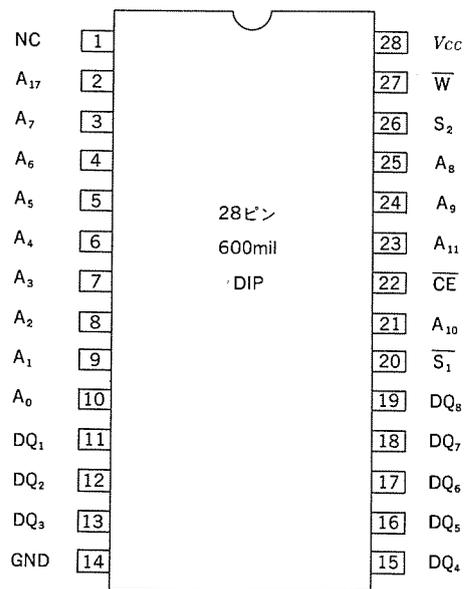


図 2. 64K スタティック RAM ピン配置

3. 設計技術

3.1 メモリセル

メモリセルは、4個のnチャネルトランジスタと2負荷抵抗からなるNMO Sフリップフロップ形である。2 μ mデザインルールと、負荷抵抗を2層目ポリシリコンで形成する多層ポリシリコンプロセスにより、266.5 μ m²のセルサ

ズを得ている。

3.2 構成

基本回路方式として、サイクル変化時のスパイク電流の小さい完全非同期方式を採用した。RAMのブロック構成図を図3に示す。メモセルアレーを、二つの行デコーダを用いて、四つの256行64列のサブアレーに分割している。この結果、行デコーダが一つの場合と比べてワード線長が1/2となり、従来のポリシリコンゲートを用いながら、ワード線遅延を1/4に短縮している。また、上位アドレス信号 Y_3 と Y_4 がサブアレーを選択するので、ワード線により活性化したメモセルを流れるカラム電流は従来方式の1/4に減少している。

各サブアレーは更に、8列単位でI/Oブロックを構成しており、各々独立のI/O線とセンスアンプと書き込みドライバを持っている。したがって、I/O線容量が小さく、メモセルのデータがすみやかにセンスアンプに伝達され、高速化に寄与している。

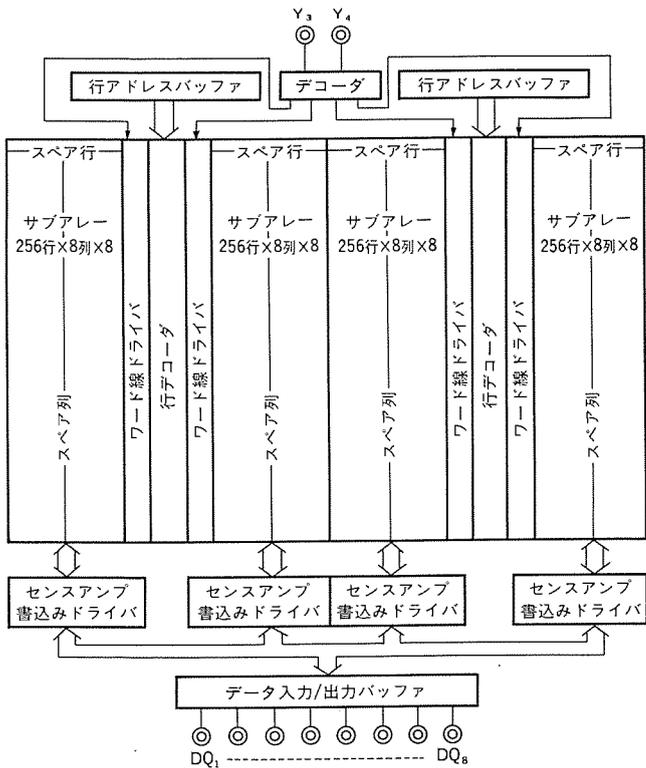


図3. ブロック構成図

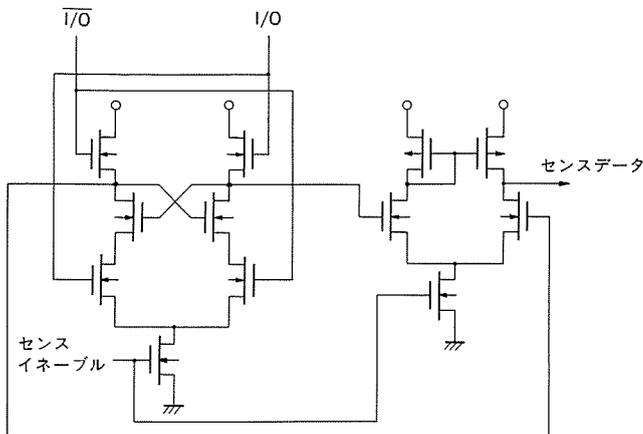


図4. センスアンプ回路

3.3 センスアンプ

図4に示したとおり、センスアンプはNMOSクロスカッパル回路とCMOSカレントミラー回路の2段構成である。初段のNMOSクロスカッパル回路で、I/O線に現れたメモセルデータの補助増幅を行い、貫通電流の流れるCMOSカレントミラー回路の負担を軽減している。この結果、総合的な応答速度と消費電力の改善を達成した。

CMOSカレントミラー回路を構成する2個のインパタのうちPチャネルトランジスタのゲート電圧を与える側は、出力側に比べ出力振幅・負荷容量ともに小さいので、トランジスタのコンダクタンスを、 p/n 比を一定に保ちながら、1/3にした。これで、速度性能を損なうことなくCMOSカレントミラー回路の電流を35%削減している。

3.4 冗長回路

64KスタティックRAMでは約40万素子をチップ上に集積しているが、このような大規模集積に伴うパタンの微細化・チップ面積の増大による歩留り低下に対処するため、当RAMでは冗長回路設計を行っている。冗長メモセルとして、図3に示したとおり、4本のスペア列と1本のスペア行がある。4分割されたスペア行は二つペアで2サブアレー内の任意行と置換可能である。また、列の置換にはYアドレスプログラムヒューズのほかにI/Oブロック選択ヒューズを設けて、サブアレー内の任意列と置換可能である。このように、行・列両方向の冗長メモセルがあるので、様々な種類の欠陥を救済できる。

4. 製造プロセス

表1.は、NMOS16KスタティックRAM及びCMOS16KスタティックRAMとのプロセスを比較したものである。M5M5165Pでは全体的には両者を統合した微細化プロセスになっているが、ソフトウェア率を小さくするためにメモセルはn形シリコン基板上のpウェル内に配置されていること、pチャネルトランジスタをパンチスルー防止のためnウェル内で形成していること、2層目ポリシリコンをNMOS16KスタティックRAMでは高抵抗のみに使用していたが、当RAMでは高抵抗と配線に使っていること、及び全体的に熱処理を低温化するなどの改良を行っている。

64K Mixed MOSスタティックRAMでは16KスタティックRAMの4倍のメモセルを集積し、かつ高速性を旨とするために2 μm のデザインルールを基調として、縮小露光や異方性ドライエッチングなど超LSI

表1. プロセスの比較

	16K NMOS (M58725P)	16K CMOS (M5M5116P)	64K Mixed MOS (M5M5165P)
基板	p形	p形	n形
ウェル	なし	nウェル	p, n両ウェル
ポリシリコン	一層目=トランジスタ, 配線 二層目=高抵抗	一層目=トランジスタ, 配線	一層目=トランジスタ, 配線 二層目=高抵抗, 配線
アルミ配線	一層配線	二層配線	一層配線
チャンネル長(L) (μm)	NMOS=3.0	NMOS=3.0 PMOS=3.5	NMOS=2.0 PMOS=2.5
ゲート酸化膜厚(t_{ox}) (\AA)	500	400	400
メモセル面積 (μm^2)	980	1,250.5	266.5
チップ面積 (mm^2)	27.90	31.15	34.31

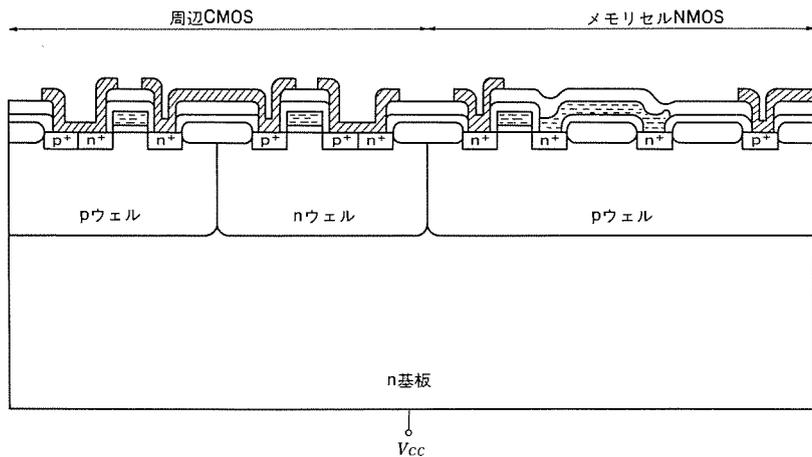
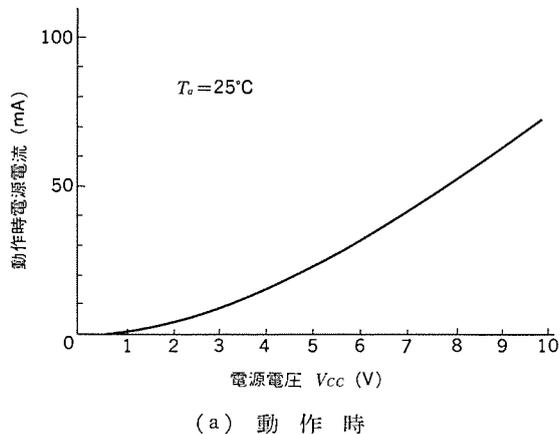


図 5. 構造断面図

加工技術を駆使している。チップサイズは 34.31 mm^2 で NMOS スタティック RAM の延長線上にあり、1本あたり $150 \text{ G}\Omega$ 程度の高抵抗形成技術の確立によりデータ保持電流は標準使用時で $1\sim 2 \mu\text{A}$ である。また、周辺回路を CMOS 化することにより動作時の消費電力は大幅に低減されたこと、あるいはチップ面積の縮小化による高速化や高歩留りなど NMOS と CMOS の長所をそのまま継承している。

図 5. は周辺回路及びメモリセルの構造断面図を示したものである。pウェルの濃度及び深さはソフトエラー率とラッチアップ耐量の最適化によって決定されている。トランジスタのチャネル長は NMOS が $2 \mu\text{m}$ 、PMOS が $2.5 \mu\text{m}$ であり、ポリシリコンの異方性エッチングとソースドレイン工程後の熱処理温度を下げるることにより形成可能となっている。メモリセル内の2層目ポリシリコンはりん(燐)を少量イオン注入することにより高抵抗化し、また高抵抗以外の領域はひ(砒)素を大量にイオン注入して低抵抗化して配線として用いている。この配線は、埋め込みコンタクトにより直接1層目ポリシリコン又は n^+ 拡散層に接続され、あるいはコンタクトによりアルミ配線と結線されており、主に V_{cc} ラインとフリップフロップ内の結線として使用している。GND 線は6セルごとにビット線方向にアルミで配線し、そこからワード線方向に n^+ 拡散層により分岐されている。この配線方法を採用することにより、メモリセルの占有面積が小さくなるとともに、1メモリセル内にアルミ配線は2本ですみ、ライン幅が広く信頼性が高い配線が可能となっている。



(a) 動作時

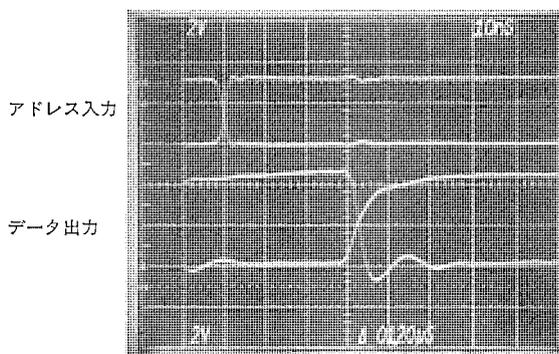


図 6. M5M5165P の出力波形

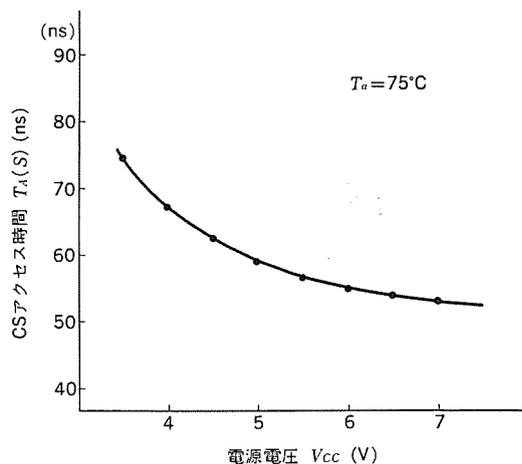
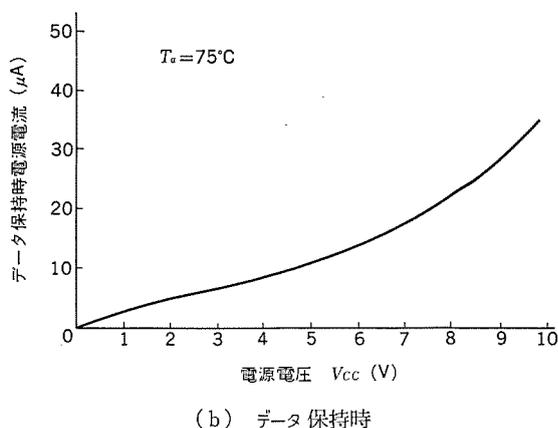


図 7. チップセレクトアクセス時間の電源電圧依存性



(b) データ保持時

図 8. 電源電流の電源電圧依存性

5. 電気的特性

図 6. は、室温、電源電圧 $V_{cc}=5 \text{ V}$ でのアドレスアクセス時間を示す出力形であり、 34 ns の高速性能を得ている。 75°C でのチップセレクトアクセス時間の電源電圧依存性を図 7. に示す。 $V_{cc}=4.5 \text{ V}$ の最悪条件でも $T_A(S)=61 \text{ ns}$ である。電源電流の電源電圧依存性を図 8. に示す。図 8. (a) は室温での動作時の電流、図 8. (b) は 75°C でのデータ保持時の電流である。メモリセルの負荷素子となるポリシリコンの抵抗値は大きな温度依存性を持つが、 75°C 、 $V_{cc}=5 \text{ V}$ でも電源電流 $I_{cc}=10 \mu\text{A}$ であ

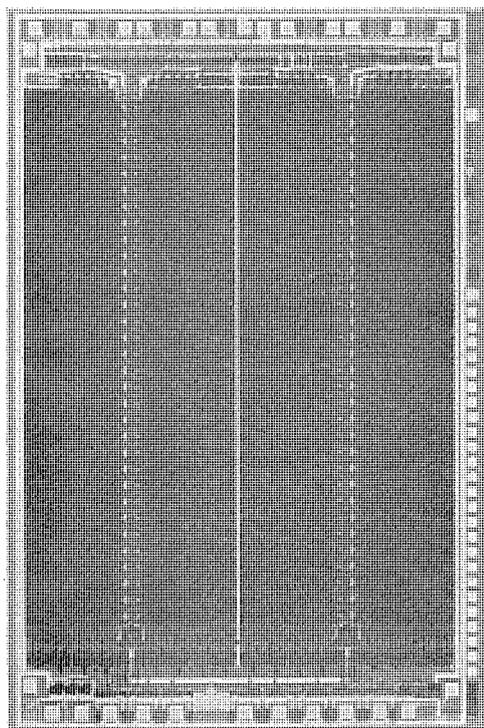


図 9. M5M5165P のチップ写真

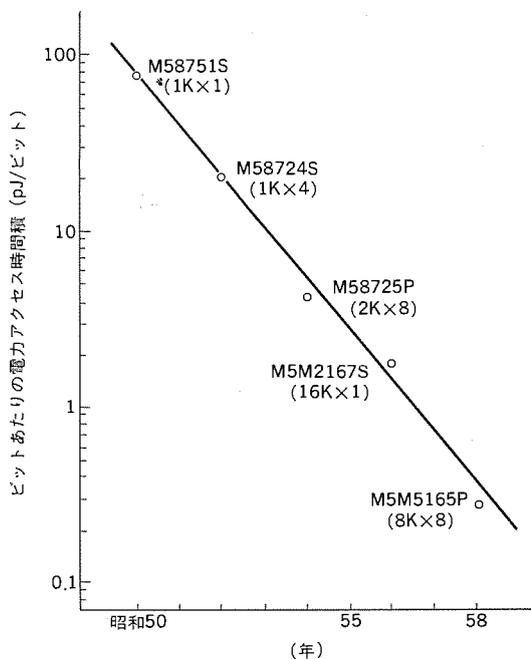


図 10. MOS スタティック RAM 性能指数の年次推移

表 2. M5M5165P の特長

構 成	8K 語×8 ビット
プ ロ セ ス	2 層 多結晶 Si ダブルウェル CMOS
メ モ リ セ ル	高抵抗負荷形
メ モ リ セ ル サ イ ズ (μm)	13.0×20.5
チ ッ プ サ イ ズ (mm)	4.72×7.27
使 用 電 源	5V 単一
入 出 力 レ ベ ル	TTL
ア ド レ ス ア ク セ ス 時 間 (ns)	70/100/120 (最大)
チ ッ プ セ レ ク ト ア ク セ ス 時 間 (ns)	70/100/120 (最大)
サ イ ク ル 時 間 (ns)	70/100/120 (最大)
消 費 電 力 動 作 時 (mW)	275 (最大)
待 期 時 (μW)	550 (最大)
冗 長 回 路	1 行 4 列

り、バッテリーバックアップ応用可能なレベルである。

CMOS 固有の問題点として、寄生 pnpn サイリスタが導通して過大電流が流れるラッチアップ現象がある。しかし、Mixed CMOS 構成では、CMOS 部分は周辺回路に限られる利点がある。余裕のある周辺回路のパターンレイアウトと、ウェル不純物プロファイルの最適化により、実使用条件でラッチアップフリーを実現した。 α 粒子によるソフトエラーに関しては、NMOS メモリセルの下層の p ウェルと n 基板との接合が電子障壁となるので、NMOS 16K スタティック RAM 以上の耐 α 粒子特性を得ている。

M5M5165P の特長を表 2. にまとめ、チップ写真を図 9. に示す。チップサイズは $4.72 \times 7.27 \text{ mm}^2$ である。当社におけるスタティック RAM の性能指数の年次推移を図 10. に示す。1K ビットスタティック RAM (M58751S) 以来、8年間で、メモリ容量を 64 倍、ビットあたりの電力・アクセス時間積を 1/250 に改善してきた。

6. む す び

Mixed MOS 技術を用いて、8K 語 8 ビット構成のスタティック RAM M5M5165P を開発した。 $2 \mu\text{m}$ レベルの微細化プロセスと周辺回路の CMOS 化により、大容量・低消費電力を実現し、サブ 100 ns の高速アクセス時間と、バッテリーバックアップ可能な低データ保持電流を達成した。メモリの大容量化・高性能化は引き続き活発に行われるが、次世代メモリ技術において、今回開発した Mixed CMOS 方式の重要性は一層高まると予想される。

1. ま え が き

当社ではゲートアレーを、社内製品のLSI化推進を目的として、昭和51年以来開発してきた。53年には計算機の周辺や端末機器を、600ゲート DSA (Diffusion Self-Aligned) MOS⁽¹⁾で開発した。微細化技術の進展により、55年に4μmのNMOS (nチャンネルMOS) に転換した。一方電算機のCPU部分(メインフレーム)は、サブナノ秒のスイッチング速度が要求されるので、55年に900ゲート相当の3μm系ECLゲートアレーを開発した⁽²⁾。ECLは、58年に更に高速のものを開発した⁽³⁾。ゲート規模の増大に伴い、消費電力を小さくすることが必ず(須)となり、56年に高速・低消費電力の当社独自の分離方式によるCMOSゲートアレー⁽⁴⁾⁽⁵⁾を開発した。3μmルールを用いて2,600ゲートを最高に、1,600・1,100ゲートのものをシリーズ化した。58年には、2μmルールを用い、より高速(1.5ns/ゲート)・高集積(8,000ゲート)のものが開発し⁽⁶⁾⁽⁷⁾、スーパーミニコン用を始めとして数十品種のものを開発中で、製品のLSI化に大きく寄与してきた。

本文では、先ずシリーズ化されているCMOSゲートアレーの製品概要を紹介し、続いてLSIとしてのチップの諸特長を述べる。4章では、ゲートアレー開発に必須のCADシステムについて述べる。5章では、ゲートアレーの最大の特徴である短期開発を実現するための当社における開発フローを紹介し、6章で100品種近く開発されているCMOSゲートアレーの応用分野と、その使用実例について紹介する。

2. 製 品 概 要

2.1 主要特性

LSIの主要諸元を表1.に示す。ゲート数はすべて2入力NAND換算である。動作速度は、3μm系でLS TTL並みの3ns/ゲート(ファンアウト:F.O.=2,配線長l=1mm)を、2μm系ではECLに匹敵する1.5ns/ゲート(F.O.=3, l=3mm)であり、高速性を実現している。入出力レベルは、バッファを介してLSIと外部のインタフェースをとるため、LS TTLレベルとなっている。入力の雑音余裕をより拡大し波形整形する場合には、シュミット・トリガタイプの入力形式も選択できる。出力形式は、通常の出力形式以外にトライステート形式も使用できる。

2.2 パッケージ

パッケージは、表1.に示すように、28, 40ピンDIL(Dual In Line)及び、68, 93, 124, 209ピンのPGA(Pin Grid Array)の6種類が用意されている。使用可能な最大入出力ピン数は各マスタで決まっており、1,100ゲートで66ピン、1,600ゲートで80ピン、2,600ゲートで116ピン、8,000ゲートで190ピンまでが使用できる。2,600ゲートに124ピンPGAを使用すると、11端子/cm²、230ゲート/cm²、8,000ゲートに209ピンPGAを使用すると、10端子/cm²、410ゲート/cm²の実装密度がそれぞれ実現できる。

2.3 標準論理素子ファミリーと標準マクロ

CMOSゲートアレーのマスタチップには、ベシクセルすなわちCMOSゲ

表 1. CMOS ゲートアレーの主要諸元

		M 56305	M 56306	M 56307	M 56318
集積度	内部ベシクセル数	3,432	5,040	8,000	2,4192
	内部ゲート数 (2入力NAND換算)	1,100	1,600	2,600	8,000
	I/Oバッファ数	66	80	116 (入力専用38)	190
電源電圧(V)		5±10% 単一			
動作温度(°C)		-20~+85			
入出力レベル(V)		VIL=max. 0.8 VIH=min. 2.0 VOL=max. 0.4 (IOL=+4.0mA) VOH=min. 2.4 (IOH=+4.0mA)			
遅延時間	内部ゲート	3.0ns/ゲート (F.O.=2, l=1mm)			1.5ns/ゲート (F.O.=3, l=3mm)
	出力バッファ (CL=50pF)	13ns			9ns
テクノロジー		3μm SiゲートCMOS アルミ2層配線			2μm SiゲートCMOS アルミ2層配線
パッケージ	28 DIL	○	○	○	
	40 DIL	○	○	○	
	68 PGA	○	○	○	
	93 PGA		○	○	
	124 PGA			○	○
	209 PGA				○

表 2. 標準論理素子ファミリー

1. Inverter, 3-state buffer, clock buffer	8種類
2. NAND (最大16入力まで)	8種類
3. NOR (最大16入力まで)	8種類
4. Exclusive OR/NOR	2種類
5. AND-NOR	4種類
6. OR-NAND	4種類
7. Multiplexer	22種類
8. Flip-flop	17種類
9. Shift-register	3種類
10. Latch	4種類
11. Adder	3種類
12. Decoder	3種類
13. Selector	3種類
14. LSSD 設計用	6種類
15. その他	2種類
16. 空端子処理用素子	2種類
17. I/O Buffer	6種類

表 3. 標準マクロ

LSTTLファミリー相当	40種類
LSSD 設計用	3種類
CMOSゲートアレーオリジナル	4種類
スタティックRAM	4種類

ートを構成する p 及び n チャンネルのトランジスタペアが未結線状態で多数アレー状に配置されている。このベーシックセルを複数個集めて、ベーシックセル内で相互配線を施し、NAND ゲートやフリップフロップなど基本論理機能を付与したものを、標準論理素子として 105 種類用意しており表 2. に示す。更に、標準論理素子を多数組み合わせさせたものが標準マクロであり、51 種類(表 3.)を用意して多様な論理設計に対処している。以下にその内容を述べる。

- (1) LS TTL ファミリー相当品マクロ：使用頻度の高い LS TTL ファミリーと同じ機能を持つ論理ブロック。
- (2) LSSD (Level Sensitive Scan Design) 用マクロ：LSI 内部の故障検出率を高めかつテストパターンの自動生成を可能とする LSSD 設計のために用意された論理ブロック。
- (3) CMOS ゲートアレー・オリジナルマクロ：インクリメント、デクリメントなど、LS TTL ファミリーには無いが比較的使用頻度の高い論理ブロック。
- (4) RAM(Random Access Memory) 用マクロ：六つのトランジスタで構成したメモリセル及びアドレスデコーダやセンスアンプなどの周辺制御回路から構成される RAM の機能ブロック。容量は、8 ビット×128 ワード、32 ビット×32 ワードなど、最大 1,024 ビットまで、フリースizeの構成が可能となっている。32 ビット×32 ワードの構成でのアクセス時間は、3 μ m 系で 46.5 ns (Typ.) である。

このほかに顧客自身が専用のマクロを定義し登録できるので、論理設計を階層的に効率良く行うことができる。また、3 μ m 系の 3 種類のマスタは、標準論理素子、標準マクロを共用しているために、顧客のやむを得ない論理の追加や変更が生じても容易にマスタの変更(例えば、1,100 ゲートから 1,600 ゲートへの移行)が可能である。

3. チップ構成

チップ構成は、4 種類のマスタについて、ほぼ同様の構成になっている。図 1. に例として 8,000 ゲートのチップ写真を示す。チップ周辺には、LSI 内部と外部とのインタフェースをとるための I/O セルが配置されている。I/O セルには、入力、出力、双方向の 3 種類のバッファが選択できる。I/O セルの内側には、ベーシックセルを横一列に並べたベーシックセル列と、それらの間を配線するための配線帯を交互に配置している。配線帯には、レイアウトでの配線不能を防ぐために、各マスタで十分なチャンネル本数を確保している。また、LSI 内部の電源配線には、出力バッファの出力同時変化によって誘発される電源ノイズと、

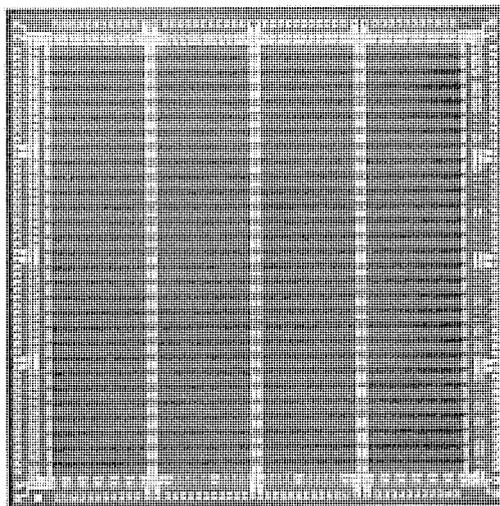


図 1. 8,000 ゲートのチップ写真

ズと、エレクトロマイグレーションによる劣化を考慮して、十分広い幅を確保している。更に、上記電源ノイズの低減を考慮しチップ上には、多数の電源、GND 接続用のボンディングパッドを設けている。図 1. の 8,000 ゲートの例では、I/O セル 190 個、ベーシックセル 24,192 個を配置し、配線帯のトラック数は 40 本としている。また電源及び GND 配線用のパッドとして各 16 個を設けた。

3.1 内部ゲート

高速性を維持しつつ、高集積化を達成するため、内部ゲートの論理素子間の分離に独自のゲートアイソレーション方式を採用している。ゲートアイソレーション方式とは、隣接する論理素子間の分離に厚い酸化膜を用いず、ベーシックセルを構成している能動トランジスタのゲートを V_{DD} 又は GND に接続したオフトランジスタを用いる分離方式である。図 2. は、3 入力 NAND を一例にとり従来から使用されている酸化膜分離方式との比較を示している。この例では、従来方式より 30% 以上面積が小さくなっており、ゲートの種類によっては更に高密度のものもある。

3.2 入力バッファと出力バッファ

入力バッファは、MOS トランジスタで外部入力を受けるため、入力インピーダンスが高く入力電流も少ない。また、入力へのサージ印加による MOS トランジスタのゲート破壊を防ぐために、電源側と GND 側からのダイオードと抵抗で構成される保護回路を、入力端子と入力バッファの入力トランジスタの間に挿入している。図 3. に負の入力に対する保護特性を示す。出力バッファは、外部の負荷容量による遅延時間の影響を少なくするために、寸法の大きなトランジスタを使用した。例として、2 μ m 系の出力バッファの遅延時間と負荷容量の関係を図 4.

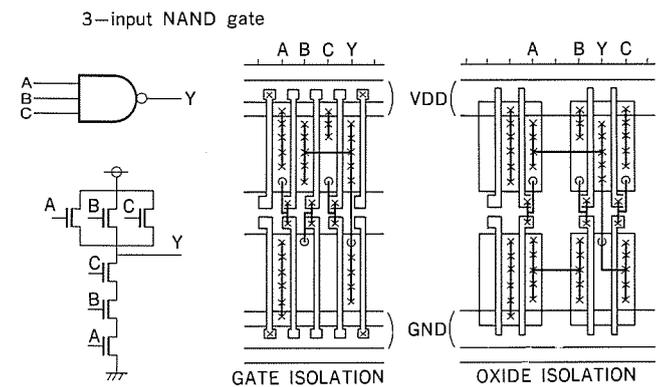


図 2. ゲートアイソレーションと酸化膜分離の比較

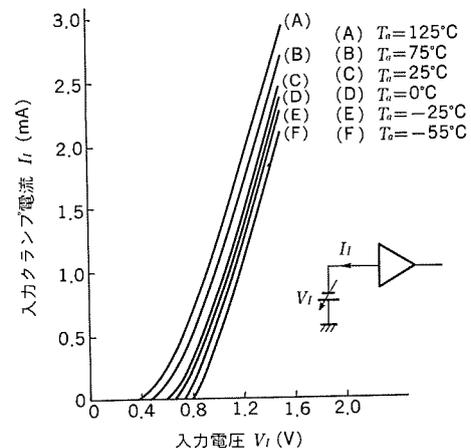


図 3. 入力保護特性

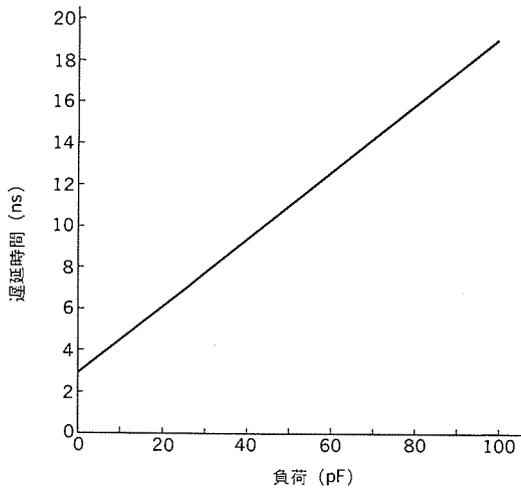


図 4. 出力バッファの遅延時間の負荷依存性

に示す。

3.3 ウェーブプロセス

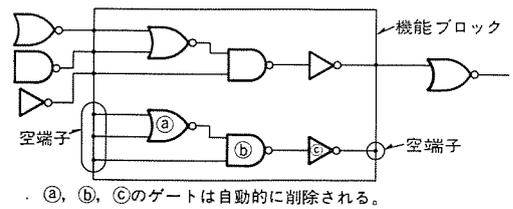
ウェーブプロセスは最新の微細加工技術とアルミ 2 層技術を使用している。1,100, 1,600, 2,600 ゲートではトランジスタのゲート長が 3 μm の n ウェル方式を、8,000 ゲートではゲート長が 2 μm で p ウェルと n ウェルを用いるダブルウェル方式を採用し、微細化による短チャネル効果やラッチアップの影響を少なくしている。

4. CAD ツールの特長

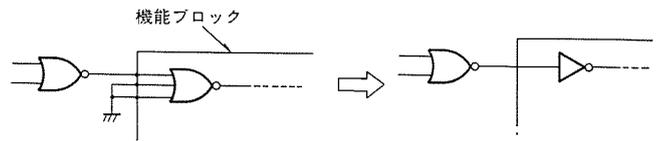
CMOS ゲートアレーの CAD システム構成を図 5. に示す。CAD システムを構築するにあたり、特に論理回路の階層設計時に生じる不要な論理の包含によるゲート使用効率の低下の防止、シミュレーションでの正確な遅延時間の予測、量産時のテストでのトラブルの防止、テスト検出率の向上、テストパターンの自動発生、といった点を考慮した。

(1) セルリダクション機能

図 6. にセルリダクション機能の一例を示す。セルリダクションは、階層設計された機能ブロック（標準論理素子や標準マクロを組み合わせで定



(a) バックワードリダクション



(b) フォワードリダクション

図 6. セルリダクション機能

義する) の入出力端子の接続状態を検出し、標準論理素子の置換えや機能ブロック、標準マクロの中に含まれる不要なゲート削除を行うものである。図 6. (a) に示すバックワードリダクションは、機能ブロックの入力及び出力端子が空端子となっているパスのゲートを自動的に削除する機能である。また、図 6. (b) に示すフォワードリダクションは、入力端子が電源又は GND に接続されているパスのゲートを簡素化する機能である (例えば、3 入力 NAND のうち 1 入力を電源に接続すれば、2 入力 NAND に置き換える)。

(2) 論理シミュレーション

論理検証では、階層記述された論理図をゲートレベルに展開し、遅延素子を入力側又は出力側に挿入した遅延モデルを用いてシミュレーションを行う。遅延時間の算出には前段ゲートの負荷容量及び自段の負荷容量の両方を用いることにより、着目している論理素子の出力負荷容量依存性のみならず入力波形の影響をも考慮している。

$$t_{PLH} = C_n \{k_{0r} + k_{1r} (C_{n-1} / C_n)^{\alpha_r}\} \dots\dots\dots (1)$$

$$t_{PHL} = C_n \{k_{0f} + k_{1f} (C_{n-1} / C_n)^{\alpha_f}\} \dots\dots\dots (2)$$

C_n : 出力端負荷容量 C_{n-1} : 入力端負荷容量

なお、 k_{0r} , k_{1r} , k_{0f} , k_{1f} , α_r , α_f は定数であり、回路解析から求められる。

この遅延モデルを用いて計算した論理回路のパスの遅延時間予測値と試作 LSI の実測値との一例を図 7. に示す。図から誤差は ±10 % の範囲におさまっている。

(3) タイミング検証^{(9)~(10)}

フリップフロップ (F.F) のような順序回路では、入力する信号のタイミング条件が決められており、論理検証の段階でチェックし適正かつマージンのあるタイミング条件となるように、論理回路を構成する必要がある。更に、LSI のテスト時のトラブルを防止するには、テストのスキューも考慮しておかねばならない。タイミング検証は上記機能を自動的に検証するものである。チェック項目は、F.F のチェック (ハザード、スパイク、レース、セットアップ時間、ホールド時間、リカバリ時間など)、入力パターンの周期性チェック、ループ回路のチェック (レース、ハザード、発振) である。

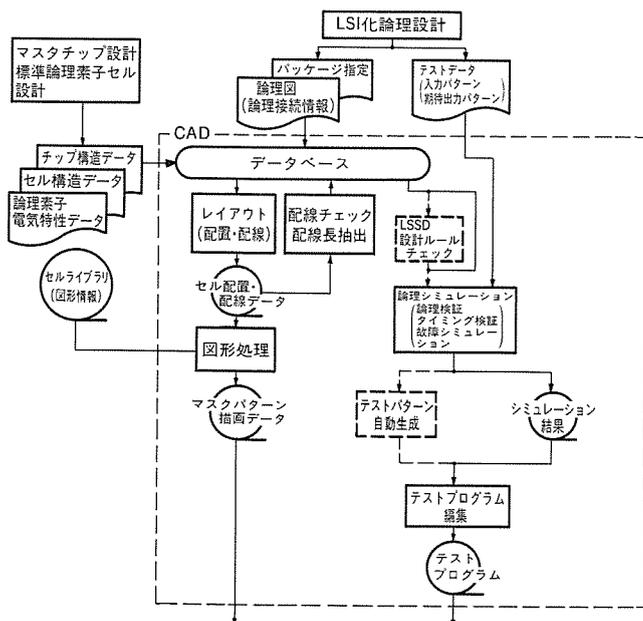


図 5. CMOS ゲートアレー用 CAD システム

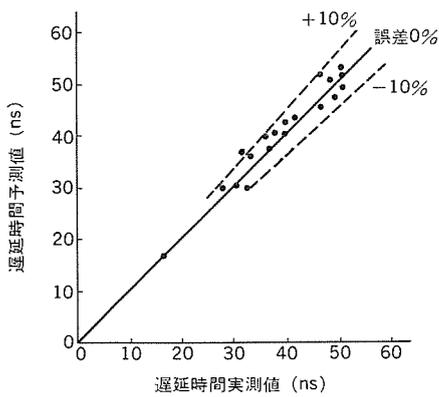


図 7. シミュレーション値と実測値の比較

(4) LSSD 設計サポート

図 5. 破線で示した工程を通すことによって、LSSD 手法で設計された論理回路の設計ルールチェック (SRL: Shift Register Latch, LSL: Level Sensitive Latch 以外のラッチの有無やシフトリングのチェックなど) とテストパターンの自動生成が行われ、故障検出率の高いテストプログラムが自動的に得られる。

5. 開発フロー

LSI の開発フローを図 8. に示す。

- (1) LSI 化可否検討会議(フィジビリティスタディ)：顧客の必要とする機能、性能が CMOS ゲートアレーで実現可能か否かを検討する。
- (2) LSI 化論理設計：LSI 化が可能な場合、LSI 設計マニュアルに基づいて顧客側で LSI の論理設計を行う。この場合、必要に応じて論理シミュレーションや故障シミュレーションなどの CAD ツールが利用できる。
- (3) CAD (LSI 設計)：顧客の準備した設計データ (論理図、テストパターン、タイミング、ピン指定など) を基にメーカーが、論理検証、タイミング検証、テストパターンのチェック、自動配置配線によるレイアウトを行い、カスタマイズ工程用マスク描画データの生成とテストプログラムの編集が自動的に行われる。
- (4) LSI 試作と評価：CAD (LSI 設計) で得られた、マスク描画データからマスクを作成し、LSI の試作を行う。続いて CAD で生成したテストプログラムを用いて、テストにて LSI の評価を行う。この評価において、顧客の希望するクリティカルパスの遅延時間を自動評価できるプログラムが標準的に使用されている。

6. 応用分野と社内適用例

ゲートアレーは、短納期、低開発費で少量生産が可能という特長から、製品サイクルの短い分野や多品種で生産数の少ない分野にも適用可能である。加えて、この CMOS ゲートアレーでは多ピンパッケージを用いた高密度実装による装置の小形軽量化が可能である。社内で開発された品種では、ファクシミリやワードプロセッサなどの OA (Office Auto-

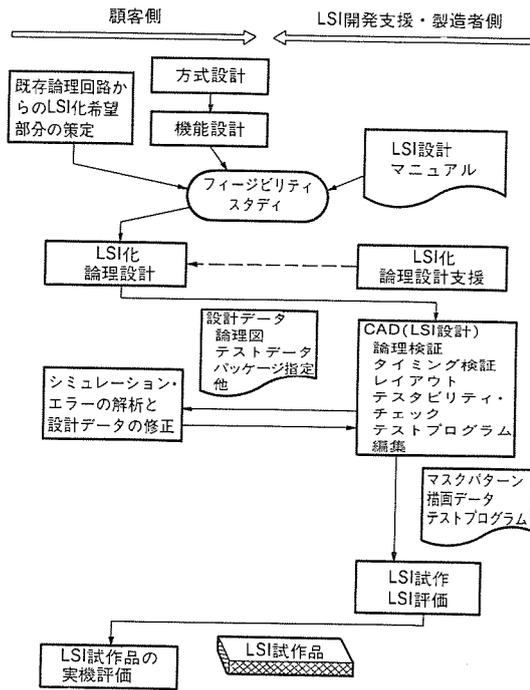


図 8. CMOS ゲートアレーによる LSI 開発工程

mation) 機器や通信、計算機関連が多い。テレビや音響、家電など比較的大量に使用される民生機器分野への適用はまだ比較的小さいが、既にテレビプリンタやルームエアコンなどに使用されている。今後、プラスチックパッケージ化を進め、LSI シリーズを充実させ、LSI 選択の最適化、低価格化を図ることにより、民生機器分野の需要も飛躍的に広がると思われる。

ゲートアレーをファクシミリに適用した例では、2,600 ゲートに 124 ピン PGA を組み合わせて使用し装置の小形軽量化を図ることによって、従来から容積比で約 50%、重量比で約 70% の向上が達成されている。

7. むすび

最新の 2 μm 及び 3 μm 系の半導体製造技術を用いたシリコンゲート CMOS ゲートアレーとして、1,100~8,000 ゲートの 4 種類のマスクを開発した。現在までの品種展開では社内向けが多いが、今後数 100 ゲートから 8,000 ゲートまで、ゲート規模の異なる LSI レポートを開発しシリーズの充実を行うとともに、社外への適用拡大を図る予定である。更に、ROM や PLA, A/D, D/A コンバータといった高度な機能を内蔵したゲートアレーの要求に対応すべくセミカスタム LSI に適した構成の検討を行う予定である。

参考文献

- (1) 田中ほか：三菱電機技報，52，No. 11，p. 802 (昭 53)
- (2) 堀場ほか：三菱電機技報，54，No. 12，p. 830 (昭 55)
- (3) 立木ほか：三菱電機技報，58，No. 3，p. 240 (昭 59)
- (4) I. Ohkura et al. : Proceedings of 1982 CICC, p. 307~310 (1982-5)
- (5) 荒川ほか：昭 58 年信学全大，394 (昭 58)
- (6) K. Sakashita et al. : Proceedings of 1983 CICC, p. 14~18 (1983-5)
- (7) I. Ohkura et al. : Proceedings of 1983 ICCD, p. 268~271 (1983-10)
- (8) I. Ohkura et al. : Proceedings of 1980 ICCD, p. 953~956 (1980-10)
- (9) T. Tokuda et al. : IEEE Trans, CAD, p. 129~134 (1983)
- (10) 荻原ほか：情報処理学会，電子装置設計技術研究会，p. 1 (昭 56)

CMOS 8ビットワンチップマイコンシリーズ

脇本昭彦*・倉田 勝*・城田省三*・山口雅史*・藤田紘一*

1. ま え が き

ICは現在の産業界になくてはならない存在となっている。特にマイクロコンピュータ(以下、マイコンと称す)は、我々がそれと意識しないうちに、VTR、電子レンジ、洗濯機などの制御用として、日常生活の中でも使用されている。更に、高度情報化社会になれば、マイコンの持つ判断機能が必ず(須)条件となり、ますますあらゆるところに使用されるようになると思われる。マイコンの機能が、ワンチップに納まっているワンチップマイコンと呼ばれるものとしては、4ビットと8ビットが一般的である。4ビットマイコンは、それほど高度の制御機能を必要としない民生機器で多く使用されている。その一つの要因は、その安価さのためである。したがって品種数も4ビットの方が圧倒的に多かった。しかし、民生機器でもしだいに高度な機能が要求されるようになっており、4ビットマイコンで対応することが困難な場合も生じている。一方、8ビットマイコンでは、アーキテクチャ上の工夫、回路構成上の工夫により、価格対性能比が向上しており、4ビットマイコンとの価格差は縮まり、ワンチップ化、CMOS化が急速に進み、品種数も増加している。当社では、4ビットワンチップマイコン 8ビットワンチップマイコンとの両方を開発している。更に、8ビットでは、当社独自のアーキテクチャにより、用途に応じて変更容易な構成の専用マイコンを開発している。

本文では、専用8ビットマイコン《MELPS 740》について紹介する。《MELPS 740》は専用8ビットマイコンのシリーズ名である。

2. 開発の目標

《MELPS 740》の開発に当っては、

- (1) 多様化するニーズに容易に適應できるアーキテクチャであること。
- (2) 価格対性能比の良いこと。
- (3) できるだけ規則的パターンで構成できること。

を大きな開発目標とした。上記の(1)は、専用化に伴って付加機能が変わっても基本的アーキテクチャには変更が及ばないアーキテクチャとしている。(2)は、ワンチップマイコンの需要の多くは民生機器用であり、価格が重要な要因となるため、チップサイズの縮小化に努めている。(3)は、ROM、RAM容量の増減とか付加機能の変更を見通しよく、短期間に行うためにはどうしても必要なことである。

3. 《MELPS 740》

《MELPS 740》は高機能な制御を要求される市場分野を対象に開発されたもので、現在10品種あり、引き続き各応用分野に最適な品種の開発を進めている。以下、《MELPS 740》の製品機能、アーキテクチャ、製造プロセスなどについて述べる。

3.1 《MELPS 740》の製品機能及び製品展開

表1.に製品一覧を示す。全品種CMOSである。命令も極く一部を除いて全品種共通であり、一つの品種での経験が他の品種にいかせるようになっている。制御用として不可欠なタイマは、タイマX、タイマ1、タイマ2の3本あり、各々リロードレジスタを備えている。タイマ

表 1. 《MELPS 740》製品一覧

品 種	メモ リ			割り込み 要 因	入出力 本 数	付 加 機 能 な ど					命令数	実行時間 (μs)	プロセス	パッケージ	動作電圧	消費電流 (mA) Typ.		
	内 蔵 ROM (バイト)	内 蔵 RAM (バイト)	外 部 拡 張 (バイト)			タイマ	A/D	シリアル I/O	PWM	高耐圧 (V)								
マ ス ク R O M 内 蔵 形	M 50740-×××SP	3K	96	8K	外部2本	36	8ビット ブリスケ ーラ×2	—	—	—	+12	70	2	CMOS シリコン ゲート	5V ±10% (待機機能 あり 停止機能 あり)		52 DIL	3
	M 50741-×××SP	4K	96	8K		36		—	—	—	+12	70	2				52 DIL	3
	M 50742-×××SP	4K	128	64K		56		—	クロック 同期形	—	+9	69	2				64 DIL	3
	M 50745-×××SP	6K	192	64K	内部3本	48		—	クロック 同期形	—	+12	69	2				64 DIL	3
	M 50747-×××SP	8K	256	64K		56		—	非同同期形 クロック 同期形	—	—	69	1				64 DIL	6
	M 50753-×××SP	6K	192	64K		48		8ビット タイマ ×3	8ビット A/D	クロック 同期形	8ビット	+12	69				2	64 DIL
	M 50757-×××SP	3K	96	8K	36	—		—	—	-35	70	2	52 DIL				3	
ビ ギ ー パ ン ク 形	M 50740-PGYS	—	96	—	36	—	—	—	+12	70	2	52 DIL	3					
	M 50745-PGYS	—	192	56K	48	—	クロック 同期形	—	+12	69	2	64 DIL	3					
	M 50747-PGYS	—	256	48K	56	—	非同同期形 クロック 同期形	—	—	69	1	64 DIL	6					

* 北伊丹製作所

のプリスケラは2本あり、タイマと同じくリロードレジスタを持っている。タイマ、プリスケラとも8ビットである。タイマXは、タイマ機能以外に、パルス出力、イベントカウンタ、パルス幅測定機能も持っている。M50747- $\times \times$ SP (以下、747のように省略する)を除いて、入出力ポートの一部はnチャンネルオープンドレイントランジスタ、一部はpチャンネルオープンドレイントランジスタで構成され、使用目的により使い分けができる。また方向レジスタを備えており、1ビット単位に入力端子として使用するか、出力端子として使用するかプログラムできる。出力電流は、10mAと大きく、LEDなどを直接駆動できる。

742/747以外のnチャンネル入出力ポートの耐圧は+12Vあり、多様化する機器の電源電圧によく適合している。757では、蛍光表示

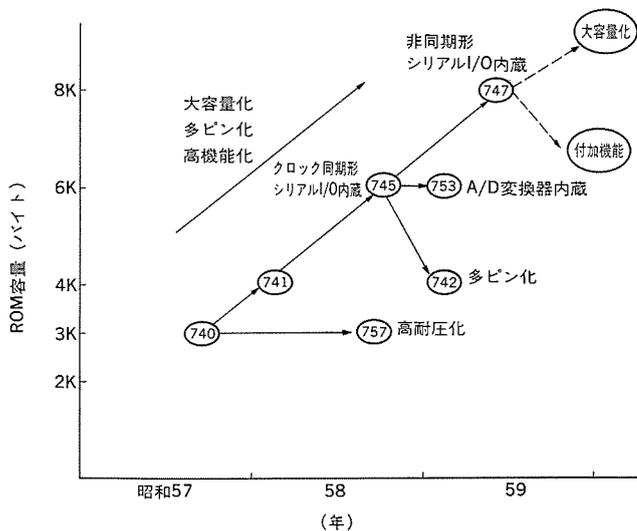


図 1. 《MELPS 740》製品展開図

管を直接駆動できる-35V耐圧のポートも持っている。

一部の品種では、一つのシステムに数個のマイコンを使用し、相互にデータの転送を行うのに必要なシリアルI/O機能(非同期形あるいはクロック同期形)を備えている。ROM容量も3Kバイトから8Kバイトまでの品種がそろっており、選択の幅が広い。特に747は、ROM容量8Kバイトと大容量で命令実行速度も1マイクロ秒を実現しており、OA機器の制御に最適である。

図1.に製品展開図を示す。縦軸はROM容量、横軸は開発年代を表している。740-741-742-745-747の線が、大メモリ容量化、多ピン化、高機能化の系統で、VTR、プリンタ、DADなどの機構部分の制御向きである。740から派生した757は蛍光表示管を直接駆動できるため、表示素子として蛍光表示管を使用するもの、例えば、VTRのタイマ用などの用途がある。745から派生した753はアナログ量をデジタル量に変換する8ビットのA/D変換器を内蔵しており、光の強弱、温度の高低などアナログ量を検知し制御するのに適しており、カメラ、複写機、電子レンジなどの制御に好適である。将来的には、747を更に大メモリ容量化、高機能化する方向と、メモリ容量は減らしPLLを内蔵した周波数シンセサイザマイコンとかデジタル値をアナログ値に変換するD/A変換器、電気的に書換え可能なEAROMを制御する回路を内蔵した電圧シンセサイザマイコンなど付加機能を充実する方向の2方向に進むと考えられる。

3.2 《MELPS 740》のアーキテクチャ

開発の目標で述べたように、ハードウェアが異なっても命令体系は、変更しなくてよいアーキテクチャ及び、できるだけ規則的なパターンで構成できるアーキテクチャを目指した。図2.、図3.に、747のブロック図とメモリマップを示す。統一的な命令体系とするため、メモリマップから分かるように、ROM、RAM、入出力ポート、付加機能をすべて同一メモリ空間に置き、特別な入出力命令などは存在せず、入出力

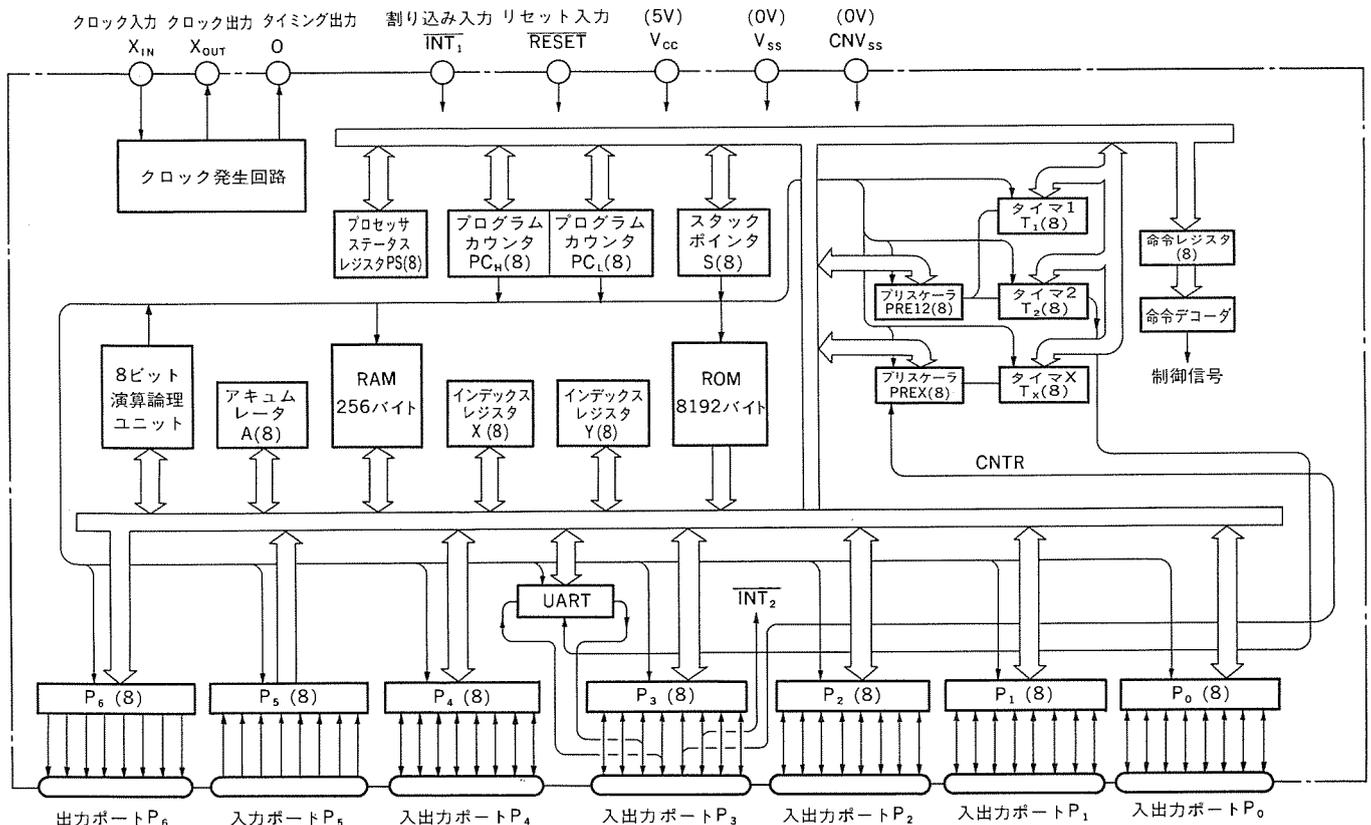


図 2. M50747- $\times \times$ SP のブロック図

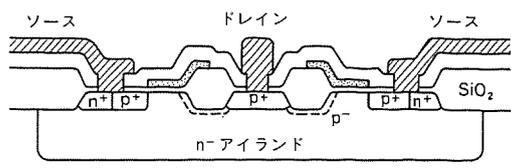
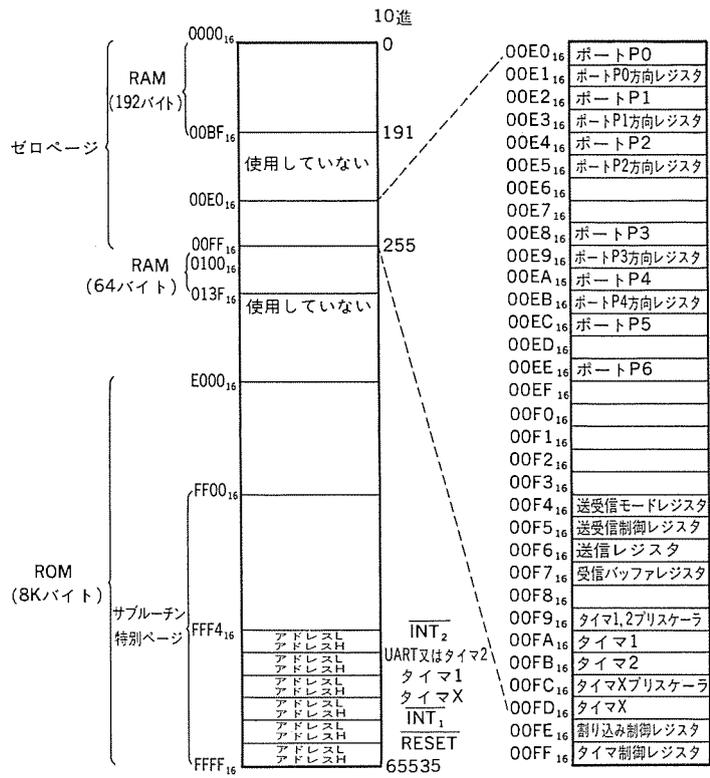


図 5. 高耐圧トランジスタの断面図

ポートに対してもすべての命令を実行できるアーキテクチャとなっている。したがってポートが増加しても、単にメモリの番地が増えるだけで命令体系には何ら影響を与えない。また、命令の数を増すのではなく、アドレッシングモードを豊富にすることにより、使いやすく、柔軟性のある命令体系となっている。回路設計上でも演算部 (CPU) の制御をすべて ROM で行うことにより規則的なパターン配置が可能となった。また、ROM, RAM, タイマなども CPU と同じ長さにそろえ、それを順に積み上げる方法を採用しているので図 4. のチップ写真に見るように、メモリ容量の増減、機能の付加などが極めて容易に見通しよく行える。

3.3 《MELPS 740》の製造プロセス
 《MELPS 740》では、nウェル方式のCMOSシリコンゲートプロセスを採用している。その理由は、メモリなどで培われたNMOSの微細化技術が利用できるためである。また、回路的にもpチャネルトランジスタは補助的に使用し、ほとんどnチャネルトランジスタで構成して、高集積、高速化を図っている。使用しているパターンの最小幅は3μmである。蛍光表示管を直接駆動する高耐圧トランジスタは、図5.に示すような構造で、特別な工程を追加することなく、通常のnウェル方式のプロセスで作られている。

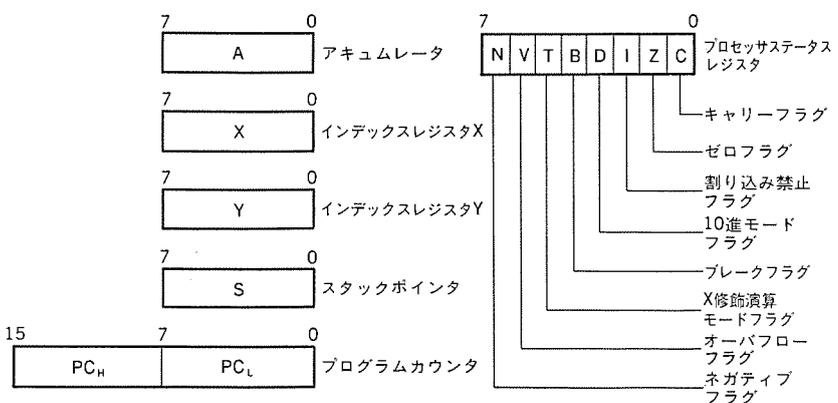


図 3. M50747-xxSPのメモリマップとレジスタ構成

4. む す び

当社では一貫性のある命令体系、規則的なパターン配置が可能なアーキテクチャの確立により、市場の要求に容易に応じられる専用マイコンを開発してきた。更に、高度情報化社会に対応して画像処理などの高速データ処理機能を持ったマイコンが必要になってくると予想される。今後ますます高度化するこれらの要求に対し《MELPS 740》で培った技術を更に発展させ、これにこたえてゆくつもりである。

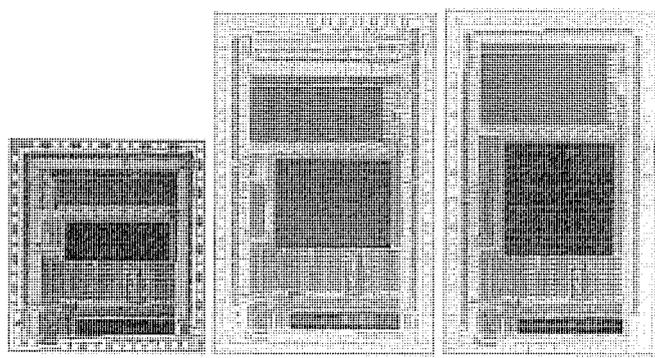


図 4. 《MELPS 740》チップ写真

CMOS マイクロプロセッサ周辺用LSI

宮島 博*・山田達雄*・脇本欣吾*・在本昭哉*・長谷川健次*

1. ま え が き

マイクロプロセッサ及び周辺用LSIの進歩の速さには、目を見張るものがあり、既に32ビットマイクロプロセッサも一部で商品化されている。このような発展の原動力となったのは、微細加工技術に支えられたnチャンネルMOS(NMOS)技術であった。しかし、近年、ハンドヘルドパソコンに代表されるように、マイクロプロセッサシステムの小形・軽量化が叫ばれ、マイクロプロセッサ及び周辺用LSIに対しても、低消費電力化の要求が発生している。この低消費電力化実現のためには、従来のNMOSでは限界があり、コンプリメンタリMOS(CMOS)技術の採用が必ず(須)の条件となる。このような低消費電力化の要求にこたえ、当社では、マイクロプロセッサシステムにおいて、プロセッサ(CPU)と密接して、頻繁に使用される周辺用LSI 5品種につき、従来のNMOS製品と比較し、タイミング必要条件の緩和、主要端子におけるノイズによる誤動作防止のためのノイズキャンセラの採用などの改良を加えてCMOS化を実現、商品化に成功した。

2. ラインアップ

今回、CMOS化を完成した周辺用LSI 5品種は、いずれもマイクロプロセッサシステムにおいて基本的な機能を受けもつものばかりであり、表1.及び図1.にそのラインアップを示す。

2.1 M5M82C51AP

NMOSで既に量産中のM5L8251AP-5と直接置き換え可能な、プログラマブル・コミュニケーション・インタフェースLSIで、同期式、非同期式の両方式に対応可能で、転送レートは最大64kボ-である。

表1. CMOS周辺用LSIのラインアップ

機能	CMOS形名	NMOS対応品	N→C置き換え
シリアルポート	M5M82C51AP	M5L8251AP-5	可
インタバルタイマ・カウンタ	M5M82C54P	M5L8253P-5	可
パラレルポート	M5M82C55AP-5	M5L8255AP-5	可
割込みコントローラ	M5M82C59AP	M5L8259AP	可
DMAコントローラ	M5M82C37AP	M5L8257P-5	否

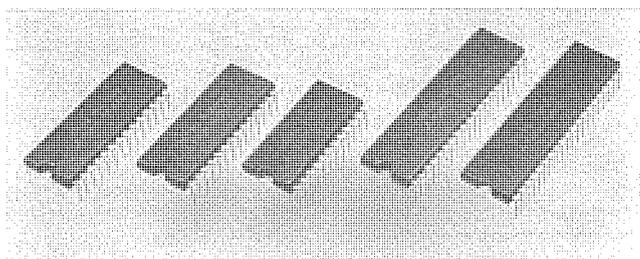


図1. CMOS周辺用LSIの外観

2.2 M5M82C54P

NMOSで既に量産中のM5L8253P-5とハード、ソフト両面でのアップワードバージョンのプログラマブル・インタバル・タイマLSIであり、M5L8253P-5に対し、入力クロック周波数は最大8MHz(M5L8253P-5は3MHz)と改善され、機能面でも、M5M82C54Pに書き込んだモードセット情報を読み出す、リードバックコマンドの追加などの改善が施されている。

2.3 M5M82C55AP-5

NMOSで既に量産中のM5L8255AP-5と直接置き換え可能な、プログラマブル・ペリフェラル・インタフェースLSIで8ビットポートを3個内蔵している。

2.4 M5M82C59AP

NMOSで既に量産中のM5L8259APと直接置き換え可能な、プログラマブル・インタラプト・コントローラLSIで、8ビットCPU8085A、16ビットCPU8086などの割り込み制御を行う。

2.5 M5M82C37AP

このLSIは、プログラマブル・DMA・コントローラである。当社には、DMAコントローラとしてNMOSのM5L8257P-5があるが、M5M82C37APではM5L8257P-5ではできなかった、メモリ間のデータ転送や、圧縮モードでの2クロックでのデータ転送(M5L8257P-5では4クロック)が可能となり、転送レートの向上や機能の充実が施されている。このため、ピン接続はM5L8257P-5とは異なり、ソフト面でも互換性はない。

3. プロセス技術とパターン設計

周辺用LSIのCMOS化で採用したウェ-ハプロセスは、アルミの配線は1層、ポリシリコンも1層のnウェ-ル・シリコンゲートCMOSで、概略の断面構造と、主要なパラメ-タを図2.、表2.に示す。なお、このウェ-ハプロセスを採用した理由は、次の3点である。

(1) 当社で実績のあるプロセスである。

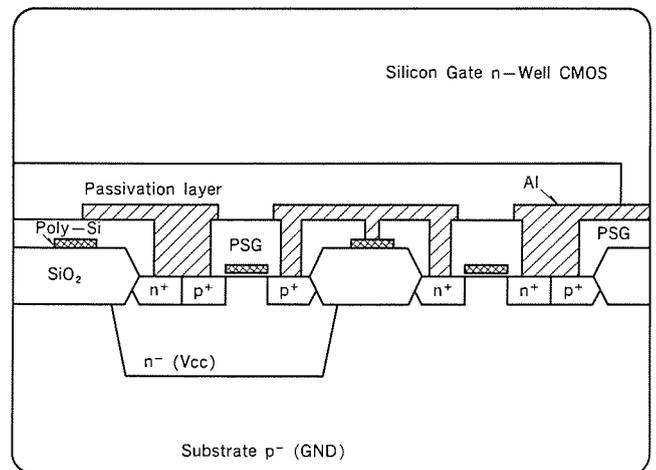


図2. ウェ-ハプロセス概略構造図

表 2. 設計及びウェーブプロセス 主要パラメータ

項 目	記 号	寸 法
最小 NMOS トランジスタチャネル長	L_N	3.0 μm
最小 PMOS トランジスタチャネル長	L_P	3.5 μm
最小アルミ配線幅	W_{Al}	4 μm
最小ポリシリコン配線幅	W_{poly}	3 μm
ゲート酸化膜厚	t_{ox}	400 \AA
n ⁺ 拡散深さ	x_{jN}	0.3 μm
p ⁺ 拡散深さ	x_{jP}	0.6 μm

- (2) 目標とする製品仕様を十分満足させることが可能である。
 (3) チップサイズ、ボンディングパッド数などを考慮し、コスト面で最も有利である。

一方、LSI パターン設計時に注意した点の一つに、ラッチアップ対策がある。ラッチアップは、外来のノイズやサージによって引き起こされる CMOS 特有の現象であり、ラッチアップ状態が長時間継続すれば、LSI の破壊に至る、非常に重要な項目である。主な考慮点を次に示す。

- (1) 外来のノイズ、サージにさらされやすい入出力部分を、極力、ガードリングで保護する。
 (2) 入力端子の保護抵抗をポリシリコンで構成する。
 (3) Pチャネル MOS トランジスタと nチャネル MOS トランジスタの物理的な距離を、十分確保する。

4. CMOS シリーズの特長

マイクロプロセッサ周辺用 LSI の CMOS シリーズでは、データバスタイミングや入出力特性などで思想統一を行うため、同一の仕様としている。また、パルス性の外来ノイズに対して、LSI の誤動作を防止するために、主要な端子にノイズキャンセラを採用している。このノイズキャンセラは、一定のパルス幅に満たないものは信号とみなさず、ノイズとして無視するものである。

4.1 データバスタイミング

データバスタイミングに関する特長は、NMOS シリーズのタイミングを改善し、より使いやすしいものにしたことである。8ビット CPU、8085 A (5 MHz) はもとより、8086、8088 (5 MHz)、Z-80 A (4 MHz) などに、ウェイトスタートなしで直結できることを前提としたバスタイミングにした。更にチップセレクト信号の作成を容易にするため、リード/ライト信号に対するアドレスセットアップタイム、ホールドタイムを不要 (0 ns) とし、ライトパルスに対するデータセットアップタイムを 100 ns、ホールドタイムは不要 (0 ns) とした。また、リード信号に対するデータアクセスタイムを 170 ns としたため、CPU との接続などにおいて、バッファの挿入による

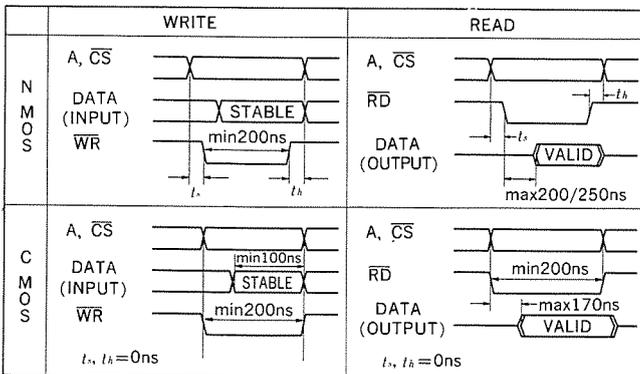


図 3. データバスタイミングの比較

表 3. ノイズキャンセラ ($T_a=25^\circ\text{C}$, $V_{CC}=5\text{ V}$)

形 名	端 子 名	リジェクト可能パルス幅
M 5 M 82 C 55 AP-5	RESET	60 ns
	$\overline{\text{WR}}$	30 ns
	ACK	30 ns
	$\overline{\text{STB}}$	30 ns
M 5 M 82 C 59 AP	$\text{IR}_0 \sim \text{IR}_7$	30 ns
M 5 M 82 C 37 AP	RESET	25 ns
	$\overline{\text{WR}}$	25 ns

表 4. CMOS 周辺用 LSI の特長

項 目	特 長
低 消 費 電 力	NMOS に比較し $\frac{1}{10} \sim \frac{1}{1000}$ 以下
広 い 動 作 温 度 範 圍	$-20 \sim +75^\circ\text{C}$
電 源 電 圧	$5\text{ V} \pm 10\%$
高 速 動 作	ウェイトスタート不要: 8085 A 3 MHz 8086/88 5 MHz Z-80 A 4 MHz リードアクセスタイム: max 170 ns
タイミグ必要条件の緩和	セットアップタイム/ホールドタイム不要
ノイズキャンセラの採用	M 5 M 82 C 55 AP-5: RESET, $\overline{\text{WR}}$, ACK, $\overline{\text{STB}}$ M 5 M 82 C 59 AP: $\text{IR}_0 \sim \text{IR}_7$ M 5 M 82 C 37 AP: RESET, $\overline{\text{WR}}$
入 出 力 レ ベ ル	TTL コンパチブル

遅延時間への配慮も不要とした。データバスタイミングの比較を図 3. に示す。

4.2 入出力特性

NMOS 製品との直接の置き換えが行われることを想定して、入出力特性は、TTL コンパチブルレベルとした。

$$\begin{aligned} \text{TTL コンパチブルレベル} : \quad &V_{IL} \leq 0.8\text{ V} \\ &V_{IH} \geq 2.0\text{ V} \\ &V_{OL} \leq 0.45\text{ V} \\ &V_{OH} \geq 2.4\text{ V} \end{aligned}$$

4.3 ノイズキャンセラ

外来のノイズ対策として、ノイズキャンセラを採用した品種の端子名、除去可能パルス幅を表 3. に示す。

4.4 電源電圧・動作温度範囲

$$\begin{aligned} T_{opr} &= -20 \sim +75^\circ\text{C} \\ V_{CC} &= 5\text{ V} \pm 10\% \end{aligned}$$

表 4. に特長の一覧を示す。

5. 主要電気的特性

5.1 電源電流 (I_{CC})

CMOS シリーズにおける NMOS に対する最大の利点は、電源電流が小さいことであり、CMOS シリーズの特長や将来の発展性に対する大半が、この電源電流によってもたらされていると言ってもよいであろう。

CMOS は、その回路構成から、状態を保持しているのみで、その状態に変化のない場合には、回路電流は不要であり、状態変化のある場合のみ過渡電流が流れる。したがって、この状態変化の少ない LSI の場合には、回路電流は、出力端子での電流を除くとリー

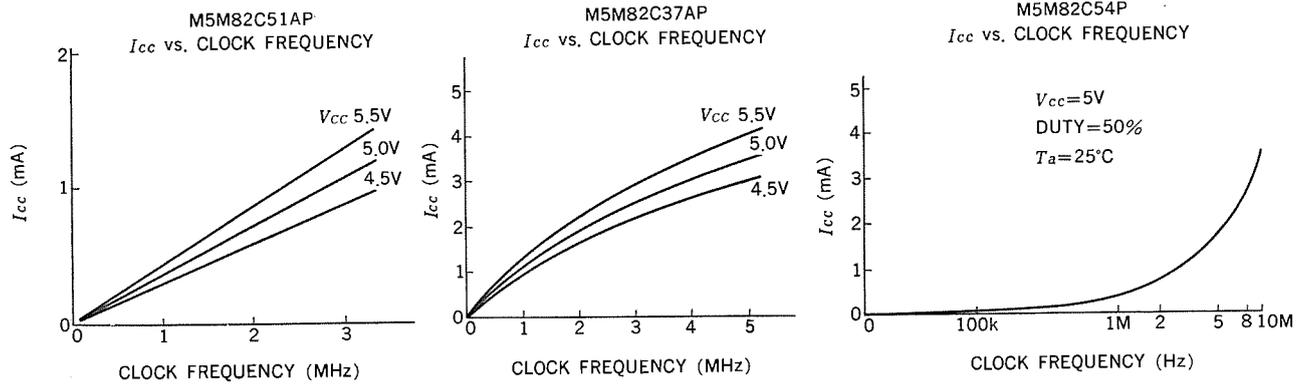
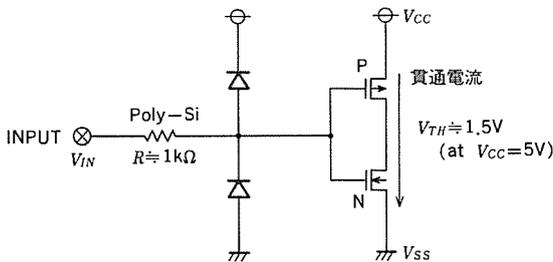


図 4. クロック入力のある LSI の電源電流

表 5. 電源電流の比較

CMOS		NMOS	
形名	最大電源電流	形名	最大電源電流
M5M82C51AP	5 mA	M5L8251AP-5	100 mA
M5M82C54P	10 mA (@ 8 MHz) 10 μA (@ STAND-BY)	M5L8253P-5	140 mA
M5M82C55AP-5	10 μA	M5L8255AP-5	120 mA
M5M82C59AP	10 μA	M5L8259AP	85 mA
M5M82C37AP	15 mA	M5L8257P-5	120 mA



$GND + V_{THN} < V_{IN} < V_{CC} - V_{THP}$ で貫通電流が流れる

図 5. 入力回路

クによるものだけとなる。一方、状態変化の頻繁な LSI の場合、過渡電流がたえず流れていることになり、システムクロックを必要とする LSI (M5M82C51AP, M5M82C37AP) や、カウンタ (M5M82C54P) では、一定の入力周波数において一定の回路電流を必要とすることとなる (図 4. 参照)。これに対し、NMOS の LSI では、周波数とは無関係にほぼ一定の電流を常時必要とする。表 5. に NMOS と CMOS の電源電流の比較を示す。M5M82C55AP-5 と M5M82C59AP ではクロック入力を必要としないため、最大で 10 μA の規格になっていることが注目される。また、クロック入力を必要とする LSI の場合も、NMOS に比較し大幅に減少していることが示されている。

5.2 入出力特性

CMOS シリーズにおける入出力は、NMOS シリーズと同様 TTL コンパチブルレベルであるが、NMOS シリーズとは次の点で異なっている。

5.2.1 入力レベル

入力レベルの回路的な“しきい値”は、設計値で 1.5 V である。しかし、この入力レベルが、 V_{CC} 又は GND レベルにあるときは問題ないが、下記の範囲に入力電圧が入った場合、入力回路部のインバータを構成する P チャネル MOS トランジスタと n チャネル MOS トランジスタが同時に導通状態となり、CMOS 特有の貫通電流が流れる。CMOS 周

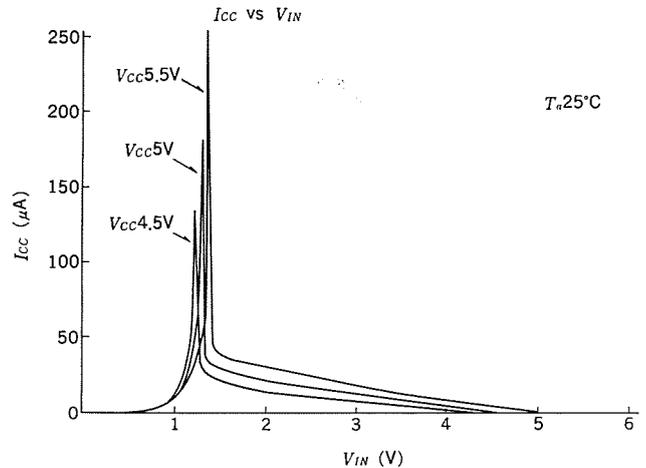


図 6. 入力インバータの貫通電流

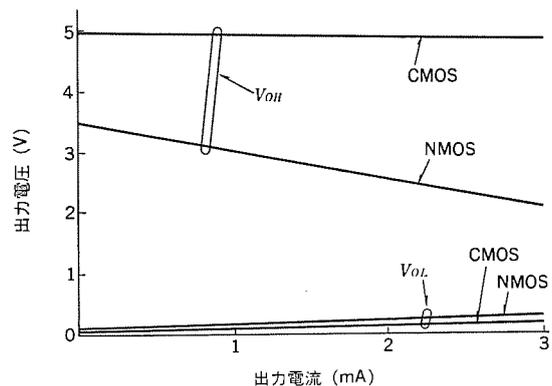


図 7. 出力特性 ($V_{CC}=5V$, $T_a=25^\circ C$)

辺用 LSI を CMOS ロジック IC で駆動する場合、ロジック IC の出力は、ほぼ V_{CC} 又は GND レベルとなるため問題は発生しないが、LSTTL の場合は、 V_{OH} が V_{CC} よりかなり低い値となるので、プルアップなどの処置が必要となる場合もある (図 5., 図 6. 参照)。

$$GND + V_{THN} < V_{IN} < V_{CC} - V_{THP}$$

$$\text{ここで } V_{THN} \approx 0.7V$$

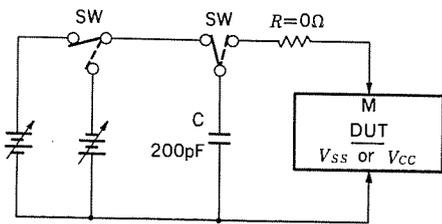
$$V_{THP} \approx 0.7V$$

$$V_{IN} = \text{入力電圧}$$

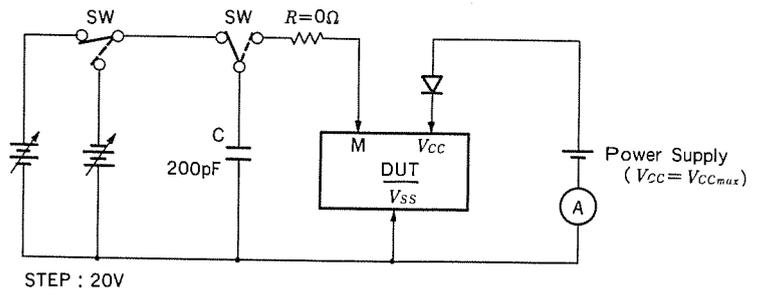
5.2.2 出力レベル

図 7. に出力特性を示すが、NMOS シリーズに比較して“L”側では、ドライブ能力、出力電圧はほぼ同等であるが、“H”側では大幅に向上していることが注目される。

SURGE DESTRUCTION TEST CIRCUIT



LATCHUP TEST CIRCUIT



STEP : 20V

図 8. サージ耐量・ラッチアップ耐量測定回路

表 6. M5M82C55AP-5 の破壊耐量

	記号	破壊耐量 (V)		
		サージ	ラッチアップ	ステップストレス
電源入力	V _{CC}	—	1,000以上	13以上
データバス	DB ₀ ~DB ₇	340以上	340以上	—
ポート A	PA ₀ ~PA ₇	340以上	340以上	—
ポート B	PB ₀ ~PB ₀	340以上	340以上	—
ポート C	PC ₀ ~PC ₇	300以上	300以上	—
制御信号入力	A ₀ , A, CS, RD, WR, RESET	420以上	420以上	—

5.3 サージ耐量・ラッチアップ耐量

サージ耐量とラッチアップ耐量は、通常カタログには記載されない項目ではあるが、いずれも LSI の破壊に対する耐量であり、LSI としては非常に重要な項目である。特にラッチアップ耐量については、現象の発生に伴い大きな電流が流れるため、マイコンシステムの電源系まで影響を与える可能性がある。

このサージ・ラッチアップ耐量の評価方法には色々な方法があるが、当社では従来から、図 8. に示すコンデンサ・ディスチャージ法を採用している。図で $R=0\Omega$ 、 $C=200\text{pF}$ 、電圧ステップは 20V である。サージ耐量、ラッチアップ耐量の例として、マイコンシステムにおいて、端末機器に近く、ノイズやサージにさらされる可能性の最も高い、M5M82C55AP-5 の実測値を表 6. に示す。

5.4 ステップストレス耐量

サージ耐量、ラッチアップ耐量が、瞬間的なノイズやサージに対する評価であるとすれば、電源電圧のスタティックな耐量を評価するのが、ステップストレス耐量である。この試験の耐量は、電源電圧をステップ状にゆっくりと上昇させ、LSI の破壊に至る電源電圧を求めるもので、設計寸法及びウェーブフォームによって決まるものである。CMOS 周辺用 LSI 5 品種はすべて同一の設計寸法、ウェーブフォームを採用している M5M82C55AP-5 のステップストレス耐量測定値を表 6. に示す。

6. 今後の展開

CMOS マイクロプロセッサ 周辺用 LSI は、CMOS であるがために NMOS では実現できなかった、種々の改良に対して具体化の大きな可能性を秘めている。

6.1 パッケージの小形化

CMOS シリーズでは、消費電力の低減によりチップ自体からの発熱量

が減少し、NMOS シリーズでは発熱による信頼性の問題で採用できなかった、熱抵抗の大きい小形のプラスチックパッケージの採用が可能となってきた。現在、24ピンから40ピンまでである周辺用 LSI をカバーできる標準小形パッケージ体系（ピンピッチ、外形寸法など）は存在しないが、今後、実装密度の向上のため、小形パッケージ品に対する要求が強まり、CMOS 周辺用 LSI の主流の座を占めるのも、遠い将来ではないと予想され、当社では、プラスチックパッケージの小形化に対し、積極的に取り組んで行く予定である。

6.2 電池駆動

パッケージの小形化とともに、CMOS の LSI は、電池による駆動に対しても十分な可能性を持っている。今回商品化した 5 品種はどれも、乾電池 2 個での駆動が可能になることを前提に回路設計しており、TTL コンパチブルな入力レベルにするための入力回路部と、ごく特殊な回路を除き、LSI 内部の回路の“しきい値”を $0.5V_{CC}$ にし、今後電池駆動に対応可能なよう対策している。

6.3 CMOS コンパチブル入力

今回商品化した 5 品種は、TTL コンパチブルの入力レベルであるが、CMOS マイクロプロセッサ、CMOS 周辺用 LSI、CMOS ロジック IC とすべて CMOS によるシステム構成を行う場合、入力レベルは、ノイズマージンの大きな CMOS コンパチブルレベル ($V_{IH} \geq 3.5\text{V}$ 、 $V_{IL} \leq 1.5\text{V}$ 、 $@V_{CC}=5\text{V}$) が合理的であり、TTL コンパチブルシリーズと同様、CMOS コンパチブルシリーズを開発する予定である。

6.4 動作温度範囲

CMOS 周辺用 LSI は、既に述べたように、電源電流によるチップ温度の上昇が小さいため、今後 CMOS ロジック IC (例えば M4000BP シリーズ) 同様、動作温度範囲を、 $-40 \sim +85^\circ\text{C}$ へ拡張することを計画している。

7. むすび

CMOS マイクロプロセッサ 周辺用 LSI は、その特長から、NMOS 品では期待できなかった応用分野への浸透も可能となり、大きな市場性を秘めている。今回開発した 5 品種を含め、今後、CMOS によるマイクロプロセッサ 周辺用 LSI をファミリーとして開発、ラインアップを拡充していく計画である。

電圧シンセサイザ専用CMOS 4ビットマイクロコンピュータ

武部 秀治*・高橋 直樹*・境田 優二*・堀 俊彦*・中尾 佳生*

1. ま え が き

テレビジョン(以下、TV と称す)及びビデオテープレコーダー(以下、VTR と称す)の選局装置は大きく分けて3段階に変遷している。昭和50年以前は、ターレット形又はロータリ形などの機械式であった。これは①機械式切換のため摩耗する、②ワンタッチ直接選局、リモートコントロール(以下、リモコンと称す)などの操作性を向上させる機能を付加することが非常に困難であるなど欠点があった。昭和50年頃に局部発振回路の同調用可変容量ダイオードに印加する基準電圧をポテンショメータで分圧設定する電子式チューナーが開発された。機械式に比べ操作性は向上したが、①局数だけポテンショメータが必要であり、これを前面に収納するために意匠面で制約が大きい、②プリセットに手間がかかる、③多機能化を図るのが難しい、④局数が多くなると価格が高くなるなどの欠点がある。

そこで昭和55年には、選局本来の機能の上に付加機能を加え、高信頼度、操作性の向上を図ったシンセサイザ方式を用いたLSIの時代となった。当社では、昭和55年当方式を採用した電圧シンセサイザ専用CMOS LSI M58486 AP^①を開発した。図1.に本方式選局システムを用いたTVのブロック図を示す。このシステムにおいては、局部発振回路の可変容量ダイオードに印加する同調電圧をデジタル化しEAROM (Electrically Alterable ROM: 不揮発性メモリ)に記憶させる。選局時にはEAROMからこのデータを読み出しD/Aコンバータによりアナログ電圧に変換し、可変容量ダイオードに印加する。しかし、最近のTV及びVTRの市場競争激化で、製品仕様の多様化、開発期間の短縮化が強く求められるようになってきた。このような状況下では、仕様のすべての論理回路をLSI化したハードウェアで実現しているM58486 APのようなLSIでは、費用、期間の問題で

仕様の変更あるいは追加に対応していくことが困難であった。また、製品の小型化、薄形化が進み、選局システムを構成している部品点数の削減も強く望まれてくるようになった。そこで、当社では上記の要求にこたえ、ROMにより仕様変更ができるように電圧シンセサイザ用LSIのマイクロコンピュータ化を図った。

まず、第一世代として昭和57年に電圧シンセサイザ専用CMOS 4ビットマイクロコンピュータ M50124-×××SPを開発した。市場では、製品の多機能化、小型化、開発期間の短縮などの面で好評を博した。次いで、第二世代として更に部品点数の削減、使いやすさ、原価低減を追求したM50430-×××SPならびにM50431-×××SPを開発した。ここでは、今回開発したM50430-×××SP及びM50431-×××SPについて説明する。

2. M50430-×××SP及びM50431-×××SPの概要

M50430-×××SP及びM50431-×××SPは、電圧シンセサイザ方式選局システムに必要な同調電圧発生用14ビットD/Aコンバータ、リモコン受信回路、音量などのアナログ量制御用6ビットD/Aコンバータ、表示用発光ダイオード(以下、LEDと称す)用ドライバ、従来多くの外部回路を必要とした自動プリセットのための映像信号検出回路などを内蔵した電圧シンセサイザ専用CMOS 4ビットマイクロコンピュータである。したがって、ソフトウェア開発により種々の仕様の電圧シンセサイザ方式選局システムを短期間に実現できる。ソフトウェア開発に際しては、効率良くプログラム作成、デバッグ、実装評価が行えるソフトウェア開発支援ツールが準備されている。

なお、M50431-×××SPは、TV、VTRの中・高級機向けに開発されたものである。また、M50430-×××SPは、低級機に用いられ

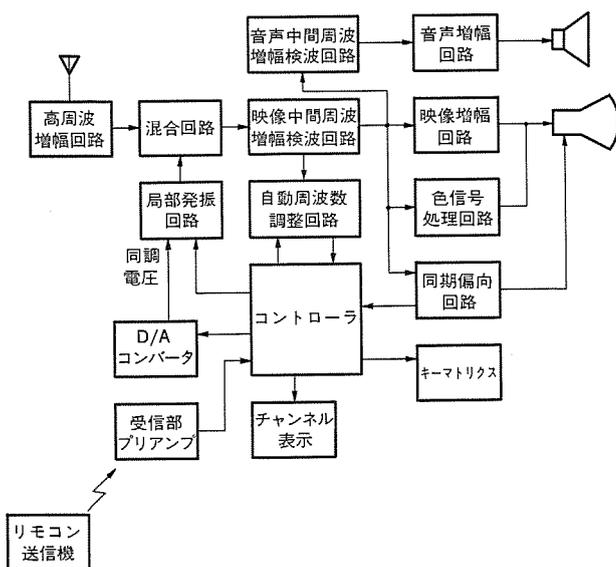


図1. 電圧シンセサイザ方式選局システムを用いたTVのブロック図

表1. M50430-×××SPとM50431-×××SPの概略仕様

項目	品 種 名	M50430-×××SP	M50431-×××SP
構 造		CMOSシリコンゲート	CMOSシリコンゲート
R O M		1,270語×8ビット	3,062語×8ビット
R A M		31語×4ビット	96語×4ビット
発 振 周 波 数 (MHz)		4.0	4.0
14ビットD/Aコンバータ(本)		1	1
6ビットD/Aコンバータ(本)		—	3
リモコン受信割り込み		不可	可能
タイマー割り込み		—	4msタイマー
ス タ ッ ク		2レベル	5レベル
映 像 信 号 検 出		不可	可能
LED直接駆動出力(本)		8	8
入 力 ピ ン (本)		4	4
出 力 ピ ン (本)		17	18
入 出 力 ピ ン (本)		2	9
ピ ン 数 (ピン)		30	42
マ シ ン サ イ ク ル (μs)		8	4

ているポテンシオメータ方式選局システムを置き換えるために開発された。
表 1. に両者の概略仕様を示す。

3. M 50431- $\times\times\times$ SP のアーキテクチャ

M 50431- $\times\times\times$ SP は 3 K バイト ROM, 96ワードRAM のメモリを持つ 4 ビットマイクロコンピュータで, D/A コンバータ, 割り込みによるリモコン受信回路, 映像信号検出回路など選局システムを構成するのに必要な様々な周辺回路を内蔵している。図 2. にチップ写真を示す。

3.1 特長

- (1) 3,062 語 \times 8 ビットのプログラムメモリ (ROM)
- (2) 96 語 \times 4 ビットのデータメモリ (RAM)
- (3) 5 レベルのスタック

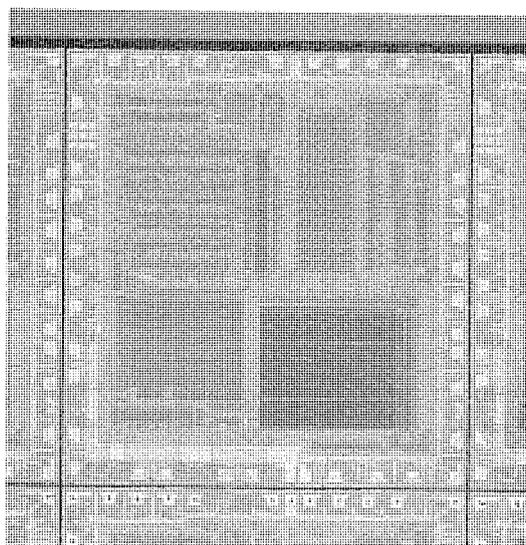


図 2. M 50431- $\times\times\times$ SP のチップ写真

- (4) チューニング電圧制御用 14 ビット D/A コンバータ内蔵
- (5) 割り込みによるリモコン受信回路内蔵
- (6) 4 ms のタイマー 割り込み
- (7) 映像信号検出回路内蔵
- (8) 3 本の 6 ビット D/A コンバータ内蔵
- (9) 8 本の LED 直接駆動端子
- (10) 73 種類の豊富な命令
- (11) 4 μ s のマシンサイクル

3.2 構成

図 3. に M 50431- $\times\times\times$ SP のブロック図を示し, 主要部について説明する。

3.2.1 CPU

2 進加減算はもちろん, 比較, 論理演算, ビットテストを 4 μ s 内に行うことができ, 演算結果はレジスタ A に転送される。レジスタ B はデータ処理に対する補助レジスタであり, 割り込み時のデータ選避用として使用すれば, 割り込み処理への切替を迅速に行うことができる。

3.2.2 D/A コンバータ

RAM の 00, 10, 20, 30 番地から転送されてきた, 30 番地の上位 2 ビットを除く 14 ビットのデジタル情報に従って, パルス幅変調された波形を D/A 端子から出力し, アナログ量を 16,384 段階に制御することができる。出力の形式は, 最小パルス幅 500 ns, 繰返し周期 8,192 μ s であり, この出力パルスの“H”の値を 33 V にレベルシフトし, これをローパスフィルターを通すことにより直流同調電圧が得られる。同調電圧の可変範囲は 0 ~ 33 V であるので 1 ステップ当り同調電圧の変化は 2 mV となる。

同調電圧の温度こう配をなくし, また, ローパスフィルターの時定数を小さくして応答速度を早くするためにパルス幅変調される波形に工夫をこらしている。つまり繰返し周期 8,192 μ s を 64 個の小区間(時間幅 128 μ s)に分割し, 各区間のパルスが等間隔に出力されるよう

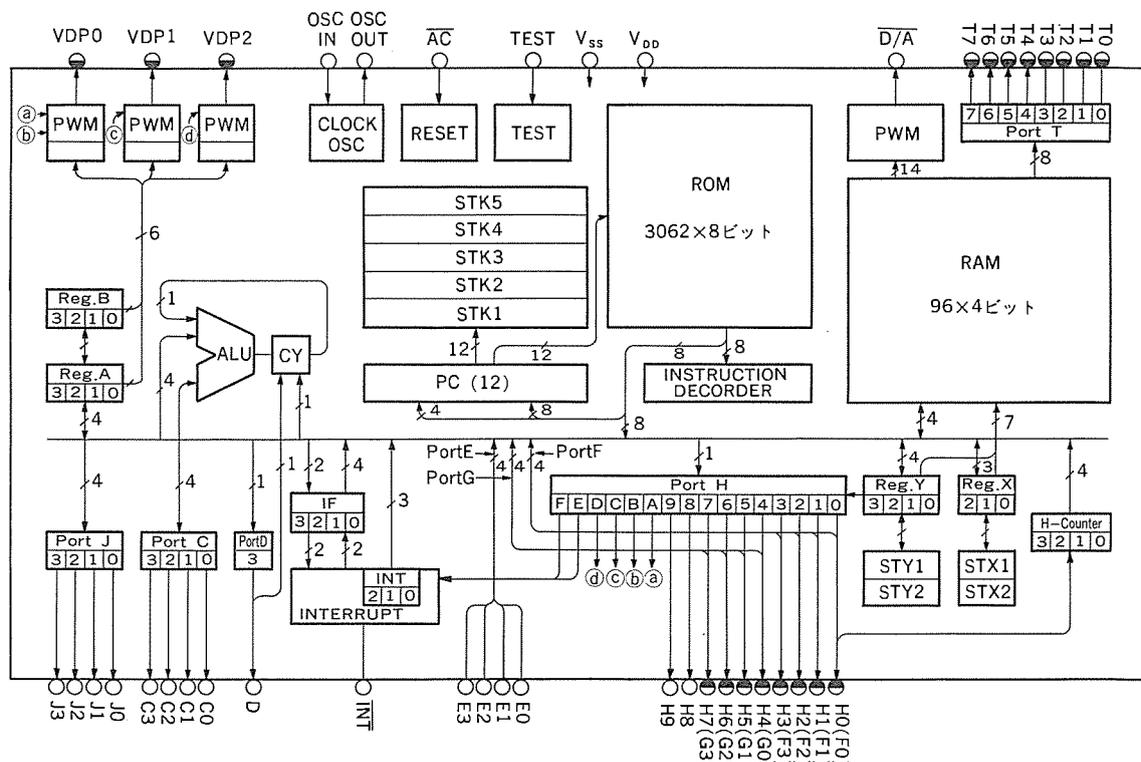


図 3. M 50431- $\times\times\times$ SP のブロック図

にしている。

3.2.3 映像信号検出回路 (H-Counter)

HO 端子に入力される水平同期信号を、5ビットのカウンタで1.02 ms 間計数することにより映像信号を検出することができる。水平同期信号は15.75 kHz であるため、1.02 ms 間に計数されるパルス数は約16となる。したがって16前後のパルス数を判定することによって映像信号か否かを判定することができる。

3.2.4 割り込み

割り込みには、 $\overline{\text{INT}}$ 端子からのリモコン受信信号による外部割り込みと、約4 ms のタイマー割り込みの2種類があり、割り込みが発生するとプログラムカウンタ(PC)は強制的に2番地にジャンプする。 $\overline{\text{INT}}$ 端子からの外部割り込み回路にはカウンタがあり、 $\overline{\text{INT}}$ 端子からのリモコン受信信号の立下りから立上りまでの時間を計測することができる。基準時間1.54 ms と3.2 ms との大小判定結果により、リモコン受信信号を簡単に解釈できる。タイマー割り込みは、約4 ms ごとに発生する。これを利用することにより、タイマー機能を持たせることができるとともに、またLEDのダイミミック点灯を容易に行うことができる。

4. M 50431- $\times\times\times$ SP の応用

図4. に M 50431- $\times\times\times$ SP を用いた選局システムの例を示す。このシステムは選局部が M 50431- $\times\times\times$ SP 及び EAROM M 58653 P (ROM 容量: 50ワード \times 14ビット) から構成され、バッテリバックアップを必要としない全電子式選局システムを少ない部品で実現できる。主な機能は以下のとおりである。

4.1 プリセット

内蔵カウンタでの同期信号カウントによる映像信号検出及び自動周波数制御 (Automatic Frequency Control : AFC) 電圧を2値の基準電圧と比較した結果を H1, H2ポートに入力することにより同調周波数を掃引してTV放送局を探索し同調電圧、バンドなどのデータをEAROMに書き込む。

4.2 選局

キーマトリクスあるいはリモコンにより直接選局及び順次選局が行える。選局命令によりEAROMから選ばれたチャンネルポジションに対応する同調電圧、バンドなどのデータが読み出され設定される。このとき必要に応じて音声ミュート及び自動微調整 (Automatic Fine Tuning : AFT) 機能のデフォルトが働く。

4.3 リモコン受信

リモコン送信機からの信号をプリアンプを介して $\overline{\text{INT}}$ 端子に入力するとパルス間隔判別回路により受信コードの解釈を行い各コードに対応した命令を実行する。直接選局、順次選局、3種類のアナログ量制御、モード切換、オフタイマー設定など29種類の命令のリモコン受信が可能である。

4.4 チャンネル表示及びモード表示

このシステムではLEDによる実チャンネル表示が可能である。プリセット時キーにより実チャンネルを変更することができ、この値はEAROMに各チャンネルポジションごとに書き込まれる。選局時にはこのデータがEAROMから読み出されてLEDにより2けた表示される。また、7個のLEDにより7種のモード表示が可能である。LED表示はデジット出力H0~H2及びセグメント出力T0~T6による3けたダイミミック表示であり、表示けたの切換は4msタイマーによる割り込みで行っている。

4.5 オフタイマー

キー及びリモコンにより30分あるいは60分のオフタイマーが設定できる。オフタイマーが設定されるとそれに応じたLEDが点灯し、設定時間が経過すると自動的に周辺電源制御出力J3がOFFになる。

4.6 ラストメモリ機能

選局時に選ばれたチャンネルポジションをEAROMに書き込み、電源投入時にはこのチャンネルポジションデータをEAROMから読み出して選局する(ラストチャンネルメモリ機能)。また、3種類のアナログ量をキーあるいはリモコンにより変更したときこの値をEAROMに書き込み、電源投入時にはこのアナログ量データをEAROMから読み出しVDP0~VDP2の出力の値を設定する(ラストアナログメモリ機能)。

5. M 50430- $\times\times\times$ SP のアーキテクチャ

M 50430- $\times\times\times$ SP は M 50431- $\times\times\times$ SP のコスト低減化を図って開発した4ビットマイクロコンピュータで、電子式選局システムを構成するための最小限度のD/Aコンパ-

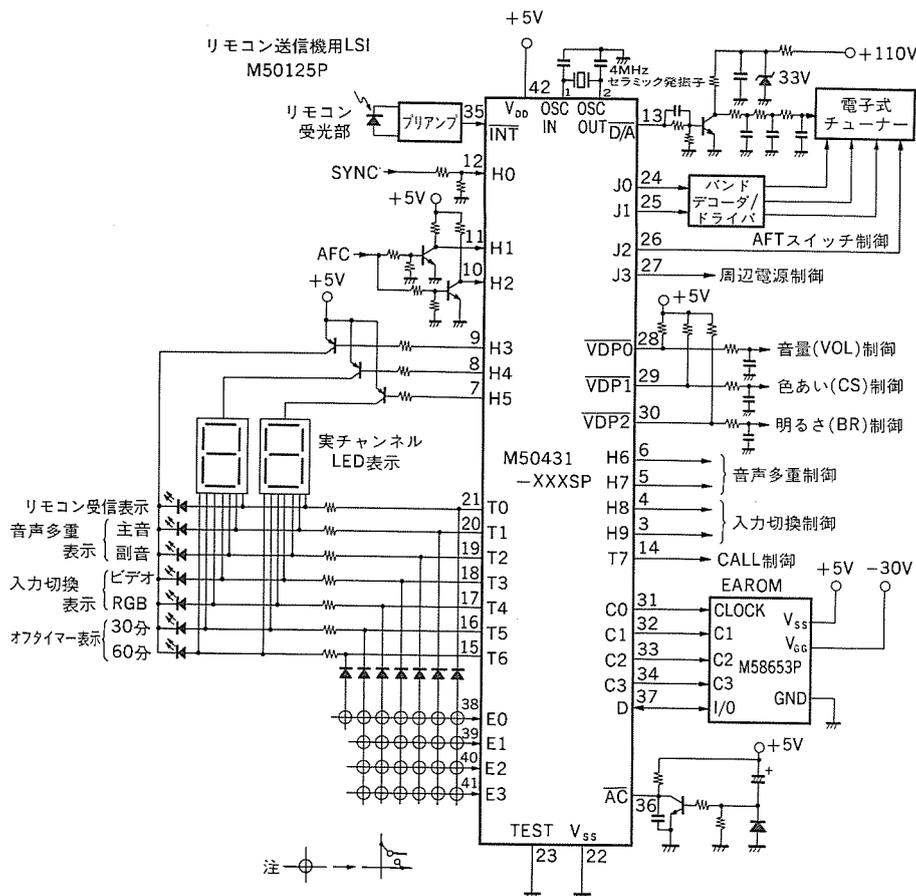


図4. M 50431- $\times\times\times$ SP の応用例

タのみを内蔵している。図 5. にチップ写真を示す。

5.1 特長

- (1) 1,270 語× 8ビットの ROM
- (2) 32 語× 4ビットの RAM
- (3) 2レベルのスタック
- (4) チューニング電圧制御用 14ビット D/A コンバータ
- (5) 8本の LED 直接駆動端子
- (6) 42 種類の命令
- (7) 8 μ s のマシンサイクル
- (8) 30ピンシユリンクパッケージ

5.2 構成

図 6. に M50430- $\times\times\times$ SP のブロック図を示し主要な部について説明する。

5.2.1 D/A コンバータ

M50431- $\times\times\times$ SP と同様に、14ビットのデジタル情報に従ってパルス幅変調されたパルスが D/A 端子から出力される。

5.2.2 レジスタ X・Y

RAM をアドレスするためのレジスタで、計 5ビットで構成されている。

5.2.3 CPU

2進加算、比較、及びビットテストを 8~16 μ s 内に行うことができ、演算結果はレジスタ A に転送される。データの一時退避場所としてレジスタ B がある。

5.2.4 プログラムカウンタ (PC)

下位 6ビット (PCL) と上位 5ビット (PCH) と合計 11ビットで構成し、各々ポリノミアルカウンタとして、回路の素子数を減らしコストの低減化を図った。

6. M50430- $\times\times\times$ SP の応用

応用例を図 7. に示す。プリセットはバンドスイッチ及び

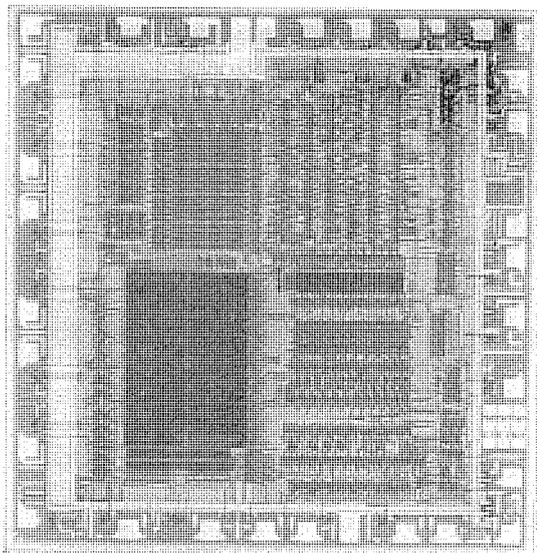


図 5. M50430- $\times\times\times$ SP のチップ写真

同調キー (T(+)/(-), FT(+)/(-)) により行う。プリセットしたいチャンネルポジションを選んだ後、バンドスイッチによりバンドを設定する。次いで同調キーを入力して所定の画面が得られたところでキーを離す。キーを離すと同調電圧、バンドなどのデータが EAROM へ自動的に書き込まれる。選局時には直接選局キー (1~12) 順次選局キー (PR UP/DN) を入力することにより、選ばれたチャンネルポジションに対応するデータが EAROM から読み出されて設定される。チャン

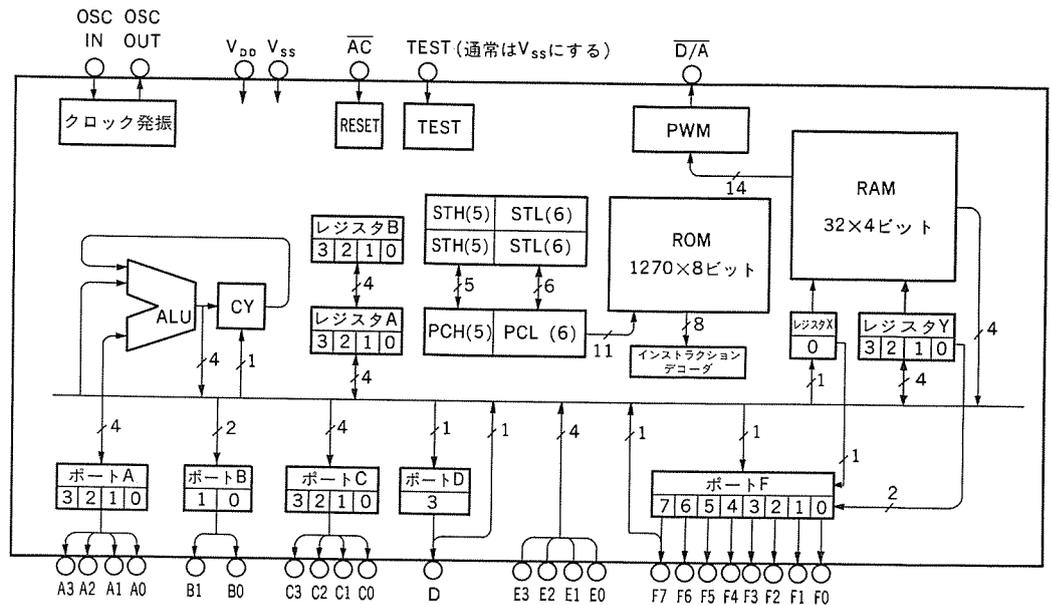


図 6. M50430- $\times\times\times$ SP のブロック図

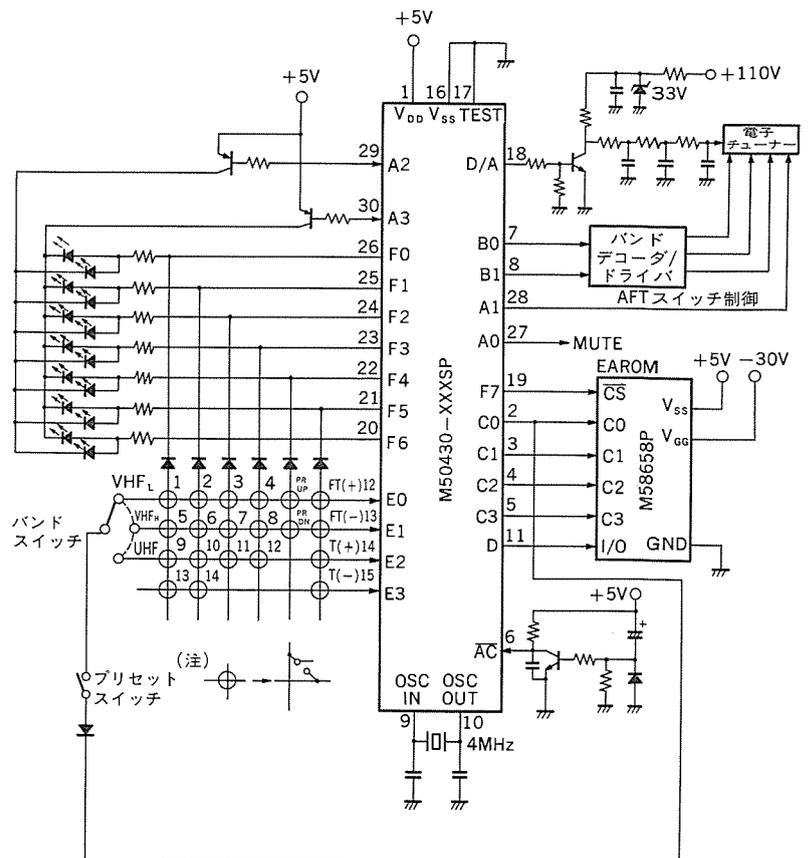


図 7. M50430- $\times\times\times$ SP の応用例

ネリポジションは12個のLEDの点灯に表示される。以上のようにM50430-×××SPを用いた選局システムは、ポテンシオメータを局数だけ配した従来の選局システムに置き替わるものである。

7. ソフトウェア開発支援ツール

M50430-×××SP及びM50431-×××SPにおいては、効率良くソフトウェアを開発できるソフトウェア開発支援ツールが用意されている(図8.参照)。

7.1 クロスアセンブラ

アセンブラ言語で書かれたプログラムは当社製クロスアセンブル装置PC9100に、キーによりインプットしてソースファイルが作成できる。このソースファイルをアセンブルして機械語に変換し、オブジェクトファイルを作成する。オブジェクトデータはEPROM(M5L2716K又はM5L2732K)に書き込まれる。

7.2 プログラムデバッグ装置

プログラムデバッグは当社製汎用デバッグ装置PC4000に専用基板(M50430-×××SPに対してはPCA7600, M50431-×××SPに対してはPCA7601)を装着することにより可能にしている。更にPC4000にCRTインタフェース基板PCA8540を接続してCRT上でのデータの確認が行える。PC9100によりオブジェクトデータが書き込まれたEPROMをPC4000に装着し、内部のプログラム用RAMにデータをいったん転送する。以後のプログラムデバッグはこのプログラム用RAM上で行う。評価対象のTVあるいはVTRシステムとはケーブルにより接続される。このデバッグシステムでは以下の機能がある。①プログラム

表 2. PC 4000 の概略仕様

項目	内 容
方 式	評価チップ搭載の専用基板との組合せによるインサーキットエミュレーション
プログラム用RAM	4K×10ビット内蔵
制 御 CPU	M5L8085 AP
EPROM書込み器	2716, 2732 用
入 力	キースイッチ コマンド 12キー 置 数 16キー エントリ 1キー
インタフェース	① 20mAカレントループ・シリアル入出力 4,800 b/s 金二重 1本 ② セントロニクス仕様パラレルインタフェース 1本
寸 法 (mm)	364×257×85
電 源 (V)	100
動作温度 (°C)	5~40

内容の確認及び修正, ②データRAMの確認及び修正, ③レジスタ内容の確認及び修正, ④プログラムカウンタの確認及び修正, ⑤任意の番地からのプログラム実行開始及び停止, ⑥プログラムRAMのデータのEPROMへの書き込みなどである。表2.にPC4000デバッグ装置の概略仕様を示す。

7.3 評価基板

評価基板は評価チップを外部ROMモードで働かせ、最終チップと同等の動作確認が行えるようにしたものである。PC9100によりオブジェクトデータを書き込んだEPROMを評価基板(M50430-×××SPに対してはPCA7502, M50431-×××SPに対してはPCA7503)に装着し、評価対象のTVあるいはVTRシステムとケーブルを接続することにより、電源投入時の動作などを含め実装状態でのプログラム評価が可能である。

8. む す び

以上説明したように、このたびに開発した電圧シンセサイザ専用CMOS4ビットマイクロコンピュータM50430-×××SP及びM50431-×××SPを使って機械的機構を全く用いず小形で多機能な全電子式選局システムをソフトウェアの開発により容易に実現することができる。

今後の方向としては①電圧シンセサイザ専用マイクロコンピュータの開発において蓄積した技術により、周波数シンセサイザ専用マイクロコンピュータを開発していく、②VTRのタイマー機能を内蔵する、あるいは画面表示機能を内蔵するなど高機能化及びROM容量の増大を図った製品を開発しシリーズ化を行う、③EAROMを内蔵して完全1チップのシンセサイザ専用マイクロコンピュータを開発するなどにより、ニューメディア対応高機能選局システム、あるいは更にコストパフォーマンスの良い選局システムを追求していく予定である。

参 考 文 献

- (1) 小林, 武部: ボルテージシンセサイザ用CMOS LSI, 三菱電機技報, 54, No. 12 (昭55)

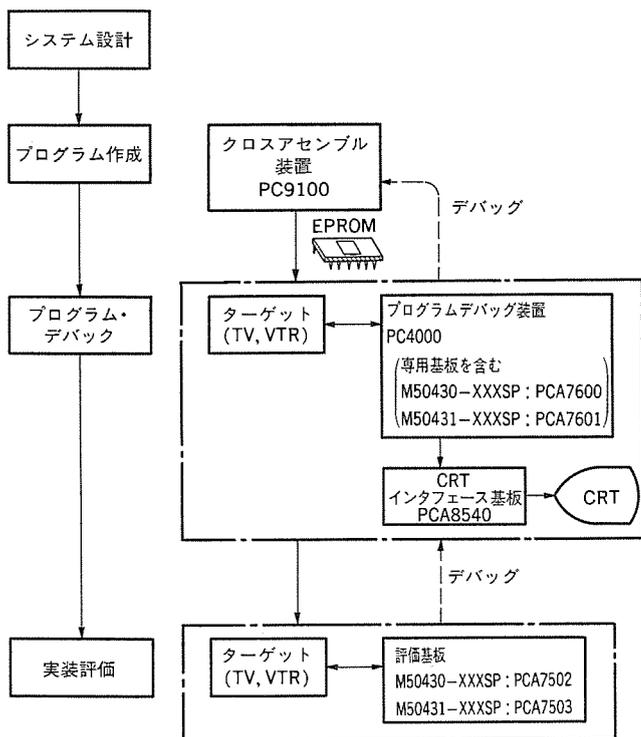


図 8. ソフトウェア開発のフロー

1. ま え が き

フレキシブルディスクドライブ (FDD) は、当初コンピュータの外部記憶装置として、8インチディスクタイプでスタートした。最近のパーソナルコンピュータ、ワードプロセッサなどのOA機器の需要の増大により、5.25インチ (ミニFDD) を中心に需要が伸びている。また、3~3.5インチ (マイクロFDD) などの小形機器の登場は、カートリッジタイプのディスクの取扱の容易さ、低価格の点から家庭用パソコンなどを中心に市場の拡大が期待されている。一方、FDDは高性能化、小形化、薄形化、生産性向上、原価低減といった追求が各社で強力に展開され、FDDは価格競争の時代になりつつある。このような追求に対してICの果たす役割は大きく、回路部品の削減、消費電力の削減の面からLSI化が望まれていた。

今回このような要求に対して、高密度ウエーブプロセス技術を用いて、現在主流の5.25インチタイプをターゲットとした各社のFDDのシステム構成の要求に応じられる汎用性の高いリード/ライト機能をもつM51018Pと、より小形化を要求される3.5インチタイプをターゲットとしたリード/ライト機能+ステップモータ駆動用パルス発生回路+各種制御ロジック回路を内蔵したM51017Pを開発した。その概要と技術内容に関して述べる。

2. IC の 構 成

FDDを含むシステムの主な信号系統ブロック図を図1. に示す。FDD

はFDD-0で示されるユニットである。FDDは最大4台までFDC (フレキシブルディスクコントローラ) に接続され、CPU (セントラルプロセッシングユニット) ↔ FDC ↔ 各FDD間でコントロールされる。

FDDは大きく、①磁気ヘッド及びヘッド駆動機構、②ディスク駆動機構、③リード/ライト/イレース回路、④コントロール回路、からなり、今回開発した2品種は③、④の部分で構成するICである。ディスクからデータの読取り、ディスクへのデータ信号の書込み、リード/ライトをコントロールする部分で、デジタル・アナログ回路から構成される。図1. の太い実線で囲まれた部分がM51017P、太い一点鎖線で囲まれた部分がM51018Pである。各ICのブロック図を図2.、図3. に示す。

従来、FDDの上記③、④のブロックは、トランジスタ、多くのTTL IC及びリード回路用ICなどで構成され、部品点数の多さが小形薄形化の一つの障害になっていた。今回、1チップLSI化するにあたり下記のような問題があった。

- (1) アナログ系とデジタル系の回路が複雑に入り込み、ICチップレイアウト、ICの周辺回路の部品配置によっては、機器の動作を不安定にすることがある。
- (2) FDDではリード回路、特にリードプリアンプの性能が重要であり、磁気ヘッドからの微小信号 ($f=62.5\sim 250\text{ kHz}$) をS/N良く忠実に増幅するため、低雑音・高利得・広帯域増幅回路が必要である。
- (3) ロジック回路は、高速応答が必要である。
- (4) 温度変化による、FDD機構部及びディスクの膨脹・伸縮によ

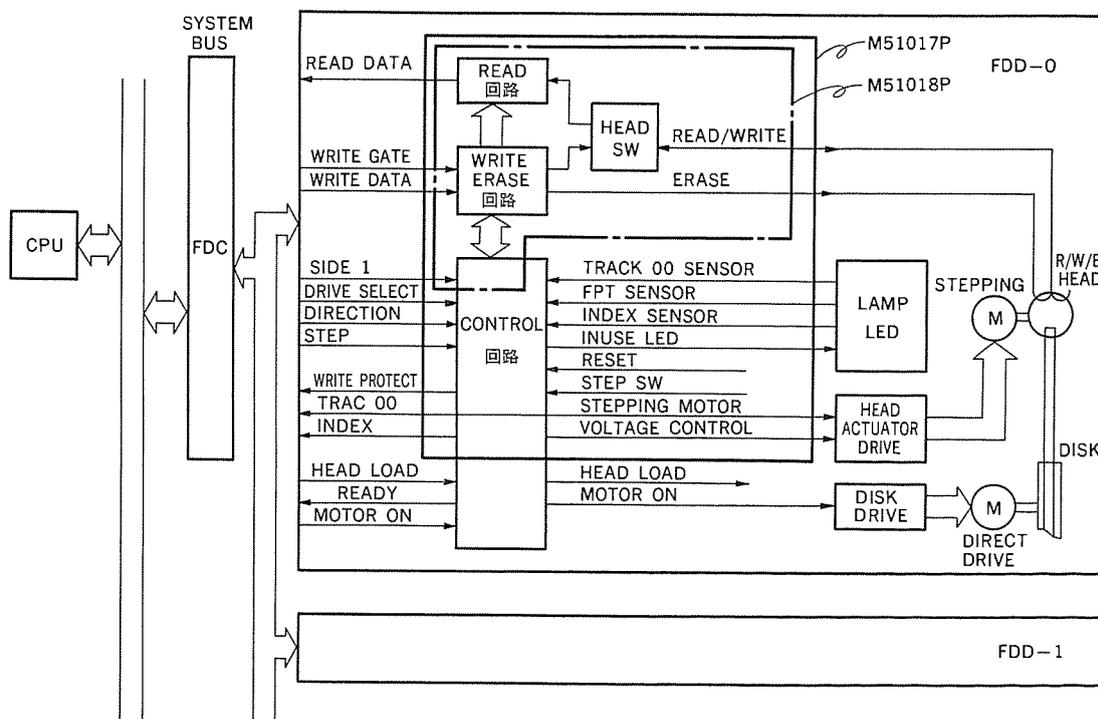


図 1. FDDシステムブロック図

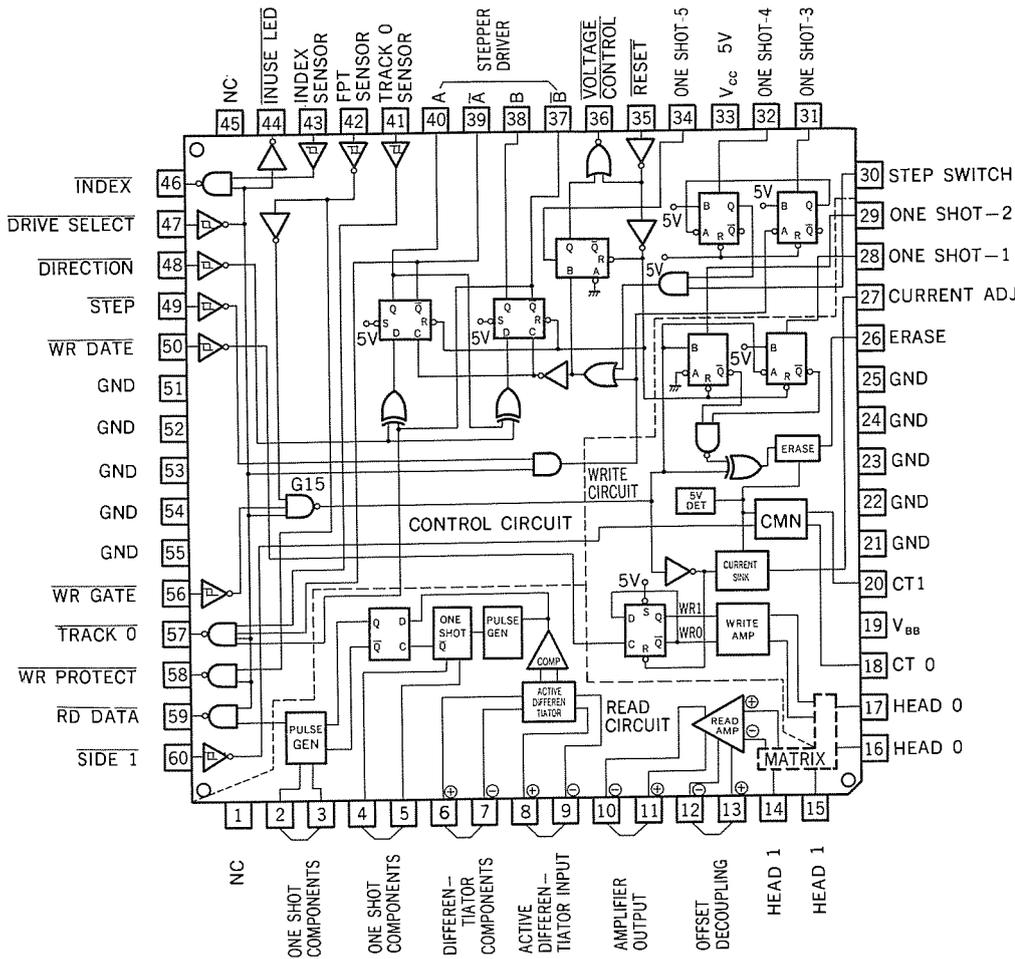


図 2. M51017 P ブロック図

る特性変動を抑えるため、また IC パッケージの信頼性を向上させるため、IC との内部消費電力を小さくし発熱を抑える必要がある。

(5) パッケージ寸法の制約、生産効率向上の面から、IC チップサイズを小さくする必要がある。

当社では上記の点を解決するため、ウェーブプロセス技術、回路構成、チップパターンレイアウト、IC のピン配置に検討を加え、1 チップ LSI 化した。以下、その概要を述べる。

2.1 ウェーブプロセス技術
ウェーブプロセス技術として、カットオフ周波数 1 GHz 以上の高周波特性のすぐれた 3 μm ルールによる第三世代高周波・高密度ウェーブプロセスを用いた。従来の 5 μm ルールとの比較を図 4. に示す。基本トランジスタのセルサイズは従来の面積の 36% にすることができる。I_c = 1 mA で 1.5 GHz 以上の高

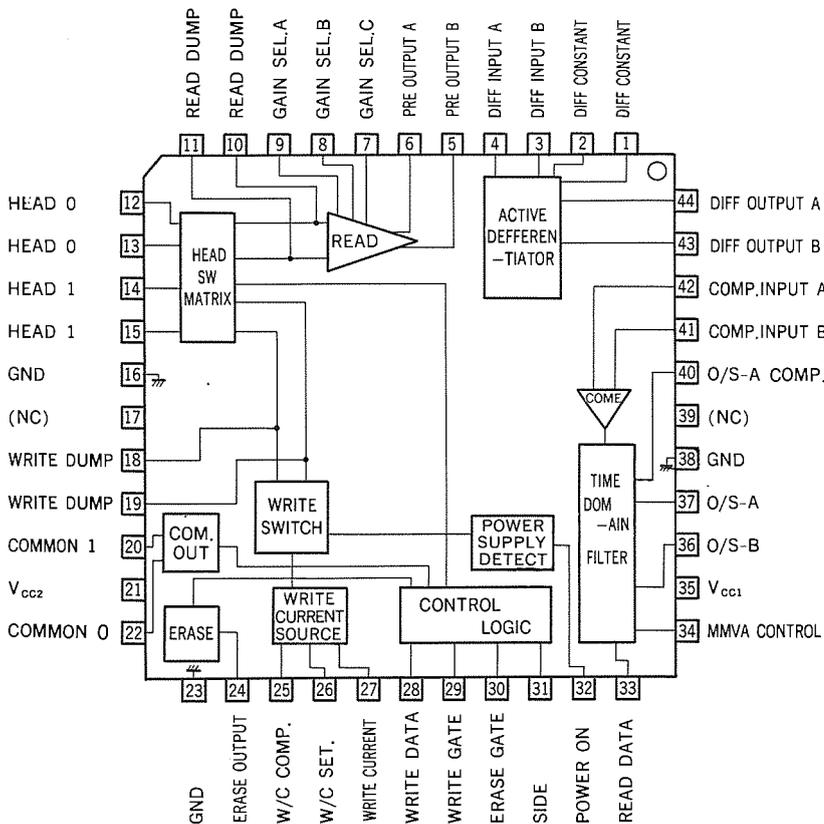


図 3. M51018 P ブロック図

CONVENTIONAL (5μmRULE)

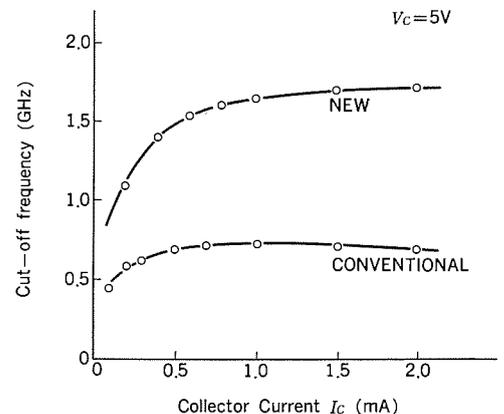
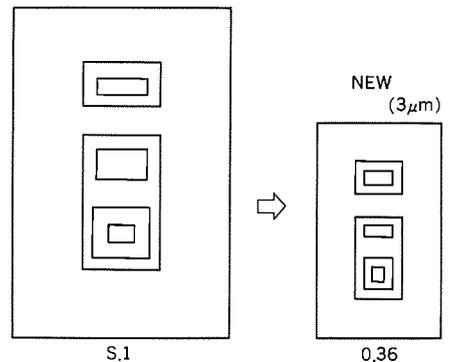


図 4. トランジスタセル寸法と f_T の比較

周波特性が得られる。ロジック回路は標準的なショットキーロジック回路とした。寄生素子容量による伝達時間の遅れを防ぐため内部アルミ配線を2層配線構造とし、高周波特性の改善・高密度化を図った。2層配線により配線の自由度を増し、寄生抵抗を下げることににより、電源・GNDなどの共通インピーダンスの影響によるデジタル・アナログ回路間の干渉を抑えることができる。

M51017Pはチップサイズ4.54×3.76mm²で約1,500、M51018Pは3.14×3.4mm²で約850の回路素子で構成されている。

2.2 ICの形状

IC形状はクワッドフラットモールドパッケージにした。M51017Pは60ピン、M51018Pは44ピンのフラットタイプである。GNDピンを両サイドに配置し、デジタル系とアナログ系のGNDを別々にすることで、アナログ・デジタル回路間の干渉を防いでいる。またICピン配置を十分検討し、リード/ライト回路・ロジック入出力回路・検出回路などの端子をFDDの入出力信号用コネクタとの配線を容易にできるとともに、周辺回路部品までの寄生容量を小さくできる配列にした。これによりFDDの特性の安定性が保てる。

次に内部消費電力を少なくするため、IC全回路の約80%を占めるロジック回路に注目した。パルス立上り/立下り特性の許容される範囲内で抵抗の値を大きくして回路電流を抑えたとともに、入出力部以外の大部分のロジック回路の電源電圧を3V_{BE}(2.1V)化して内部消費電力を小さくした。

3. M51017Pの構成

このICは3.5インチFDDを小形化するねらいで開発された。図5.に応用回路を示す。FDDのほとんどの機能を含んでおり、モータ駆

動回路(ヘッド駆動機構、ディスク駆動機構)を追加することにより基本的なFDDを構成できる。

3.1 リード回路

リード回路はリードアンプ、微分器、コンパレータ、フィルタ、リードデータ出力回路で構成される。ヘッド信号を直接入力できる増幅度とS/N比が確保でき、ピークシフト量の少ないリード出力が得られるようリードアンプは差動入出力形式とした。リードアンプの入出力オフセット電圧が最小になるよう、特に入力トランジスタのレイアウトを考慮し、増幅度49dB typ、入力換算雑音15μV_{rms} typ、周波数帯域幅1.5MHz typ、ピークシフト±1% typを達成した。外付け抵抗を追加してFDDの最適なリードアンプの利得を設定できる。

3.2 ライト回路

磁気ヘッドとの最適設計が行えるよう、ライト電流の温度依存性、電源電圧依存性、アンバランスを極力抑えるパターン設計を行った。出力電流は12mA_{APP} typ、25mA_{APP}の容量がある。外付け抵抗の値によりライト電流を任意に設定できる。

3.3 イレース回路

電流ドライブ能力は100mAである。内蔵の2組の単安定マルチバイブレータ回路の外付けCR定数によりトンネルイレース方式、ストラドルイレース方式の両方に対応できる。

3.4 磁気ヘッド切替回路

ダイオードマトリクス方式である。ディスク両面方式の場合、コントロール信号により磁気ヘッドを切替える。

リード/ライト及び磁気ヘッド間のマトリクス回路によるクロストークは60dB以下(f=125kHz)であり、ノイズレベル以下である。

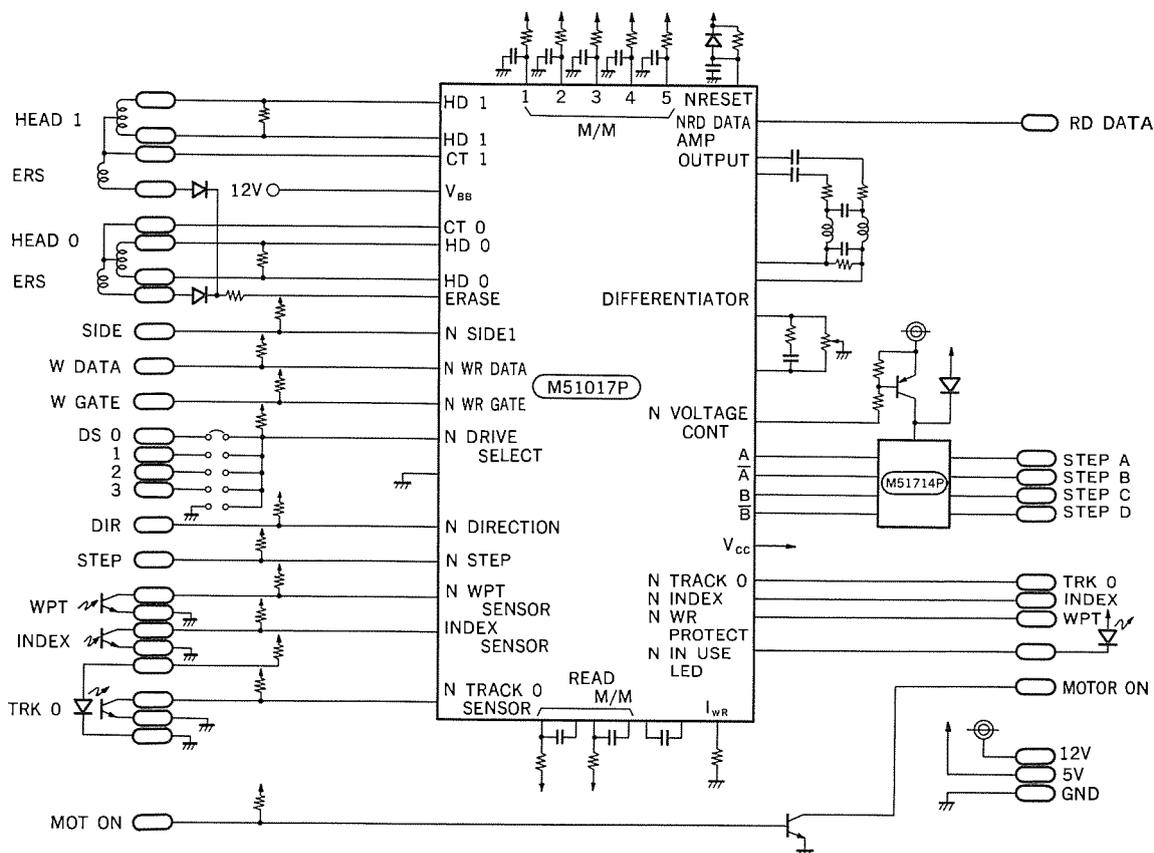


図 5. M51017P 応用回路

3.5 ロジック回路

ロジック回路はショットキー構造を採用した。入力回路はヒステリシス特性をもつLS 7414 タイプとし、入力信号の波形ひずみやノイズの影響を受けにくくしている。 $V_{th}^+ = 1.5 \text{ V typ}$, $V_{th}^- = 0.8 \text{ V typ}$ である。出力回路はLS 7438 相当の電流容量をもつオープンコレクタタイプである。 $I_{OL} = 48 \text{ mA}$, $V_{OL} = 0.25 \text{ V typ}$ である。このため、FDD (本 IC) とホスト・システム間の入出力端子を直接に接続できる。

3.6 ステッピングモータ駆動用パルス発生回路

磁気ヘッド駆動用の二相励磁式ステッピングモータを駆動させるためのパルス発生回路である。1ステップ入力に対して、1パルスあるいは2パルスの駆動用パルスを発生させることができる。倍トラック密度記録方式への対応が容易である。

3.7 検出回路

ライトプロテクト、トラック径、インデックスの検出回路である。入力はシュミット回路形式で、各々に対応したオープンコレクタ形式の出力回路を持つ。

3.8 タイミング設定回路

タイミングパルスを得る方法として、発振器から分周する方法があるが、設計の自由度が損なわれるため、単安定マルチバイブレータ回路を採用した。7回路を持ち、イレース回路、ステッピングモータ駆動用パルス発生回路、リードデータ出力回路のタイミング設定に使用している。

4. M 51018 P

この IC は 8, 5.25, 3.5, 3 インチの FDD に幅広く適用させるため、汎用性の高いリード/ライト機能を持ち、M 51017 P よりステッピングモータ駆動用パルス発生、検出、コントロールロジックなどの回路を除いた構成である。ユーザー独自のゲートアレー化されたコントロール回路、あるいはマイコンと組み合わせて省部品の FDD 構成が可能である。図 6. にその応用回路を示す。回路構成には M 51017 P とほぼ同じ技術を用いた。以下、この IC の特長を述べる。

4.1 リード/ライト回路

リードアンプの利得は端子間を容量で接続して設定される。46 dB と 40 dB の 2 通りの利得を選択できる。

タイムドメインフィルタ回路は 2 組の単安定マルチバイブレータ回路を持ち、パルス幅設定、パルス幅補正值設定及び制御の各端子を持つ。またライト回路はライト電流値設定、ライト電流補正值設定及び制御の各端子を持つ。

FDD はディスクに対し内周も外周も同一容量で記録を行うため、外周に比べ内周の記録密度が高くなり、ピークシフトの発生量が大きくなる。ヘッドが内周に位置したとき、パルス幅あるいはライト電流を制御端子により補正して最適のリード/ライト特性を得ることができる。

4.2 イレース回路

トンネルイレース方式対応のイレース回路であるが、ストラドル方式にも対応できる。タイミング設定は外部回路で構成する必要がある。

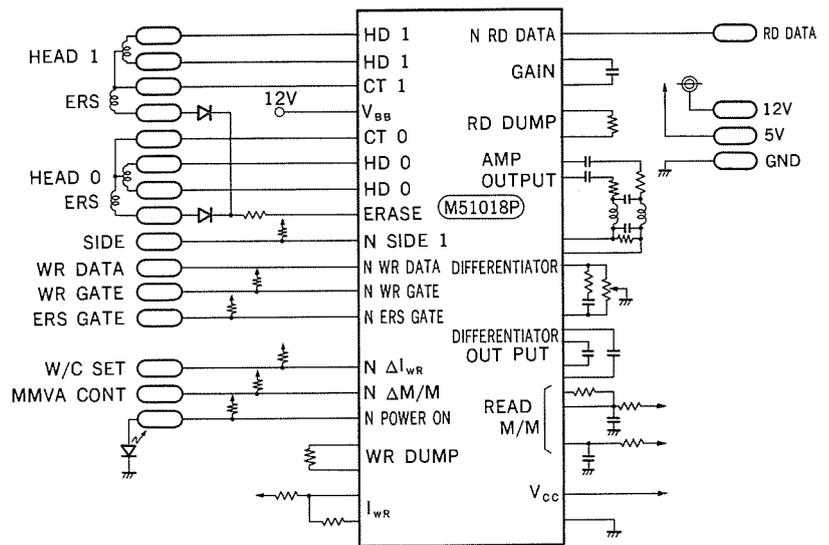


図 6. M 51018 P 応用回路

表 1. M 51017 P, M 51018 P 電気的特性

項 目	代 表 値	
	M 51017 P	M 51018 P
回 路 電 流 (mA)	15 (at 12 V)	18 (at 12 V)
	70 (at 5 V)	33 (at 5 V)
リ ー ド 回 路		
リードアンプ電圧利得 (dB)	49 可変	46, 40 切換
差動出力振幅 (mV _{PP})	0.15-15	
差動出力電圧振幅 (V _{PP})	6	
ピークシフト (%)	2	
リードデータ立上り時間 (ns)	60	
リードデータ立下り時間 (ns)	10	
ラ イ ト 回 路		
ラ イ ト 電 流 (mA)	10 可変	
電 流 精 度 (%)	5	
イ レ ー ス 電 流 (mA)	100	
デ ジ タ ル 回 路		
ヒステリシス幅 (V)	0.7	
"L" 出力電流 (mA)	48 at 0.25 V	

4.3 検出回路

5 V, 12 V の電源電圧の異常を検出する回路である。5 V 系は、3.8 V, 12 V 系は 8.5 V 以下で動作し、ライト回路、イレース回路を遮断し異常状態を出力することができる。

以上、M 51017 P と M 51018 P の概要について述べた。表 1. に主な特性を示す。

5. む す び

今回、主に FDD の小形化・省部品化という点に注目して IC を開発し、従来の IC を使用する場合に比べて約 30% 部品を削減することができた。今後 OA 機器のポータブル化への展開に伴い、FDD の機能アップ・低消費電力化が求められ、これに対応した IC の開発が必要となってくるであろう。

Bi-FET オペアンプ

御手洗五郎*・西海 宏*・山田友右*・竹田浩二*

1. ま え が き

オペアンプ (演算増幅器: Operational Amplifiers) は、その昔アナログコンピュータや計測器あるいは通信工業用が主体の特殊な用途が多かったが、モリシック集積回路技術の発達とともに、性能が著しく向上し、その反面低価格になったため現在ではオーディオ、ビデオ、電子楽器などのあらゆる民生用機器の汎用アンプとして普及している。

当社においてもバイポーラ形 2チャンネル入り汎用オペアンプ M5218 L/P を中心に低雑音タイプ、高速タイプ、高耐圧タイプ、単一電源タイプとシリーズ化し各分野で汎用オペアンプとして採用されている。ところが、これら従来のバイポーラ形オペアンプでは、入力段を pnp 又は npn のバイポーラ形トランジスタで構成しているため、その入力インピーダンスはトランジスタのベース電流ひいては電流増幅率 (h_{FE}) 特性で決定されるため、サンプルホールド回路やアクティブフィルタなど高入力インピーダンスのオペアンプを必要とする用途には応用範囲に限界があった。また一般にバイポーラ形オペアンプはその高速特性スルーレイト SR が $1 \sim 5$ V/ μ s 程度であり、パルスアンプなどの立ち上りの速い信号を増幅する場合にも限界があった。今回、これら従来のバイポーラ形オペアンプの入力インピーダンス特性と高速特性を大幅に向上させる目的で、入力段に Pチャンネルの接合形電界効果トランジスタ (Pch J-FET) を使用した Bi-FET オペアンプ M5221 L/P を製品化したので紹介する。

2. Bi-FET オペアンプの特長

今回製品化した Bi-FET オペアンプは、従来のバイポーラ形トランジスタ (BiP-TR) を採用したオペアンプの入力段の差動回路部分にイオン注入技術を適用することにより得られた、特性の良好な Pch J-FET を採用し、同一チップ上にバイポーラ形トランジスタと J-FET を混在させたモリシック IC で、次のような特長を持っている。

(1) pn 接合の逆方向特性を利用した Pch J-FET のゲートがオペアンプの入力となるので、順方向特性を利用するバイポーラ形に比べ、入力インピーダンスがきわめて高い。(バイポーラ形が入力抵抗 $R_i = 0.3 \sim 5.0$ M Ω に対し、Bi-FET 形は $R_i = 1,000$ M Ω ぐらいである)。

(2) J-FET の伝達特性は 2乗特性であり、BiP-TR は指数特性なので同一バイアス電流に対しては一般に J-FET は相互コンダクタンス g_m が小さい。そこで、同一の利得帯域幅積 f_T (電圧利得 G_V が 0 dB となる周波数) とすると、内蔵させる位相補償用コンデンサは小さくすることができる。また、BiP-TR と同じ g_m にするためには、J-FET の場合ドレイン電流 I_D を大きくする必要がある。しかるに、オペアンプの高速特性であるスルーレイト SR を決定する要因は一般に図 1. 中に示す式で定義され、位相補償コンデンサ C_1 が小さく、かつ入力段差動のドレイン電流 I_D が大きいほどスルーレイト SR が大きくなるため、J-FET を応用した方がバイポーラ形より高速となる。バイポーラ形が $SR = 1 \sim 5$ V/ μ s に対して、Bi-FET 形は $SR = 13$ V/ μ s ぐらいである。

(3) 入力バイアス電流は J-FET のゲート漏れ電流に相当し、従来

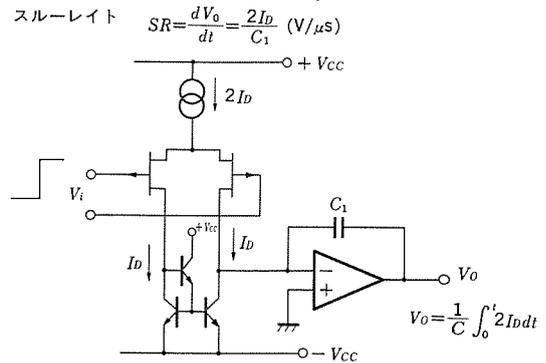


図 1. スルーレイトの計算式と入力段の回路図

のバイポーラ形に比べ 3 けた以上小さい。

3. Bi-FET オペアンプの構造と製品化のポイント

BiP-TR 及び Pch J-FET の基本的な断面構造と、それぞれの不純物濃度分布及び特性コントロールのポイントを表 1. に示す。両者の主な電気的特性は、BiP-TR がベース幅 (W_B)、J-FET がチャネル領域の高さ (H)、で決定されるが、BiP-TR の電流増幅率 (h_{FE}) は通常の IC の場合、ベース幅が $1.5 \sim 2.0$ μ m ぐらいの幅で比較的うにコントロールするが、J-FET のドレイン電流 I_D は、チャネル高さ (H) の 3 乗に比例し、通常チャネル高さ (H) は $0.2 \sim 0.3$ μ m の幅でコントロールする必要がある、目標通りコントロールするには高度の技術が必要である。更にこれらの特性は表 1. に示す不純物濃度分布にすることが有効であり、Bi-FET オペアンプの場合 BiP-TR の特性を損なうことなく同一チップ上に FET を作り込むためには、この不純物濃度分布に近い分布にする必要がある。以上のような理由で、Bi-FET

表 1. BiP-TR と Pch J-FET の相違点

種類	BiP-TR (NPN)	Pch-J-FET
項目		
断面構造		
不純物濃度分布		
特性コントロール	1. W_B を $1.5 \sim 2.0 \mu$ m でコントロール 2. エミッタ拡散後、 h_{FE} を測定しコントロールする。	1. H を $0.2 \sim 0.3 \mu$ m でコントロール 2. ゲート拡散後、ゲート-基板間のパンチスルー電圧 (V_P) を測定し I_{DSS} を推定する。

* 北伊丹製作所

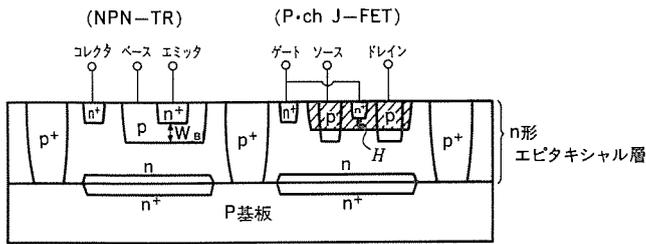


図 2. Bi-FET IC の npn-TR と P ch J-FET の基本構造

オペアンプの製品化は非常に困難であった。

今回、P ch J-FET のチャンネル領域形成に、不純物濃度制御性の非

常に良好な、イオン注入技術を適用し、

かつ当社低雑音小信号トランジスタで実績のある、パッシベーションを適用することにより、BiP-TR は従来と同等の特性を持ち、かつ単体の P ch J-FET とそん (遜) 色のない電気的特性をもつ P ch J-FET を同一チップ上に作り込むことができた。すなわち、

(1) 従来の拡散法では困難であった、J-FET のチャンネル領域形成を、不純物濃度制御が非常に良好な、イオン注入技術で形成する。

(2) 当社低雑音小信号トランジスタで実績のある、Si-SiO₂ 界面状態を良好にする、チップ表面のパッシベーション (表面保護) を適用し、P ch J-FET のゲート漏れ電流などの低減化を図る。

(3) g_m が 110 mS (ジーメンズ) を誇る単体の超低雑音 J-FET 2SK171 などの生産に使用している J-FET の製造技術、特に I_{DSS} コントロール技術を適用する。

などにより従来のバイポーラオペアンプと同等の歩留りで、特性の良好な Bi-FET オペアンプの製品化が可能となった。図 2. に Bi-FET オペアンププロセスで作込まれる、BiP-TR と P ch J-FET の基本構造を示す。ここで斜線部分がイオン注入して形成した P ch J-FET のチャンネル領域で、BiP-TR のベース領域と同じ導電形の P 形ではあるが、不純物濃度及び深さが異なっている。

4. 基本特性

今回製品化した Bi-FET オペアンプ M 5221 L/P の回路図を図 3. に示す。図において Q_1 と Q_2 及び Q_{101} と Q_{102} が P ch J-FET で、従来のバイポーラデュアルオペアンプ M 5218 L/P の入力段のバイポーラ形 pnp トランジスタを、P ch J-FET で置き換えた構成となっている。2 番端子及び 6 番端子が (-) 入力で、3 番端子及び 5 番端子が (+) 入力であり、それぞれ J-FET のゲートに接続されている。図 4. はシングルインライン外装の M 5221 L と、デュアルインライン外装の M 5221 P で、2 種類の外装で製品化している。M 5221 L/P のチップを拡大したのが図 5. で、白い部分がアルミ電極である。チップ内の 2 箇所の大きなアルミ電極は MOS 容量で C_1 及び C_{101} に相当する。表 2. と表 3. は、それぞれ M 5221 L/P の絶対最大定格と電気的特性を示したものである。

Bi-FET オペアンプの特長である入力バイアス電流は、バイポーラデュアル

オペアンプ M 5218 L/P が 80 nA 標準なのに対し、M 5221 L/P は 30 pA 標準と 3 けた以上小さくなっている。ただし入力バイアス電流は P ch J-FET のゲート漏れ電流 (I_{GSS}) に相当するが、 I_{GSS} は周囲温度依存性 (大体 10°C 当り 2 倍) が大きいので注意が必要である。スループット SR は、M 5218 L/P が 2.2 V/ μ s 標準に対し、M 5221 L/P は 13 V/ μ s と 4 倍近く高速化されている。また、入力抵抗も数けた大きく、P ch J-FET の特長がオペアンプに有効に生かされていることがわかる。

一方 Bi-FET オペアンプの欠点の一つは入力オフセット電圧で、バイポーラオペアンプに比べ、1 けた以上悪くなっている。これは入力段の差動回路に使用される 2 個の P ch J-FET の電気的特性、特に飽和ド

等価回路図

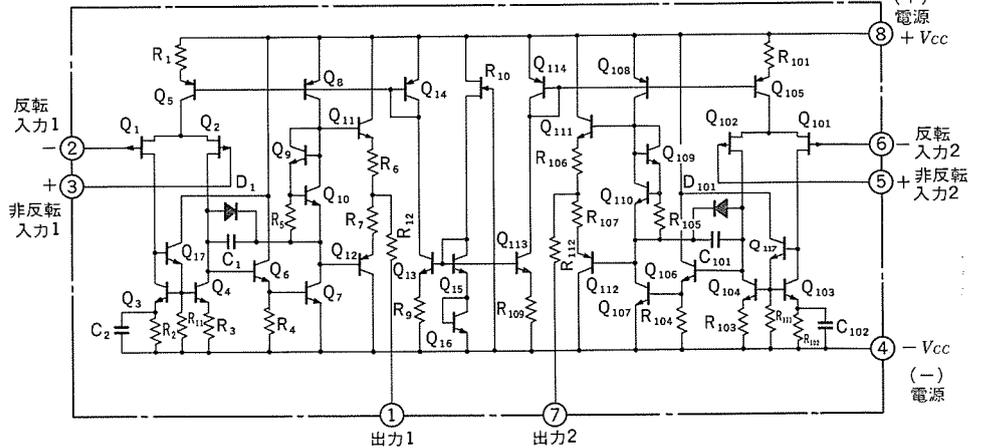


図 3. Bi-FET オペアンプ M 5221 L/P の回路図

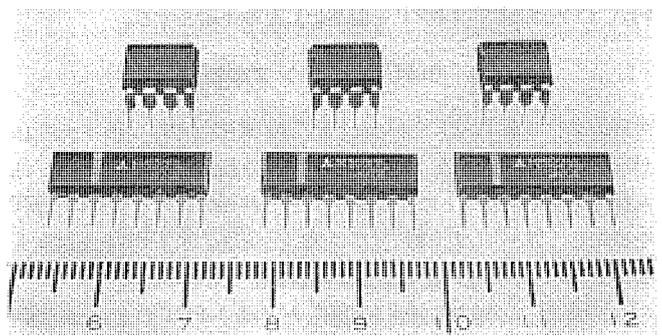


図 4. Bi-FET オペアンプ M 5221 L/P の外装写真

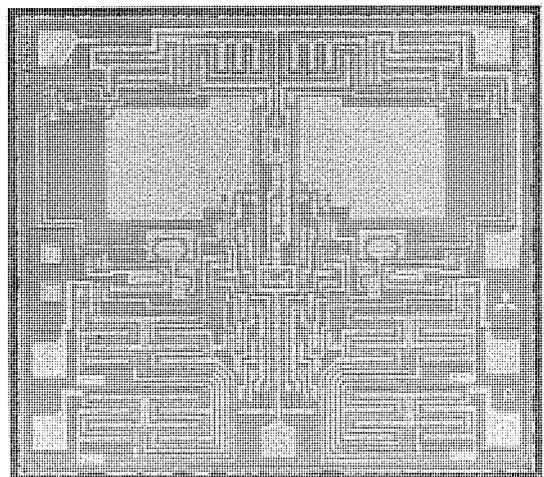


図 5. Bi-FET オペアンプ M 5221 L/P のチップ拡大写真

表 2. M 5221 L/P の絶対最大定格
(指定のない場合は, $T_a=25^\circ\text{C}$)

記号	項目	条件	定格値	単位
V_{CC}	電源電圧	—	± 18	V
I_{LP}	負荷電流	—	± 50	mA
V_{ia}	差動入力電圧	—	± 30	V
V_{ic}	同相入力電圧	—	± 15	V
P_a	内部消費電力	—	625	mW
$K\theta$	熱低減率	$T_a \geq 25^\circ\text{C}$	6.25	$\text{mW}/^\circ\text{C}$
T_{opr}	動作周囲温度	—	$-20 \sim +75$	$^\circ\text{C}$
T_{stg}	保存温度	—	$-55 \sim +125$	$^\circ\text{C}$

表 3. M 5221 L/P の電気的特性
($T_a=25^\circ\text{C}$, $V_{CC}=\pm 15\text{V}$)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
I_{CC}	回路電流	$V_{in}=0$	—	3	6	mA
V_{IO}	入力オフセット電圧	$R_s \leq 50\Omega$	—	5	15	mV
I_{IO}	入力オフセット電流	—	—	5	200	pA
I_{IB}	入力バイアス電流	—	—	30	400	pA
R_{in}	入力抵抗	—	—	10^6	—	$\text{M}\Omega$
G_{VO}	開ループ電圧利得	$R_L \geq 2\text{k}\Omega$, $V_o = \pm 10\text{V}$	86	106	—	dB
V_{OM}	最大出力電圧	$R_L \geq 10\text{k}\Omega$	± 12	± 14	—	V
		$R_L \geq 2\text{k}\Omega$	± 10	± 13	—	V
V_{CM}	同相入力電圧幅	—	± 12	± 14	—	V
$CMRR$	同相抑圧比	$R_s \leq 10\text{k}\Omega$	70	76	—	dB
$SVRR$	電源電圧抑圧比	$R_s \leq 10\text{k}\Omega$	—	30	150	$\mu\text{V}/\text{V}$
P_a	消費電力	—	—	90	180	mW
SR	スループレート	$G_v=0\text{dB}$, $R_L=2\text{k}\Omega$	—	13	—	$\text{V}/\mu\text{s}$
f_T	利得帯域幅積	—	—	3	—	MHz
V_{NI}	入力換算雑音電圧	$R_s=100\Omega$, $8\text{W}: 10\text{Hz} \sim 30\text{kHz}$	—	2.2	—	μV_{rms}

レイン電流 (I_{DSS}) のペアリングが悪いためである。J-FET の I_{DSS} はチャンネル高さ (H) の 3 乗に比例するため、隣り合わせに 2 個の J-FET を配置してもばらつきが生じる。イオン注入による不純物濃度制御性を更に向上させ、チャンネル領域のキャリア濃度及び深き制御の精度を上げる必要がある。入力オフセット電圧を良くするために、初段 Pch J-FET につながっている、カレントミラー回路のエミッタ側の抵抗を、レーザーリミングを用いて調整する方法もあるが、コスト高となるので一般には不向きである。電気的特性は、ある測定条件での標準値を示しているが、図 6. 及び図 7. は、それぞれ電圧利得 G_v の周波数依存性を示す特性曲線と、高速性能を表すスループレートの特性曲線である。

5. 用途

Bi-FET オペアンプの用途としては、当然 J-FET の特長である、高入力インピーダンス、低入力バイアス電流、高速特性などを生かした応用回

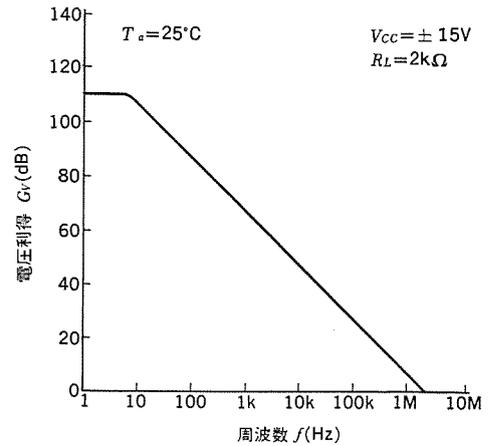


図 6. M 5221 L/P の電圧利得 V_s 周波数特性曲線

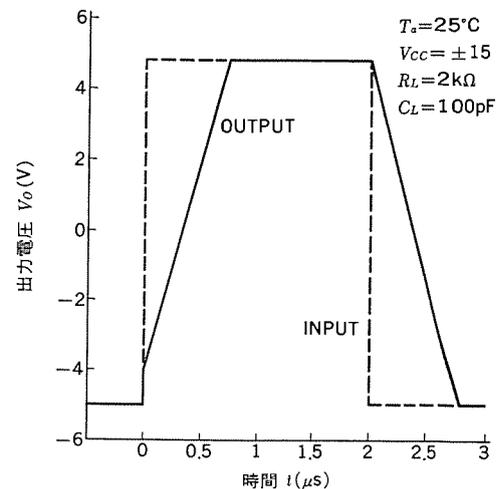


図 7. M 5221 L/P のスループレート特性曲線

路が考えられる。光、放射線、ガス、pH 測定などの計測用センサの微小電流測定用増幅器には、低入力バイアス電流の Bi-FET オペアンプは特に有効である。その他、サンプルホールド、アクティブフィルタ、サーボ回路、バッファアンプなどに有効である。また最近では、大幅に低コスト化されたので、オーディオ用汎用アンプにも大量に使用されはじめるなど広く電子機器に応用されている。

6. むすび

今回汎用タイプの Bi-FET オペアンプとして、M 5221 L/P を製品化したのが、今後は Pch J-FET の特性向上をはかり、Bi-FET オペアンプの欠点の一つである入力オフセット電圧の改良、あるいは J-FET の相互コンダクタンス g_m を大きくした高 S/N (低雑音) タイプや、低消費電力タイプ、低電圧動作タイプなどを製品化していく予定である。また、J-FET の構造も Pch J-FET よりキャリアの移動度が約 3 倍大きい Nch J-FET を作り込むプロセスの開発を行い、更に高性能化したオペアンプの製品を開発していく予定である。

三相ソリッドステートリレーとその応用

大島 征一*・山下 信三*

1. ま え が き

電磁接触器は成熟期の製品で、長い歴史に裏打ちされた高い信頼性があるが、エレクトロニクス化が進行している今日の技術動向の中にあつては、やはり旧体製品といわざるを得ない。電磁接触器は頻繁に開閉するとその接点が摩耗し、寿命に影響する点が指摘され、保守点検によって、信頼性が維持されている。また悪環境においても同様接点が問題となる。その他、開閉時にサージ電圧を発生し、コンピュータをはじめとするエレクトロニクス製品と併用するのに苦労したり、動作時の騒音が問題となった。当社が昭和58年4月に発売した三相ソリッドステートリレーは、電磁接触器のエレクトロニクス化を実現した製品で、電磁接触器のそのような問題点を解決できる決定版として登場した製品である。

本稿では、これまで開発、量産化に成功した三相ソリッドステートリレー、AC 220 V ; 5 A, 10 A, 15 A, 20 A, 30 A, 40 A と AC 440 V ; 15 A, 30 A シリーズとその応用例について述べる。これらの開発は、既に豊富な出荷実績のあるサイリスタモジュールと中小容量のソリッドステートリレーの素子製造、絶縁、樹脂封止、ノイズ処理などの構造設計、回路設計の複合化技術をうまく駆使して実現したものである。

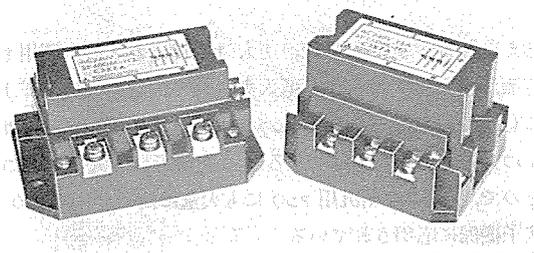


図 1. 三相ソリッドステートリレーの外観

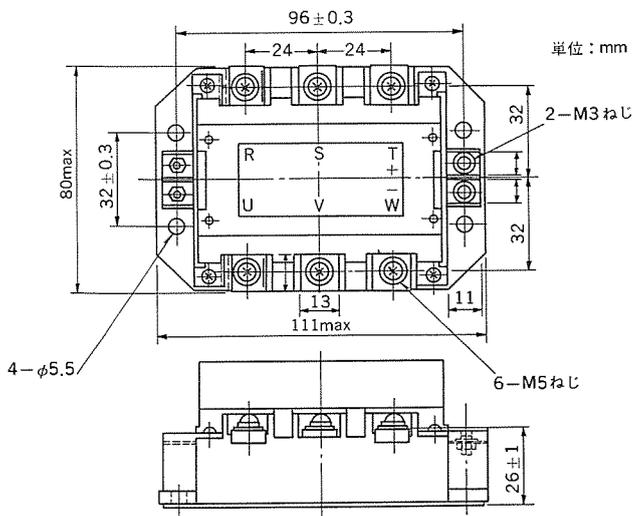


図 2. 三相ソリッドステートリレーの外形 SF 40 DM-H 3

2. 三相ソリッドステートリレーの構造と特長

三相ソリッドステートリレーは電磁接触器の無接点化をねらった製品であるので、構造的にもできる限り、それと類似性をもたすよう配慮した。外観、外形を図1、図2に、回路ブロック図を図3に示す。R, S, T, U, V, W は出力端子で、+, - が入力端子である。R, S, T 端子及び U, V, W 端子は一線上に、それぞれの間は十分な間隔と沿面距離をとって、パリアを介して配置されている。+, - 端子は出力端子に対し直角方向に配置され、それらとの間は十分な距離をとって、ソリッドステートリレーに接続される主回路線と制御線が配線しやすいように、かつノイズを受け難いよう考慮した。5ねじ用のφ穴が左右4箇所に設けられており、それによって冷却フィンに取り付けられる。外装は軽量化を考え、樹脂封止形で、ケースの薄肉化が図られている。底面金属板は銅板で、内部で発生する熱を冷却フィンに伝導する。その形状は熱流を考慮した最適設計とした。R, S, T と U, V, W 端子は対抗するように配置され、R と U, S と V, T と W 間が+, - 端子間に加えられる入力信号電圧に応答し〈入り〉, 〈切り〉の動作を行う。三相ソリッドステートリレーの内部構

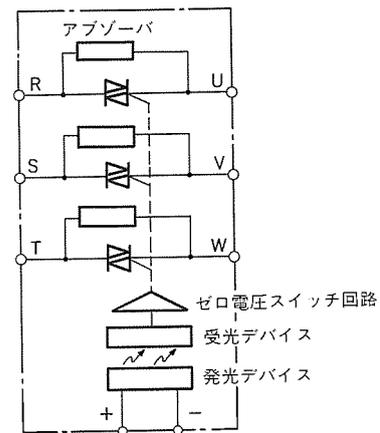


図 3. 三相ソリッドステートリレーの回路ブロック図

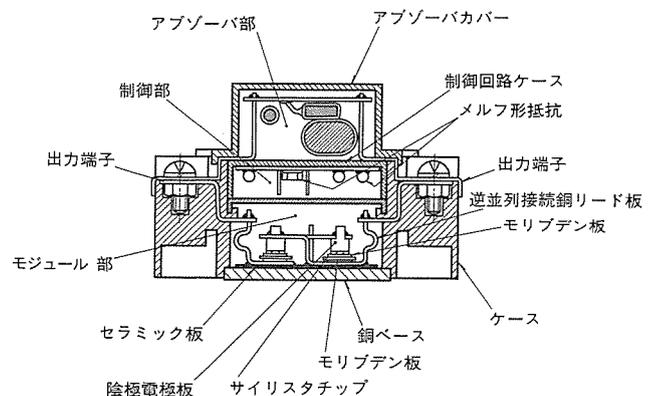


図 4. 三相ソリッドステートリレーの断面構造図

造図を図4.に示す。構造は3ブロック化されている。サイリスタチップ6個が収納できるモジュール部と入力信号を絶縁伝送してサイリスタを点弧させる機能の制御部、サージ電圧を吸収するアブゾーバ部からなる。

2.1 モジュール部

サイリスタチップはガラスパシベーションにより、接合露出部の表面安定化が図られている。それが陰極モリブデン板と陽極モリブデン板に挟まれ、高温はんだによって陰極電極、ゲート電極とともにはんだ付けされ、補強される。このサイリスタチップ2個が逆並列接続銅リード板上に配置され、絶縁体のセラミック板を介して底面金属板の銅ベース上にはんだ付けされる。2個のサイリスタチップで1回路が構成され、品種によって2回路、あるいは3回路が配置される。ケースは難燃性樹脂からなり、R, S, T, U, V, Wの出力端子とゲート中継端子が一体成形されている。前述の逆並列接続銅リード板と各端子ははんだ付けにより接続されている。また、サイリスタチップのゲート端子もゲート中継端子とはんだ付けされ、外部へ引き出される。ケース内はシリコン樹脂を適量充てん(填)した。チップ表面及び導体間の絶縁保護と難燃化を図るためである。ケースにふた(蓋)がかぶせられる。ケースと蓋の間は接着剤が塗布され、全体を簡易封止し、耐環境性を強くした。

2.2 制御部

制御回路はガラスエポキシ基板上にメルフ形チップ抵抗器、チップトランジスタ、ミニフラット形のブリッジ、ホトカプラなどを搭載し、クリームはんだを用い、リフロー炉上ではんだ付けするプロセスで作られる。その基板に+、-端子と中継リードをはんだ付けし、薄形ケースに納め、上からエポキシ系樹脂を注形する。注形は基板の固定と部品間並びにパターン間の絶縁保護と難燃化を図るため、これによって悪環境で十分使用に耐えるレベルとした。この制御部は前述のモジュール部の上に搭載されて、制御部の中継リードとモジュール部のゲート中継端子をはんだ付けすることによって回路的な接続が行われる。

2.3 アブゾーバ部

コンデンサと抵抗の直列回路と酸化金属系バリスタの並列回路をプリント基板上に組み、樹脂製ケースに納める構造とした。各回路間はケース内のバリヤによって十分な沿面距離とギャップがとられている。このアブゾーバ部を制御部の上にかぶせると、ちょうどモジュール部の出力端子R, S, T, U, V, Wにかん合する形状とした。外部からはアブゾーバの回路部品、制御部が見えない構造となっており、これにより一体感がでて、ねらいとする電磁接触器との類似形状性が実現できた。

このモジュール部、制御部、アブゾーバ部の3ブロック化が三相ソリッドステートリレーの大きな特長で、これによって各ブロックが独立して作れ、歩留りが向上し、工期の短縮、品質の向上、部品の標準化が実現した。

モジュール部はサイリスタチップに電流が流れたとき、熱を発生するが、それが制御部へ極力伝わらない構造とした。更に、主回路に流れる電流及びアブゾーバに流れる電流によって、制御部が誤動作することがないように対策がとられている。ノイズシミュレーションテストは2,000V(メータ値)以上を記録している。以上のような構造から得られた三相ソリッドステートリレーの特長を次に述べる。

- (1) R, S, T, U, V, Wの6個の出力端子と+、-の入力端子が合理的に配置され、出力端子と入力端子間がホトカプラで絶縁してあるので、電磁接触器と同様の接続、使い方ができる。
- (2) モジュール部、制御部、アブゾーバ部の3ブロックからなり、それ

が一体化される新しい構造を採用した。

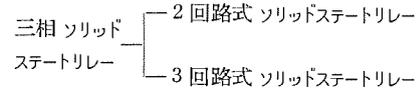
(3) モータの突入電流、始動電流が通電できるように、サイリスタチップサイズを選定し、系列化した。

(4) 出力端子と底面金属板とは電氣的に絶縁されており、電磁接触器同様きょう(筐)体あるいは冷却フィン直付けが可能である。

3. 三相ソリッドステートリレーの種類と定格、特性

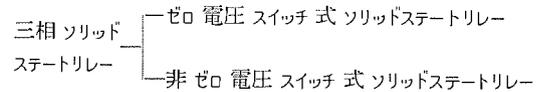
三相ソリッドステートリレーを機能的に分類すると回路数と制御方式によって下記のように分けられる。

(1) 回路数



2回路式ソリッドステートリレーは3組の出力端子、R—U, S—V, T—Wのうちの中央のS—V間がモジュール部内で、短絡接続されており、残りの2組の回路がソリッドステートリレーとして動作する。三相3線のうち、2線制御できる負荷に対してはこの2回路式ソリッドステートリレーが経済的である。3回路ソリッドステートリレーは3組の回路がすべて働く。三相負荷の対称制御に最適である(三相誘導電動機の回路制御例を図5., 図6.に示す)。

(2) 制御方式



ゼロ電圧スイッチ式ソリッドステートリレーは、印加される入力信号の位相を問わず、常に交流電源のゼロ電圧近くで〈ON〉となるため、ラジオ周波障害となることがない。一方、非ゼロ電圧スイッチ式ソリッドステートリレーは入力信号の投入位相と同期し、主回路が〈ON〉となる方式である。

これまで開発、量産化に成功した三相ソリッドステートリレーの品種

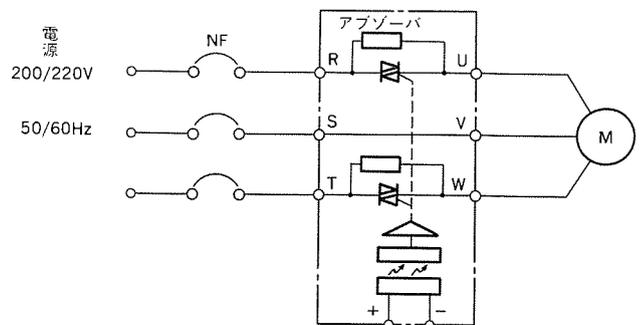


図5. 三相誘導電動機の2回路制御例

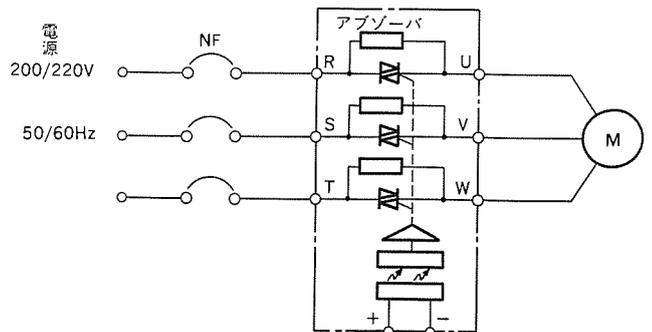


図6. 三相誘導電動機の3回路制御例

表 1. 三相 SS リレー の定格

記号	項目	形名	SF 5 DM			SF 10 DM			SF 15 DM			SF 20 DM			SF 30 DM			SF 40 DM			SF 15 DM			SF 30 DM			単位
			SF 5 DMZ	H2	H3	SF 10 DMZ	H2	H3	SF 15 DMZ	H2	H3	SF 20 DMZ	H2	H3	SF 30 DMZ	H2	H3	SF 40 DMZ	H2	H3	SF 15 DMZ	H2	H3	SF 30 DMZ	H2	H3	
I_a	通電電流	突効直, 定格冷却条件にて 60 Hz, 正弦波 1 サイクル波高非繰返し	5	10	15	20	30	40	15	15	15	15	30	40	40	15	15	30	30	15	15	15	30	30	30	A	
I_{TSM}	サージオン電流		100	200	300	400	500	1,100	1,100	500	500	500	500	1,100	1,100	500	500	1,100	1,100	500	500	500	1,100	1,100	1,100	A	
—	電源電圧	200, 220, 240																								V	
f	周波数	50, 60																								Hz	
—	適用電動機容量	0.75																								kW	
T_a	周囲温度	-20~+80																								°C	
T_{sig}	保存温度	-30~+100																								°C	
—	絶縁耐力	2,000																								V	
—	入力信号電圧	3~24																								V	

表 2. 三相 SS リレー 電気的特性

記号	項目	形名	SF 5 DM, SF 5 DMZ			SF 10 DM, SF 10 DMZ			SF 15 DM, SF 15 DMZ			SF 20 DM, SF 20 DMZ			SF 30 DM, SF 30 DMZ			SF 40 DM, SF 40 DMZ			単位					
			SF 5 DMZ	H2	H3	SF 10 DMZ	H2	H3	SF 15 DMZ	H2	H3	SF 20 DMZ	H2	H3	SF 30 DMZ	H2	H3	SF 40 DMZ	H2	H3						
—	出力	AC 240 V, 印加時 AC 440 V, 印加時	—	10	14	—	20	30	—	20	30	—	20	30	—	20	30	—	20	30	—	—	—	—	—	mA
—	閉路時漏れ電流		$T_a = -20 \sim +80^\circ\text{C}$	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
—	閉路時電圧降下	定格通電電流	—	—	1.5	—	—	1.5	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	V
—	入出力共通	絶縁抵抗	100	—	—	100	—	—	100	—	—	100	—	—	—	—	—	—	—	—	—	—	—	—	—	MΩ
—	入力	ビックアップ電圧	—	—	3.0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	V
—	入力	Fロップアウト電圧	1.0	—	—	1.0	—	—	1.0	—	—	1.0	—	—	—	—	—	—	—	—	—	—	—	—	—	V

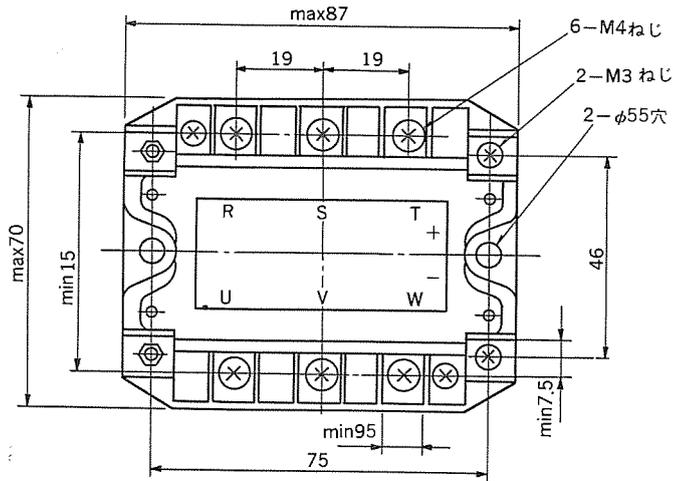


図 7. 三相ソリッドステートリレー 外形図 SF 15 DM-H 3

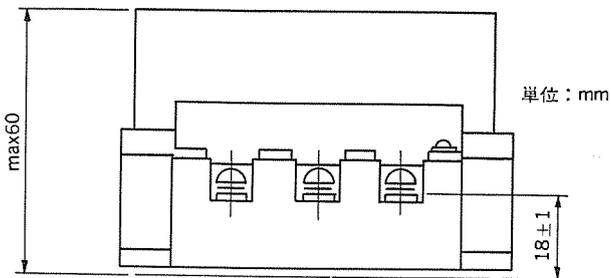


図 8. 三相ソリッドステートリレー 外形図 SF 30 DM-2 H 3

と主な定格、特性を表 1., 表 2. に示す。パッケージは 3 系列ある。220 V ; 5 A, 10 A, 15 A と 220 V ; 20 A, 30 A, 40 A それに 440 V ; 15 A, 30 A に分けられる。それらを図 2., 図 7., 図 8. に示す。

4. 三相ソリッドステートリレーの応用

4.1 モータ特有の使い方

三相ソリッドステートリレーは汎用モータ駆動を目的として設計されてお

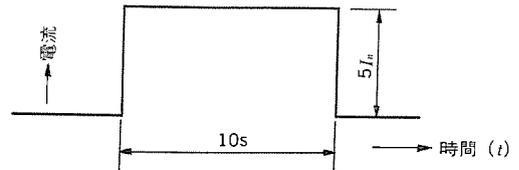


図 9. 長い始動時間使用時電流パターン (I_n = モータ全負荷電流)

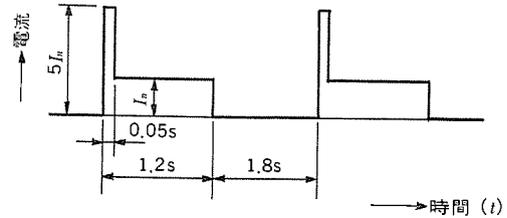


図 10. 高頻度開閉使用時電流パターン (I_n = モータ全負荷電流)

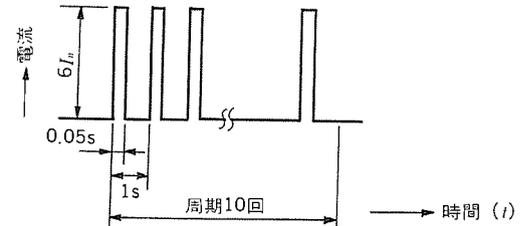


図 11. インチング使用時電流パターン (I_n = モータ全負荷電流)

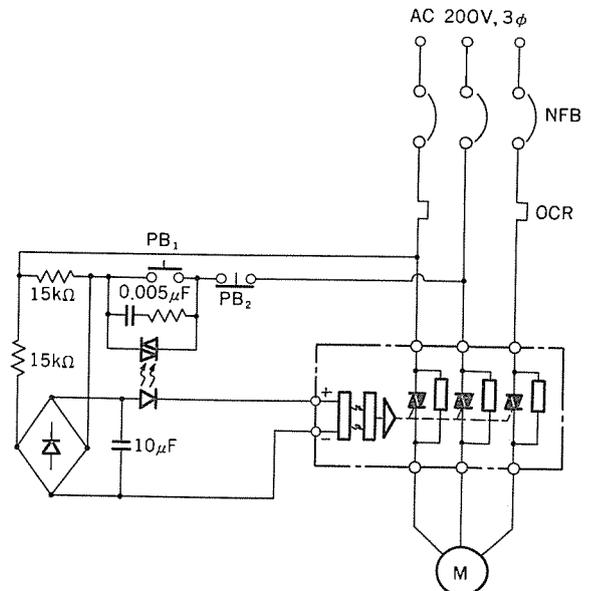


図 12. 押ボタンによるオン・オフ制御

り、その使い方に適合するようにサイリスタチップの選定と熱設計が行われている。次に示すモータ特有の使用条件で、サイリスタチップの接合部温度が最大定格の 125°C 以内になることを計算により確認した。

(1) 長い始動時間使用 (図 9.)

コールドスタート条件 ($T_f = 40^\circ\text{C}$) において、モータの始動電流が 10 秒間流せる。

(2) 高頻度開閉使用 (図 10.)

1 時間に 1,200 回の開閉、使用率 40 %

(3) インチング使用 (図 11.)

モータの 6 倍の全負荷電流が 0.05 秒間、1 秒周期で 10 回通電できる。

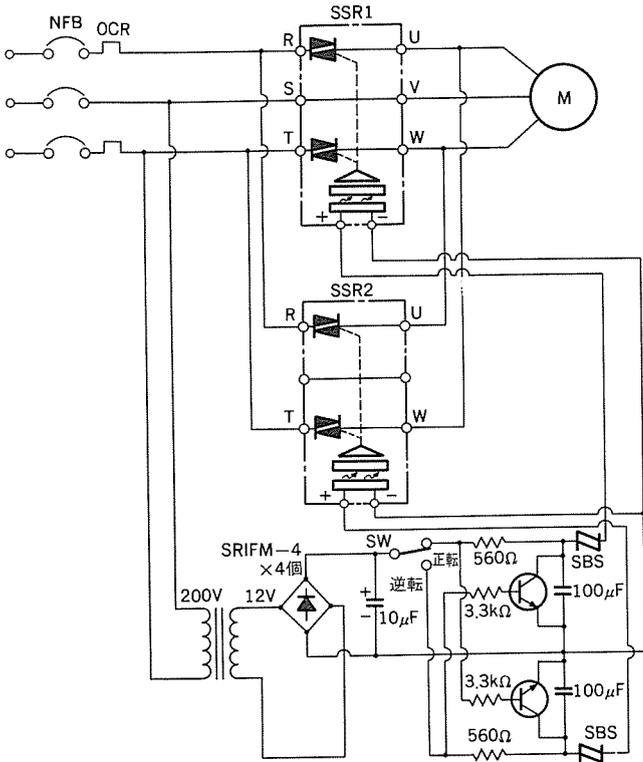


図 13. 可逆制御

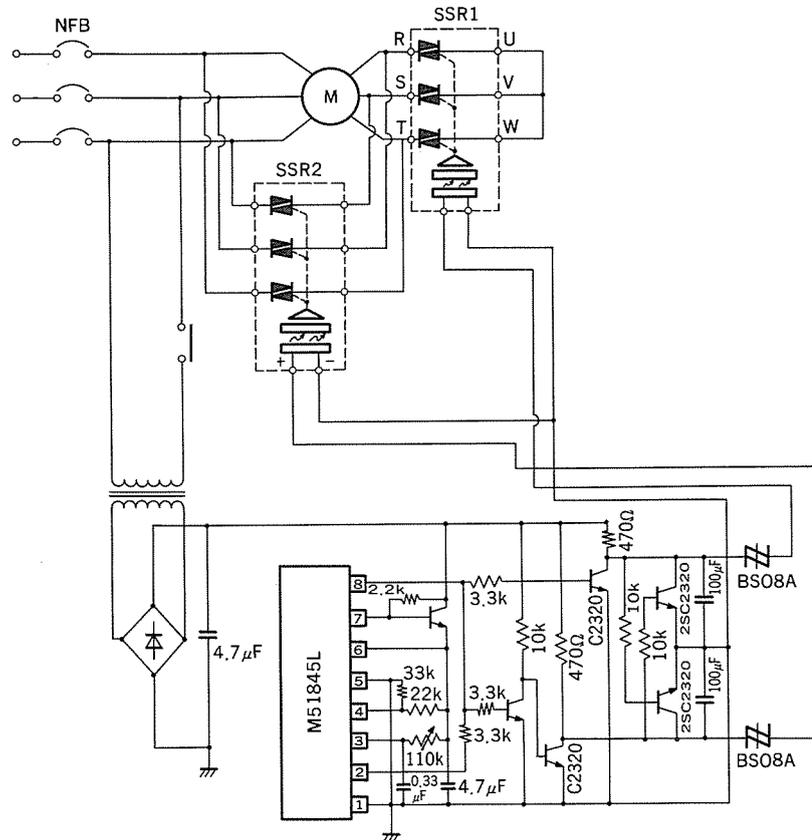


図 14. Y-Δ制御

4. 2 応用例

4. 2. 1 押ボタンによる操作

回路例を図 12. に示す。押ボタン PB₁ により〈ON〉, PB₂ により〈OFF〉の操作ができる。

4. 2. 2 可逆制御

三相 2 回路式 ソリッドステートリレー 2 台を用いてモータを可逆制御する回路例を図 13. に示す。2 台のソリッドステートリレーに加える入力信号間で、インタロックがとられており、その時間は約 80 ms である。

4. 2. 3 Y-Δ 制御

2 台のソリッドステートリレーを用いて、モータの接続を Y から Δ に切り換え、始動時間の制御を行う。その回路例を図 14. に示す。始動時間はボリュームにより設定する。3~30 秒可変できる。

4. 3 用途

今回開発、量産化した三相ソリッドステートリレーは高頻度開閉、悪環境に強い、IC と直結可能、省エネルギー的使用ができるなど数々のメリットがあるので用途は広範囲である。

用途例

- (1) 自動車工場ラインのモータのオン・オフ制御
- (2) ポンプのオン・オフ制御
- (3) クレーン、ホイス、コンベヤ、コンプレッサのオン・オフ制御、可逆制御
- (4) 恒温槽、電気炉、温水器などの温度制御
- (5) 電源、非常用電源のオン・オフ制御

5. む す び

電力半導体素子の複合化、高機能化を目指し、従来の電磁接触器の無接点化を実現させることができました。今後、この種の複合化部品が更に複雑、高集積、高機能化していくものと思われる。それら製品の発展と用途拡大に大きな期待をかけ、今後の需要増に対処していきたい。

分子科学研究所納め 極端紫外光源(UVSOR)用電磁石電源

寺本昭好*・重信正広*・伊地知俊昭*・関 憲三郎*・中谷俊雄*

1. ま え が き

シンクロトロン放射光 (SOR : Synchrotron Orbital Radiation) という言葉が最近注目を浴びている。それは SOR が多くの優れた特長を持つため、超 LSI パターンの転写、分子科学の実験などへの利用に非常に適しているからである。今撮、分子科学研究所に極端紫外光源 (UVSOR) 用電磁石電源を一式製作、納入した。これらは SOR 設備のかなめとも言えるシンクロトロン電磁石電源と、電子蓄積リング電磁石電源及び両者を接ぐ電子ビーム輸送系電磁石電源であるが、いずれも高安定電流制御を必要とする電源である。特にシンクロトロン電源はインダクタンス 120 mH、時定数 0.8 秒の高インダクタンス負荷に 150 ms で 0 から 1,200 A まで直線で立ち上げ、2.5 % から 100 % 電流における精度が理想値の $\pm 0.2\%$ (定格比で $\pm 5 \times 10^{-5}$) 以内という超安定度が要求された。ここではシンクロトロン電源における精度実現のための主回路構成、制御回路構成を中心に UVSOR 電源装置の概要を紹介する。

2. UVSOR (極端紫外光源) の概要

2.1 シンクロトロン放射光 (SOR) について

SOR は高速の電子が磁場により偏向を受けるとき、電子の持つエネルギーの一部を接線方向に電磁波—光子として放射する現象であり、次の特長を持つので、超 LSI パターン転写用光源、分子科学の実験などに非常に適しているとされている。

- (1) 鋭い指向性を持ち、平行性が極めてよい。
- (2) 赤外領域から X 線領域まで連続スペクトルを持つ。
- (3) 点光源に近い極めて強い光源で、強度を理論的に計算できる。
- (4) 光の振動面が偏っている。
- (5) 繰返し周期の速いパルス光源である。

2.2 UVSOR の構成

図 1. に UVSOR の概略構成を示す。まず 15 MeV (1,500 万電子ボルト) の電子ライナック (直線加速器) を前段加速器として電子ビームを加速し、電子シンクロトロンに入射する。シンクロトロンにより電子ビームを加速し、40 倍の 600 MeV (6 億電子ボルト) までエネルギーアップ

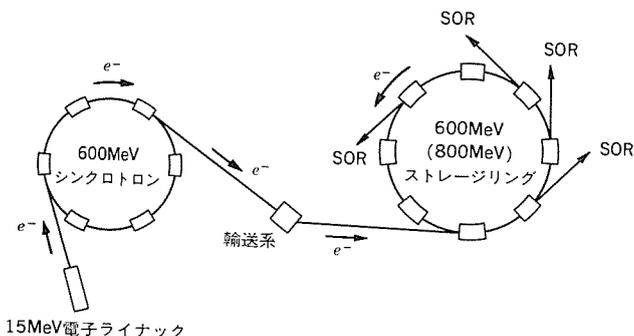


図 1. UVSOR (極端紫外光源) の概要

した後、輸送系を通して電子蓄積リング (ストレージリングと呼ばれる) に入射し蓄積する。ストレージリングには 8 台の偏向電磁石が設置されており、この各々から SOR が放出される。なお、ストレージリングでは 600 MeV の電子ビームを蓄積した後、更に 800 MeV まで徐々に加速できるようになっている。

今仮に 600 MeV の電子ビームの速度を試算すると次のようになる。

$$\beta = v/C \approx 1 - \frac{1}{2} \left(\frac{m_0 C^2}{K} \right)^2 = 0.9999996$$

ここで、 m_0 : 電子の静止質量 0.91095×10^{-30} (kg)

K : 電子の運動エネルギー 今 600 MeV として

$K = 600 \times 10^6 \times 1.6022 \times 10^{-19}$ (J)

C : 真空中の光速 2.9979×10^8 (m/s)

したがって 600 MeV のエネルギーを持つ電子は、ストレージリングの中で光速の 99.99996 % の速度で周回していることになる。

3. シンクロトロン電磁石電源

3.1 シンクロトロン電磁石と電源の構成

電子シンクロトロンは主として電子ビームを偏向し円形軌道を周回させるための 60° 偏向電磁石 6 台と、電子を軌道から外さないように電子集束の役目を果たす四極電磁石 12 台で構成されている。また、四極電磁石は水平方向の集束力を持つ Q_F 6 台と、垂直方向の集束力を持つ Q_D 6 台が組み合わされている。

図 2. にシンクロトロン電磁石と電源の接続関係を示す。四極電磁石は主コイルと微調用補助コイルが同一鉄心に近接して巻かれているため、両巻線間には相互誘導作用が生じる。一方、電源は偏向電磁石 6 台、四極電磁石 Q_F , Q_D の主コイル計 12 台を直列に励磁する主コイル電源 1 台と、四極電磁石の各々の補助コイル 6 台を直列に励磁する補助コイル Q_F 電源、 Q_D 電源各 1 台で構成されている。

図 3., 図 4. にシンクロトロン電磁石電源装置の構成及び外観写真を示す。電流の設定はデスクトップコンピュータにより行い、遠隔のコントロールラックに収納された関数発生装置(1)に転送される。ここで電圧基準など必要な演算を実行した後、テーブル化したデータをローカル

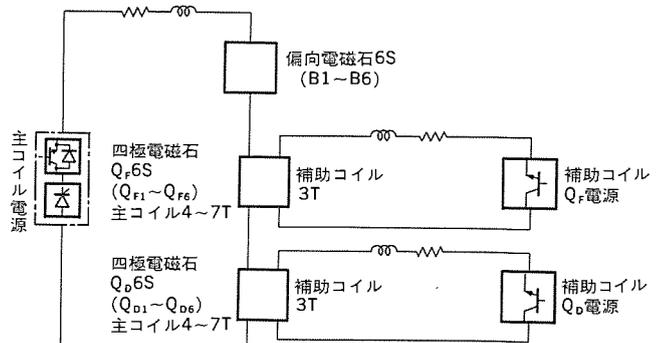


図 2. シンクロトロン電磁石の構成

* 制御製作所

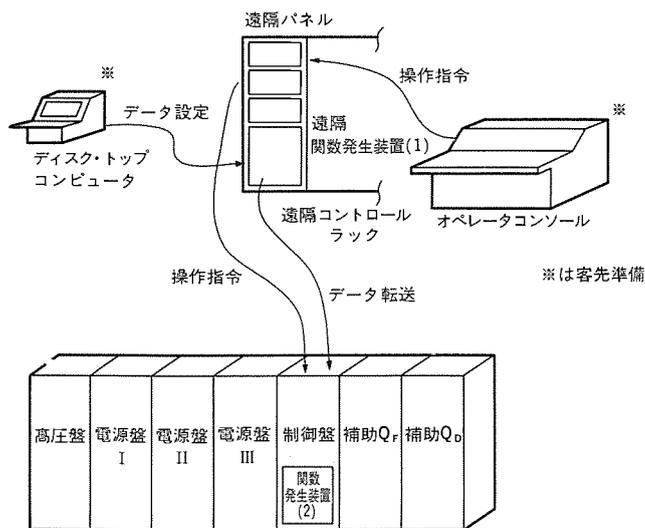


図 3. シンクロトロン電磁石電源装置の構成

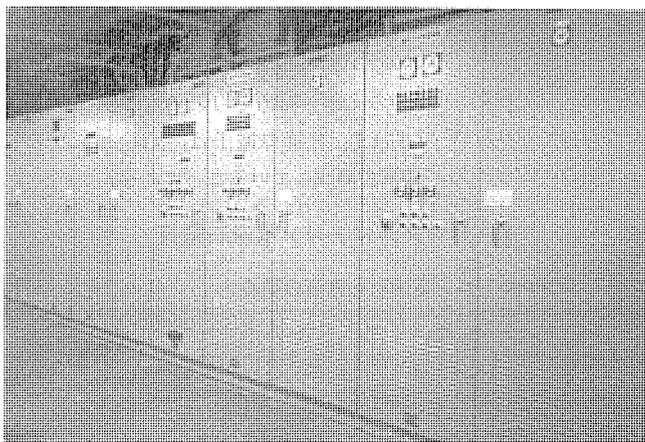


図 4. シンクロトロン電磁石電源

の関数発生装置(2)に転送する。実運転時における各種基準信号の供給はすべてローカルにて処理される。

3.2 シンクロトロン電磁石電源の技術的課題とその解決策

表 1. にシンクロトロン電磁石電源の仕様を示す。この仕様における技術的課題は次の 4 項目であった。

- (1) 繰返し周波数が 3 Hz の連続パルス運転である。
- (2) 超高精度—定格値の 2.5% における値が理想値の $\pm 2 \times 10^{-3}$ (定格比で $\pm 5 \times 10^{-5}$)—が要求された。
- (3) 高インダクタンス負荷であり、しかも飽和特性を持つ。
- (4) 主コイル電源と補助コイル Q_F , Q_D 電源とが相互干渉する。

また、後の項で詳述するが、上記課題の解決策として次の方式を採用した。

- (1) 24 相サイリスタ整流器による電圧フィード・フォワード制御

- (2) 20 kHz, 6 相多重トランジスタチョップによる補正電流制御
- (3) 同軸シャットと 16 ビット A/D 変換器を組み合わせた電流検出回路
- (4) GTO サイリスタスイッチによるフィルタコンデンサの切換接続

3.3 主コイル電源の構成

図 5. に主コイル電源の主回路構成を示す。以下その主な構成要素につき説明する。

- (1) タップトランス (TAP-Tr)

前記表 1. の電磁石電流の立上げ (立下げ) 時間に対応して、手動でタップ位置を変更する、無負荷切換の単巻トランスである。基準信号データにはタップ位置が入力されており、運転時には自動チェックされる。
- (2) サイリスタ整流器用トランス (Tr1~Tr4)

サイリスタ整流器に必要な二次電圧を供給するステップダウントランスである。24 相整流回路を実現するため、図に示されているように、各々

表 1. シンクロトロン電磁石電源の仕様

	電磁石電源仕様	
	主コイル電源	補助コイル電源
出力電流波形	$I_{max} = 1200A$ $T_r = 30ms$	$I_{max} = 533A$ $T_r = 30ms$
注(1) インダクタンス係	$L_m \approx 0.12$ (飽和特性有り)	$L_m \approx 1 \times 10^{-3}$ (飽和特性有り)
抵抗 (Ω)	$R_m \approx 0.15$	$R_m \approx 0.03$
精度 注(2)	$\pm 2 \times 10^{-3}$ ($2.5\% \leq I_m < 100\%$)	$\pm 2 \times 10^{-3}$ ($2.5\% \leq I_m < 100\%$)

注(1) 配線を含む

(2) 電磁石電流最大値の 2.5% 以上、100% 未満の全領域における設定誤差、リップル、繰返し安定度を含む。

(3) 電磁石電流立上げ及び立下げ時間

タップ	立上げ時間 T_r (ms)	立下げ時間 T_f (ms)
1	$150 \leq T_r < 200$	150
2	$200 \leq T_r < 250$	200
3	$250 \leq T_r < 300$	250
4	$300 \leq T_r < 500$	300
5	$500 \leq T_r \leq 700$	500

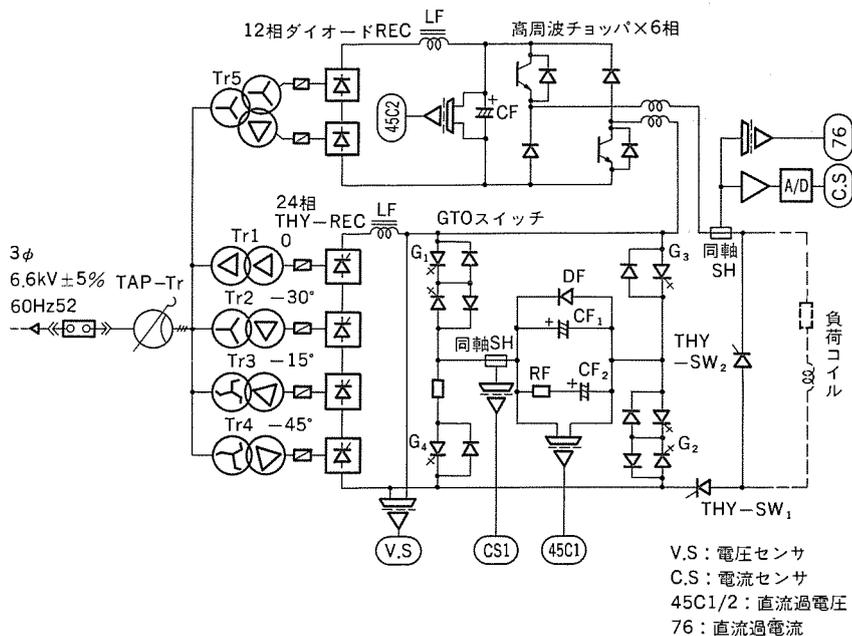


図 5. シンクロトロン主コイル電源主回路構成

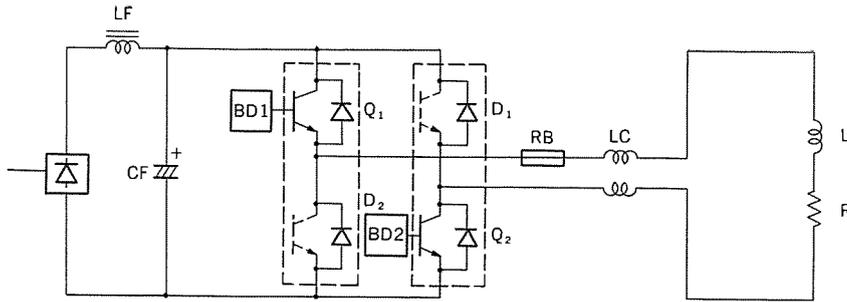


図 6. 高周波チョップ 1 相分概略回路 (BD 1/2 はベースドライブ回路)

表 2. チョップ動作モード

負荷電流					
トランジスタ Q ₁	ON	ON	ON	OFF	ON
トランジスタ Q ₂	OFF	ON	OFF	OFF	OFF
動作モード	フライホイール	力行	フライホイール	回生	フライホイール

の二次側位相が 15° ずつ相差を持つよう移相巻線を設けている。

(3) 直流電源盤 I

電圧フィード・フォワード制御の応答性向上、リップル電圧低減を目的として 24 相整流回路を採用した。また、出力電流を 0 から定格まで短時間 (150 ms) で立ち上げ、かつ定格の 2.5 % からの精度が必要であるため直列 24 相整流回路としている。

(4) 直流電源盤 II : フィルタ

出力電圧リップルの低減を目的としたフィルタコンデンサ (CF₁) と並列ダンピング抵抗 (RF), (RF) の直流分除去用コンデンサ (CF₂) と主回路母線の極性に応じフィルタコンデンサの接続を切り換える GTO サイリスタ (ゲートターンオフサイリスタ) スイッチ (G₁) ~ (G₄) で構成されている。

(5) 直流電源盤 III : 高周波多重チョップ盤

出力電流の微調整を行うことを目的として高周波多重チョップを採用した。その主な仕様は次のとおりである。

- ・使用素子 トランジスタモジュール QM 100 DY-H
- ・1 相の基本周波数 3.3 kHz
- ・相数 6 相 (各々 60° の相差を持つ多重接続)
- ・総合動作周波数 20 kHz
- ・その他 各相の電流アンバランス補正回路付属

図 6. にチョップ 1 相分の概略回路を、また、表 2. に動作モードとそれに対応する各トランジスタの ON, OFF 状態を示す。なお、図中抵抗 (RB) は多重に接続した場合の各相の電流アンバランス用ダンピング抵抗と、別途用意する電流アンバランス補正回路への電流検出器とを兼用した固定抵抗器である。

3. 4 主コイル電源の制御系

3. 4. 1 制御基準信号

関数発生装置から次の 3 種類の基準信号がデジタルで与えられる。

- (1) 電流基準信号 主コイルに通流すべき電流値……………16 ビット
- (2) 電圧基準信号 (1) の電流を流すために必要な電源の出力電圧値
関数発生装置 (1) において次式により計算さ

れる。

$$V(t) = L(I) \cdot dI/dt + R \cdot I(t) \quad \dots\dots 16 \text{ ビット}$$

L(I) : 負荷のインダクタンスで飽和特性を持つ

R : 負荷の抵抗値

- (3) 誤差基準信号 許容される電流誤差値……………16 ビット

3. 4. 2 電圧制御系 (フィード・フォワード制御)

電圧制御方式として時刻 $t=0(+)$ 時の電圧基準に相当する電圧を励磁前にフィルタコンデンサに充電しておく (初期充電), 励磁開始指令と同時にスイッチ (THY-SW 1) を点弧して充電電圧をフォーミング電圧として負荷コイルに印加し, その後, 電圧基準信号による追従制御を行う方法を採用した。

(1) 初期充電時

初期充電電圧基準信号を D/A 変換器でアナログ信号に変換すると同時に, デジタル信号をラッチしておく。フィルタコンデンサの GTO サイリスタスイッチ (G₁), (G₂) が ON され, 電圧コントローラ (VC) により電圧基準値に定電圧制御される。

(2) 電流立上げ時

励磁開始指令と同時にサイリスタスイッチ (THY-SW 1) が ON し, 初期充電電圧が負荷コイルに印加され電流を立ち上げ始める。一方, 電圧基準信号は 3. 4. 1 節 (2) で述べたように, コイルインダクタンスの飽和特性を考慮した理論値が入力される。デジタル信号のクロック周期は 4 μs である。また, 電圧コントローラ (VC) は比例積分形とし, 24 相整流回路の無駄時間を考慮して, 電圧制御系オープンループゲインのクロスオーバー周波数 (ω_{cr}) は約 5,000 rad/s に設定している。

(3) GTO サイリスタスイッチの切換

電流基準信号が最大値に達すると零に落ち, かわって電流立下げ指令が与えられる。この信号により, まず電圧コントローラ (VC) の出力信号をホールドし, サイリスタ整流器の位相制御角 (α) を固定する (出力電圧値は一定値となる)。その後, フィルタ電流を同軸シャントにより検出し, 電流遮断により主回路電圧にサージ電圧が重畳されない極性であることを条件に, GTO サイリスタスイッチ (G₁), (G₂) に OFF 指令を与え電流を絞り込む。

(4) 電流立下げ時

回生電圧基準は, 初期充電時にラッチしていたデジタル値をもとに電流の立下がり時間, 初期充電特性 (再充電時) などを考慮して, 最も適した値に設定されている。電圧コントローラ (VC) に回生電圧基準が与えられると, 24 相サイリスタ整流器は位相制御角 (α) を絞って 90° を越え, インバータ動作領域の定電圧運転を行う。インバータ運転に入ると, コイルに蓄えられた電磁エネルギーは電源に回生され, したがってコイル電流は急峻に立下げられる。また, 出力電圧の極性が反転したことを確認した後, GTO サイリスタスイッチ (G₃), (G₄) を ON してフィルタコンデンサを回路に接続すれば, 制限抵抗 (RC) を通して充電, または放電が行われ, コンデンサ電圧は回生電圧基準値に固定される。

主コイル電源の制御回路構成を図 7. に示す。

3. 4. 3 電流制御系

コイル電流の微調整は, 高周波多重チョップ回路による電流制御ルー

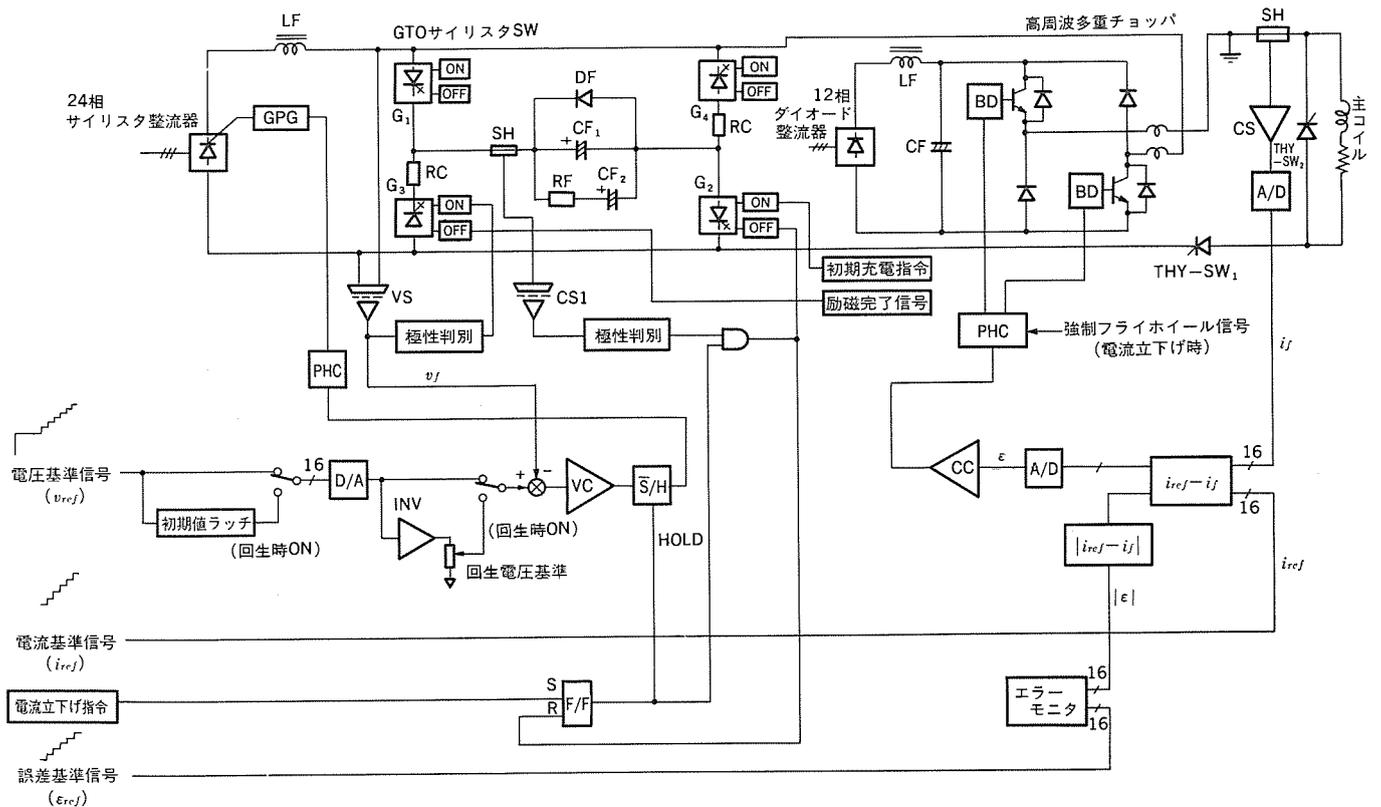


図 7. 主コイル電源の制御回路構成

により行う。

(1) 電流立上げ時

励磁開始指令と同時に、関数発生装置から電流基準信号が16ビットのデジタル信号で入力される。デジタル信号のクロックは電圧基準と同様4μsである。一方電流の検出は同軸シャントにより行い、ボルテージフォロア形差動アンプで増幅した後16ビット高速A/D変換器に入力される。A/D変換器の出力信号(i_f)と基準信号(i_{ref})との偏差はデジタル減算により求められ、D/A変換されてアナログの偏差値(ϵ)となる。偏差値(ϵ)は比例積分形電流コントローラにより増幅され、高周波多重チョップのON期間を決定する位相制御回路(PHC)に入力される。

電流制御系のオープン・ループゲインのクロスオーバー周波数(ω_{cc})は電圧制御系との干渉を避け、約1,500(rad/s)に設定している。

(2) 電流立下げ時

電流立下げ指令が与えられると、電流コントローラ(CC)に短絡するとともに、チョップの位相制御回路(PHC)に強制フライホイール信号を入力し、全チョップをフライホイールモードに固定している。

3.4.4 チョップ回路の保護

高周波多重チョップ回路は24相サイリスタ回路と直列に接続され、電圧制御による出力電流の補正を行う形で動作している。今、出力電圧が高くなり、したがって電流が基準値をオーバーした場合を考えると、チョップは回生モードとなり、負荷のエネルギーをコンデンサに充電(回生)して電流を下げようとする。ところが、負荷のインダクタンスは

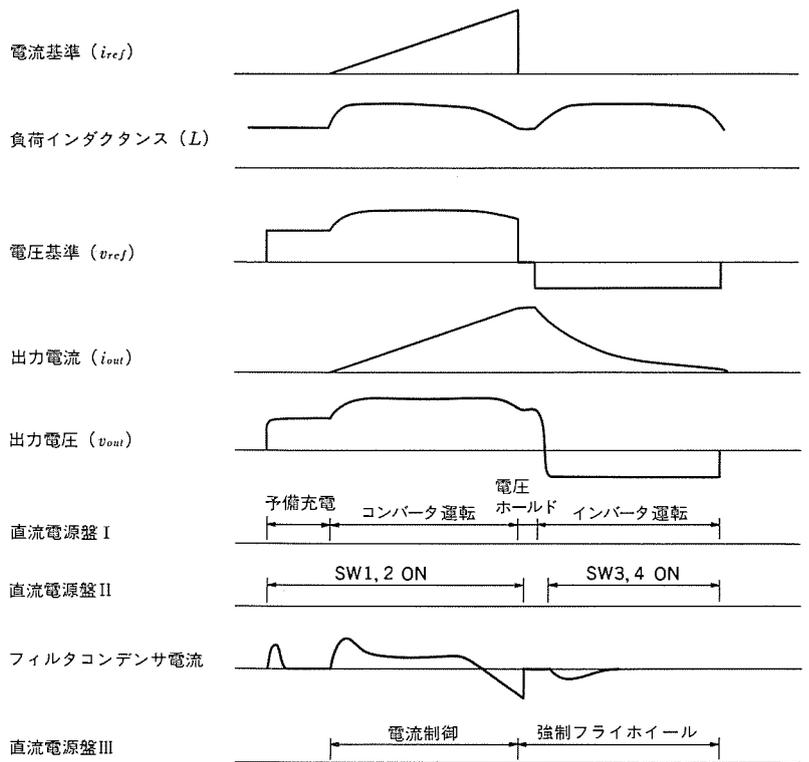


図 8. 主コイル電源動作タイムチャート

約120mHと非常に大きく、電流も最大1,200Aと大きいので何らかの理由で電流誤差が大きくなった場合には、回生によりコンデンサの電圧が異常に上昇する事態が生ずる。このためコンデンサの電圧を常時監視しておき、許容値以上に上昇したときには直ちにサイリスタ

4. その他の電磁石電源

4.1 輸送系電磁石電源

輸送系電磁石電源としては、偏向電磁石電源（4台の偏向電磁石を直列励磁）1台と、四極電磁石電源6台を製作した。仕様の一部を次に示すが、これらはトランジスタリレーレギュレータによる直流安定化電源である。

偏向電磁石電源：DC 25 V, 1,200 A

電流安定度 $\pm 1 \times 10^{-4} / 8$
h

4.2 ストレージリング電磁石電源

電子ビームを偏向し円形軌道を周回させるための、 45° 偏向電磁石8台を直列に励磁する偏向電磁石電源1台を筆頭に、四極電磁石電源4台など、計27台の電源で構成されている。これらはすべてトランジスタリレーレギュレータによる直流安定化電源であるが、その電流基準信号は、ストレージリング用周数発生装置（遠隔のコントロールラックに収納）から16ビットのデジタル信号で、各々の電源にダイレクトに供給される。代表例として、偏向電磁石電源の仕様は次のとおりである。

偏向電磁石電源：1台 DC 187 V, 1,250 A

電流安定度 $\pm 1 \times 10^{-4} / 8$
h

制御方式 12相サイリスタ
整流器とトランジスタリレーレギュレータによる
組合せ定電流制御

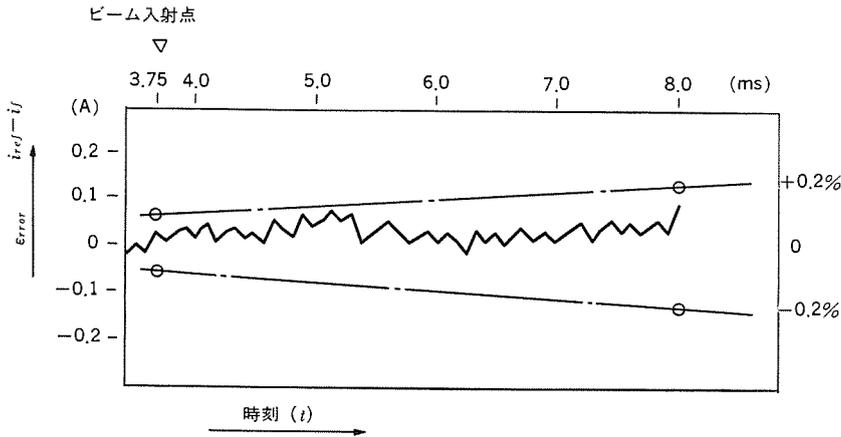


図9. 主コイル電源1,200 A, 150 ms 立上げ時の誤差データ

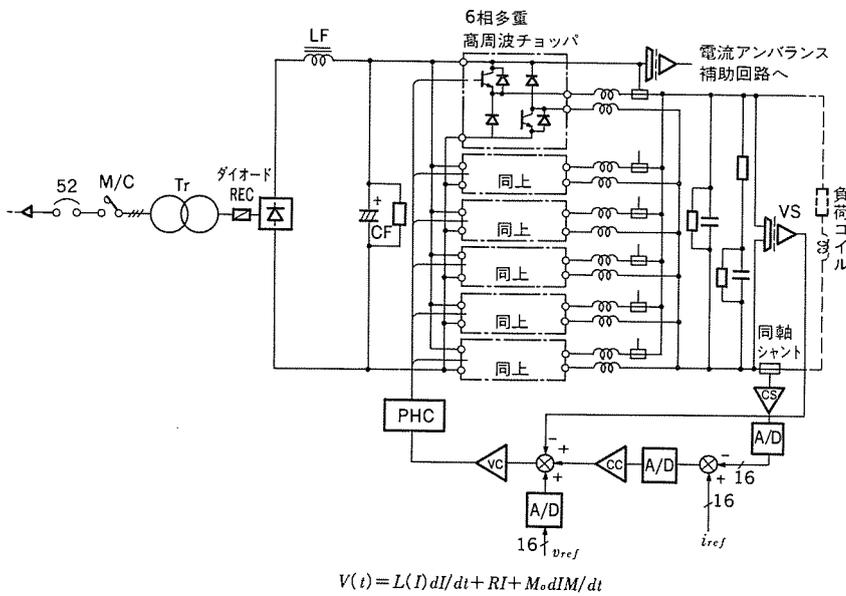


図10. 補助コイル電源 $Q_F(Q_D)$ 回路構成

スイッチ (THY-SW₂) を点弧し、負荷コイルを短絡してチョップ回路を保護するようにしている。図8. に主コイル電源のタイムチャート、図9. にビーム入射時付近の出力電流値をロジックアナライザにより測定し、エラーを算出したデータ例を示す。

3.5 補助コイル電源 $Q_F(Q_D)$

図10. に補助コイル電源 $Q_F(Q_D)$ の回路構成を示す。補助コイル電源は所要電圧が低いので、6相多重高周波トランジスタチョップのみで制御を行っている。電流制御系は主コイル電源と同様に、電圧基準によるフィードバック制御を電流制御ループで補正する方式を採用している。また、主コイルからの相互誘導電圧をキャンセルするため、電圧基準信号には、 $M_0 \cdot dI_M/dt$ 分を重畳した値を使用している。ここで M_0 は $I_M=0(+)$ における相互インダクタンスである。

5. む す び

分子科学研究所 UVSOR 光源における各種励磁電源の役割の説明を交えて、特にこの設備のかなめとも言えるシンクロトロン電磁石電源につき述べた。この電源は、電流立上げ時間が150 msと短く、かつ、定格比 $\pm 5 \times 10^{-5}$ の高精度が必要とされたが、高周波多重チョップ16ビット高速A/D変換器など新技術を駆使することにより、仕様を満足することができた。今回開発した技術は、加速器の分野においては必要不可欠なものであり、今後これらの分野に大いに活用されるものと期待している。

最後に、この電源の製作において設計当初から種々の助言と御指導をいただいた、分子科学研究所 UVSOR の渡辺・春日両助教及びその他関係者に厚く御礼を申し上げる。

1,000kW級集中配置形太陽光発電システム

武田行弘*・高橋昌英**・熊野昌義***・湯屋俊一+・湯川元信+・坂田末男+

1. ま え が き

近年各国において石油代替エネルギーの研究開発が進められているが、なかでも太陽光発電は無尽蔵なクリーンエネルギーとして大きな期待がよせられている。大規模な実用化を促進するためには、太陽電池の高効率化はもとより価格低下がぜひとも必要であり、各方面で研究・開発が進められているが、将来大幅な価格低下が予想され、太陽光発電は急速に普及するものと思われる。太陽光発電は基本的に天候に左右される不安定な電力供給源であるが、電力貯蔵システムや電力系統との連系による電力融通などにより安定化を図る一方、システムの構成方法や最適運転方法などについて研究が進められており、技術面及び運用面における課題の解決が図られている。

このような背景のもとに、サンシャイン計画の一環として、(財)電力中央研究所及び四国電力(株)が新エネルギー総合開発機構から集中配置形太陽光発電システムの研究開発の委託を受けて、愛媛県西条市に試験発電所の建設を進めている。三菱電機(株)は太陽電池の製作及びシステム設計に参画して、昭和56年から太陽電池を、また昭和57年から58年にかけて第1期工事として出力200kW級の直交変換装置及びバッテリー制御装置を設置した。

今後太陽電池及びシステム機器を段階的に増設し、昭和60年にはトータル1,000kW級の発電設備となる予定である。

2. システムの構成

2.1 システムの概要

概略仕様を表1.に、このシステムの構成を図1.に示す。このシステムは太陽電池アレー、太陽電池出力を交流に変換する直交変換装置(インバータ、変圧器、フィルタ、開閉装置)、バッテリー、バッテリー充放電制御装置及びシステム制御装置で構成した太陽光発電システムである。

太陽電池アレーは、設置点の緯度の傾斜面に設置した架台に太陽電池パネルを多数並べた固定据置形であり機械的駆動部分はない。このシステムは、変換効率を高めるため電圧調整機能(インバータ前段にチョップを設置する方式又はインバータでPWM制御を行う方式)を持たない方式としている。インバータは太陽電池の発電電力を交流に変換するが、電力系統との連系のみならず独立運転もできるように自動式を採用した。また低騒音化、効率の面からスイッチング素子としてGTO(Gate Turn-off Thyristor)を採用した。

高調波抑制のため6相インバータ二組を多重トランスで組み合わせた12相方式とし、交流出力側に高調波フィルタ(共振フィルタ及び高次フィルタ)を設け、高調波電圧ひずみ率を大幅に低減している。バッテリーは太陽光発電の電力を安定して供給するために必要であるが、このシステムの場合、太陽電池の容量に対し比較的小容量ですむように最低発電電力をカバーする方式とした。すなわち曇などにより発電電力が低下した場合でもバッテリーでバックアップし発電電力が極端に低くなるのを防止している。更に独立運転時においては、太陽電池の発電電力と負荷電力の差をバッテリーが吸収しシステムを安定に動作さ

表 1. システムの概略仕様

系 統	電 圧	三相 6.6 kV
	周 波 数	60 Hz
太 陽 電 池	出 力	200 kW 級
	最 適 動 作 電 圧	約 500 V
	開 放 電 圧	約 750 V
イ ン バ ー タ	容 量	200 kW
	方 式	自動式、多重トランス方式
	相 数	6 相 × 2 台の組合せ 12 相
	出 力 変 圧 器	105 kVA × 2
	制 御 方 式	連 系
独 立		周波数 60 Hz, 電圧 6.6 kV
	変 換 効 率	93.6% 以上
バ ッ テ リ	容 量	526 Ah (200 kWh)
	電 圧	380 V
バ ッ テ リ 制 御 装 置	容 量	200 kW
	制 御 方 式	昇圧及び降圧チョップ
	高 調 波 電 圧 ひ ず み 率	各次 0.5% 以下, 総合 1% 以下
	電 圧 変 動 率	系統電圧に対し ±1% 以下
	系 統 連 系 保 護	過電流, 過電圧, 不足電圧 周波数異常, 地絡 逆圧防止
	騒 音	敷地境界線にて 昼間 65 ホン以下

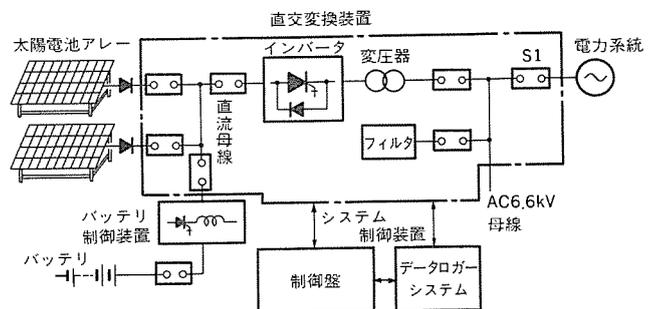


図 1. システム構成

せる。太陽電池の動作電圧は、系統電圧にほぼ比例し最適動作電圧近辺に選定されているので、バッテリーはバッテリー制御装置(チョップ)を介して直流母線に接続されている。

表 2. バッテリをもつシステムの構成比較

項目	方式 1	方式 2	方式 3
回路構成			
太陽電池動作電圧	系統電圧に比例する。	バッテリー電圧と等しい。 (バッテリー容量が十分ある場合はバッテリー充電時の電圧を最適動作電圧とする)	任意に調整可能
直流電圧変動	$\pm (\alpha + \beta) \%$ 但し α は系統電圧変動、 β は定 Q 制御時の系統電圧変動	$\pm (10 \sim 20) \%$	最適動作電圧に制御可能
発電効率 (太陽電池利用率)	97%以上	90~95% (注2)	100% (理想的な場合)
直交変換効率	バッテリーの充放電量が小さいときに高い。	バッテリーの充放電量が大きいに高い。	最も低い。 (方式1に比べ約3%損失増加)
総合比較	独立運転時バッテリー充放電が限界に達すれば出力電圧異常となり、システムがダウンするので限界に達しないような運転制御をせねばならない。 (注3) 系統連系運転に適している。	変換器(注4)のコストは最も安いので太陽電池のコストが大幅に下げられる。また、システム容量は小さいがバッテリーが多量に必要な場合にも有利である。	変換器のコストは最も高い。自由度は高いが実用システムとしては不利である。

注1 図中二重枠は電圧調整機能を示す。

注2 温度変化以外に直流電圧変動に伴う発電損が付加されている。

注3 独立運転として運転する場合、負荷特性と太陽電池、バッテリー及びバッテリー制御器の容量の選定に注意を要する。

注4 変換器はチョッパ及びインバータを含む。

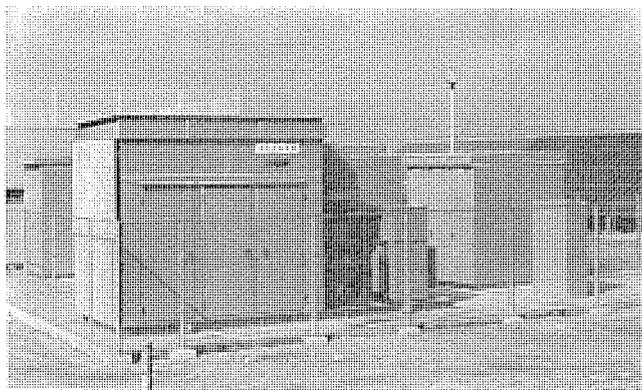


図 2. 直交変換装置

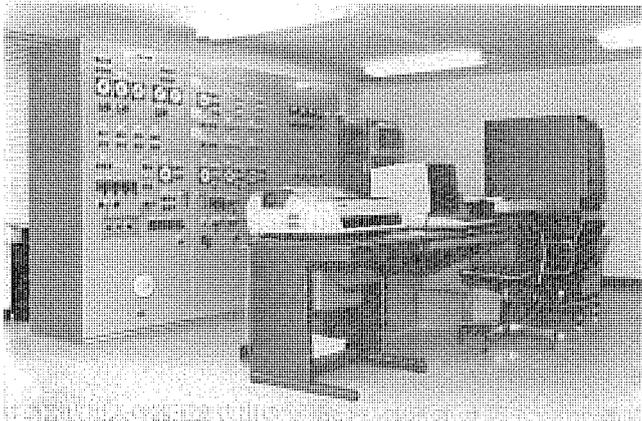


図 3. 制御室

制御モードとして系統連系時には定 V_d (直流電圧一定) 制御モードと定 Q (無効電力一定) 制御モードを、独立運転時には定電圧制御モードを備えている。運転操作及び監視は制御室における制御盤で行われ、各種運転データはデータロガーに収集されている。またシステム保護についても、逆圧保護を始め各種保護機能を備えている。太陽光発電所の直交変換装置を図 2. に、制御室を図 3. に示す。

2.2 システムの基本構成

天候に左右される発電電力の安定化を図るためにはバッテリーが必要であるが、独立電源として運転する場合には負荷の需要に従って随時に電力供給するために不可欠である。バッテリーの電圧は充電時と放電時の電圧差が大きく、また放電深度、充放電電流及び温度により影響される。このためバッテリーを設置する場合は表 2. に示すようにチョッパや PWM インバータなどの電圧調整機能が必要である。

このシステムにおいては、

- (1) システム効率を重視する。
- (2) コストの安い実用システムとする。

などの理由より表 2. の方式 1 を採用し、無効電力一定運転又は直

流電圧一定運転を行うのが効率的で実用的である。更に出力変圧器にはタップを設けて電圧不整合の初期調整や、季節による切替を行うことにより太陽電池の発電効率向上が図れるようにした。

3. 太陽電池アレー

太陽電池は数社が製作しているので、シリコン単結晶形及びシリコン多結晶形があり、1パネル当りの最適動作電圧などの電気特性も一定でないが、発電時の直流電圧が約 500 V になるように直列数が定められている。太陽電池の取付傾斜角は約 34 度で設置点の緯度と同じ角度であり、また太陽電池の出力は南半面及び北半面の 2 群に分割され、それぞれの直流母線に接続されている。鳥や飛行機などが太陽光の入射を部分的に遮断した場合に、太陽電池に逆電圧がかかるのを防止するため各パネルごとにバイパスダイオードを、また直流回路電圧が太陽電池側へ逆流するのを防止するために個々の直列回路ごとに逆流防止ダイオードを挿入している。

4. 直交変換装置

太陽電池が発生する電力は直流であり、この電力を交流系統や一般の独立負荷に供給するには直流→交流の電力変換装置が必要である。このための直交変換装置は、太陽電池から最大電力を引き出し効率よく交流に変換できるものでなければならない。したがって構成も太陽電池及びバッテリーの特性を十分加味し、運用に適した方式とする必要がある。本項では直交変換装置の心臓部であるインバータを中心に述べる。インバータの構成ブロック図を図 4. に示す。

4.1 インバータ

交流系統及び独立負荷のいずれにも電力が供給できるようにし、かつ交流系統と接続する場合には、有効電力はもとより無効電力制御も可能なように自動式とした。系統連係のみを考えれば他励式の方が効率及びコストの面で有利である。

低次の高調波を除去するために、6相インバータを二組設けこれを多重トランスにて結合した 12相方式としている。このため高調波成分は理論的には、11, 13, 23, 25, …… 次となりフィルタ設備を小さくできる。更に将来的にはインバータ増設時に現在のインバータと組

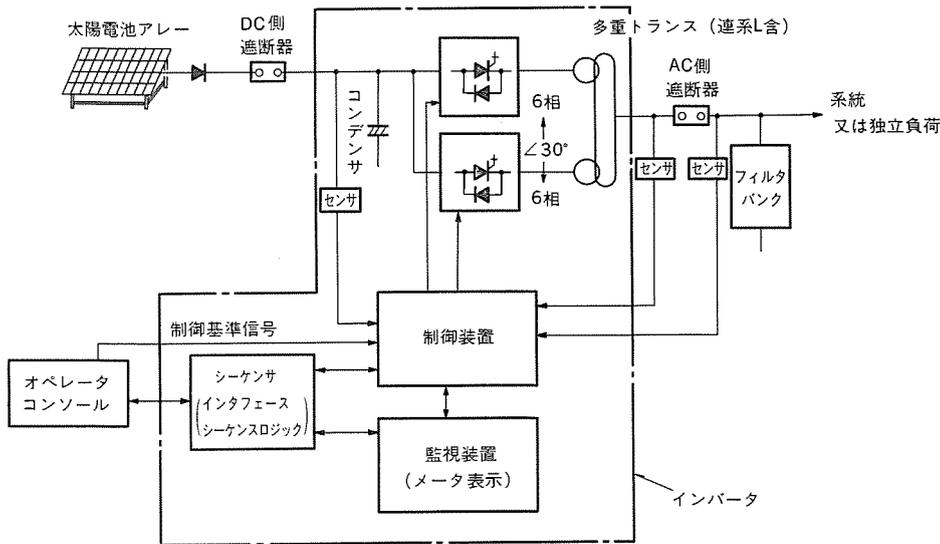


図 4. インバータ構成ブロック図

み合せ、等価的な24相運転を行うことにより高調波の低減を図ることも計画されている。

スイッチング素子としては、サイリスタ、トランジスタ、GTOなどが考えられるが、当時トランジスタは耐圧的に難点があった。GTOは転流回路が不要であるので騒音が低く、また効率の面でも若干サイリスタを上回るため、このインバータにはGTOを採用した。冷却方式については屋外設置でしかも海岸沿いであるので、耐塩対策として外部にヒートパイプ式熱交換器を設け、外気が内部に入らないよう密閉構造にした内部循環強制風冷方式を採用した。

4.2 保護

太陽電池や直交変換装置などのシステム機器や電力システムに異常が生じたときに、相互間を迅速に切り離し異常範囲が拡大しないよう各種保護装置を備えている。中でも逆圧保護装置は、系統連系を行う太陽光発電所においては新しい保護対象であり極めて重要な保護である。すなわち配電線に触れるような作業をする場合などの危険防止のため、系統側が無電圧となった場合に太陽光発電システムを素早く停止させ、連系線から切り離して無電圧状態を確保せねばならない。また復電時系統側の電圧とインバータの出力電圧との同期をとるためにも、いったん連系遮断器を切り離さねばならない。

ところでインバータは自励式であるので、連系時は交流系統の電圧位相を基準として制御する他制モードになっているが、系統側が無電圧になると電圧位相基準がなくなって、インバータは自制モードに移行する。このため制御系は、位相基準を失って発散現象をおこし周波数がずれて保護継電器「周波数異常」を動作させる。

4.3 高調波抑制

インバータを12相にして低次高調波を除去しているが、11次以上の高調波成分を含んでいるので、11次及び13次に対しては共振フィルタを、またこれ以上の次数に対しては高次フィルタを組み合わせて抑制している。系統連系時はインピーダンスが小さく、高調波電圧ひずみ率はフィルタがなくても総合で0.5%程度と推定されるが、独立運転の場合は大きくなる。フィルタは独立運転時で高調波ひずみ率各次0.5%以下、総合1%以下となるように設計した。なお連系運転時フィルタは、インバータからの高調波に加え系統側の高調波電流が加算されるので、フィルタが過負荷とならないように容量を大きくしている。

5. バッテリ制御装置

図5. に バッテリ 制御装置の詳細を示す。太陽電池は直流母線に接続され、この電圧はほぼ500Vに選定されているので、電圧変動の大きいバッテリーを直接直流母線に接続することはできない。このシステムではバッテリーの公称電圧を380Vにし、バッテリーが充電の場合には降圧チョップを、放電の場合には昇圧チョップを用いて電圧レベルを合わせている。

システム最終容量が1,000kW級であるので、バッテリー制御装置の容量は最終容量を見込んで200kWとし

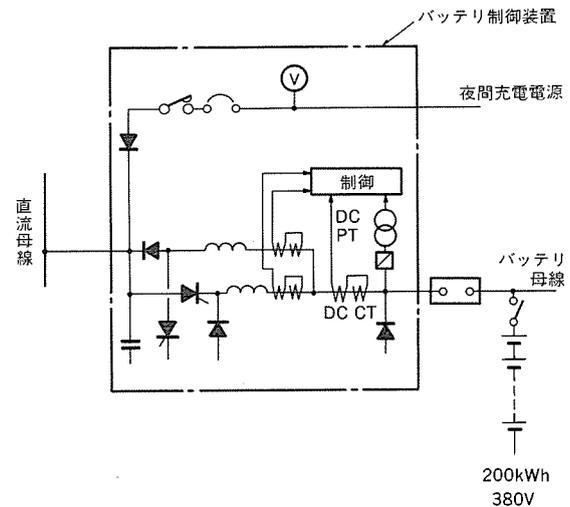


図 5. バッテリ 制御装置

ており、インバータの最終定格出力の20%まで充放電可能な方式としている。バッテリー制御装置のスイッチング素子は、転流回路が不要となるGTOを用い回路の簡素化を図っている。チョッピング周波数は、高くすると応答性を良くすることができ、またリアクトル及び平滑コンデンサを小形にすることができるが、GTOのスイッチング損失が増大する。このシステムでは効率を重視しているため、できるだけ低い周波数としている。

6. システム制御

6.1 系統連系

制御ブロックを図6. に示す。インバータの出力変圧器の入出力端における電圧 V_I 、 V_S 及び電圧位相差 δ について次の式が成立する。

$$P = \frac{V_S V_I}{X_L} \sin \delta \approx \frac{V_S V_I \delta}{X_L} \dots \dots \dots (1)$$

$$Q = \frac{V_S}{X_L} (V_S - V_I \cos \delta) \approx \frac{V_S}{X_L} (V_S - V_I) \dots \dots \dots (2)$$

- 但し P : インバータから出力する有効電力
- Q : インバータから出力する無効電力
- X_L : 変圧器のリアクタンス

また直流電圧(太陽電池動作電圧)を V_d 、直流電流(太陽電池動

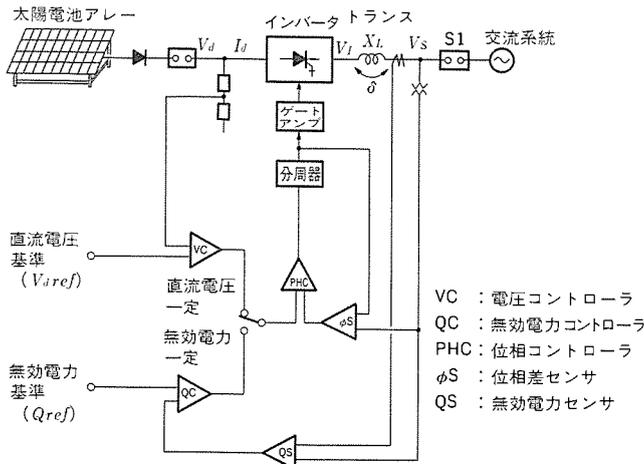


図 6. 制御ブロック図

作電流)を I_d とすると

$$P = V_d I_d \dots\dots\dots (3)$$

である。太陽電池の V_d , I_d の特性は複雑で単純に表現することができないが、ある単調減少関数を考えると、

$$V_d = f(I_d) \dots\dots\dots (4)$$

と置くことができる。更に直交変換装置は電圧調整機能をもたないシステムであるので V_d と V_I とは比例関係にあり、

$$V_I = k V_d \dots\dots\dots (5)$$

である。式(1), 式(2), 式(3)から、

$$I_d = \frac{k V_s \delta}{X_L}$$

これを式(4)に代入し、 V_s はほぼ一定の値であることを考えると、

$$K = \frac{k V_s}{X_L}$$

と置いて、

$$V_d = f\left(\frac{k V_s \delta}{X_L}\right) = f(K\delta) \dots\dots\dots (6)$$

となり、位相差 δ を制御することにより直流電圧 V_d を決定することができ、同時に有効電力を制御できる。

6. 1. 1 直流電圧一定制御

前述のように位相差 δ を制御することによって、直流電圧 V_d を一定に制御する方式である。太陽電池の最適動作電圧に設定して運転すると、太陽電池の発電エネルギーを最大限に取り出すことができるが、直流電圧 V_d が大きくずれると式(5)の関係から系統電圧との差、 $V_s - V_I$ が大きくなって無効電力が増大する。

6. 1. 2 無効電力一定制御

無効電力一定制御の場合、式(2)から $V_s - V_I = \text{一定}$ となる。一方式(5)の関係があるので、直流電圧は系統側の電圧変動にほぼ追従して変化する。 $V_s = V_I$ のときは無効電力=0 となり有効電力のみが出力されインバータは最小容量で動作する。

6. 1. 3 バッテリによるシステム出力の安定化

バッテリーの充放電可能電力は、このシステム完成時において、最大 20 % (インバータ最終定格出力ベース)としている。この充放電可能電力の範囲内でインバータ出力の安定化を図っており、太陽電池出力が低下して、インバータ出力が整定最低出力以下になればバッテリーから放電して最低出力を維持するように、また太陽電池出力が増大して、整定最大出力以上にあればバッテリーへ充電して最大出力に固定するように

している。なおバッテリーの寿命を維持するためにバッテリーは夜間充電ができるようになっている。

6. 2 独立運転

独立運転時は周波数 60 Hz, 電圧 6.6 kV となるように制御せねばならないが、直交変換部には電圧調整機能がないので、出力電圧を一定に保つためにバッテリーの充放電電流を制御する。太陽電池の動作電圧は太陽電池から出力する電流に依存するので、負荷の要求する電流にバッテリー充電電流を加算(放電の場合は減算)した電流に対する太陽電池動作電圧が、出力 6.6 kV に対応する電圧となるようにする。すなわち太陽電池は、ほぼ最大出力点で動作し発生する電力は、負荷が消費する以外の余剰分又は不足分をバッテリーが分担することになる。バッテリーが充電又は放電限界に達するとシステムダウンするので、事前に太陽電池を回路から切り離したり、接続したりしてバッテリーの保有エネルギー量を調節せねばならない。

6. 3 起動方法

6. 3. 1 システム連系時の起動方法

このシステムではシステム連系時にはバッテリーがなくても運転できるように考慮されている。この場合、起動時は直流側は、太陽電池の開放電圧になっており系統側電圧と整合していないので、インバータを PWM (Pulse Width Modulation) で運転し電圧の整合を図っている。PWM の通流率はランパターンにより制御し次第に大きくしていくが、インバータ出力電圧(正確には変圧器系統側電圧)及び位相が系統側電圧及び位相と合致した時点で連系遮断器を投入してシステム連系を行う。連系後 PWM の通流率を次第に大きくするとともに、インバータ出力と系統間の電圧位相差 δ を次第に大きくして直流電圧を低下させ、PWM の通流率がほぼ 1 に近づき、太陽電池の出力電圧がほぼ最適動作電圧に近づいた時点でインバータの PWM を解除して定常運転に移行させ起動を完了させる。

6. 3. 2 独立運動時の起動方法

変圧器の突流を抑制するため PWM により低い電圧で起動し、その後通流率を次第に大きくして出力電圧を上昇させる。電圧の上昇につれて電力が増加するが、太陽電池の出力に余剰がある場合はバッテリーに充電し、太陽電池の出力が不足の場合はバッテリーから放電してエネルギーバランスをとり出力電圧を一定に保つ。PWM の通流率がほぼ 1 に近づいた時点で、PWM を解除して定常運転に移行させ起動を完了させる。

7. 試験結果

7. 1 変換効率

負荷を 0~100 % に変化させたときの直交変換装置の効率測定結果を図 7. に示す。効率 η は次の計算式によっている。

$$\eta = \frac{\text{出力} - \text{制御回路損失}}{\text{入力}} \times 100$$

定格出力時に約 97 % と高い効率を示している。

7. 2 高調波含有率

独立無負荷運転でフィルタ無し、フィルタ有り時の高調波分析結果を図 8. に示す。フィルタ無し時の高調波成分及び含有率は理論通りであり、フィルタ有りの場合はフィルタの効果が顕著に現われていることがわかる。最も大きいもので 23 次高調波成分が 0.4 %, 高調波ひずみ率は総合で約 0.6 % であり、いずれも仕様値を十分満足している。

7. 3 逆圧保護試験

太陽電池の出力が小さいときで図 1. に示されている S1 点での電

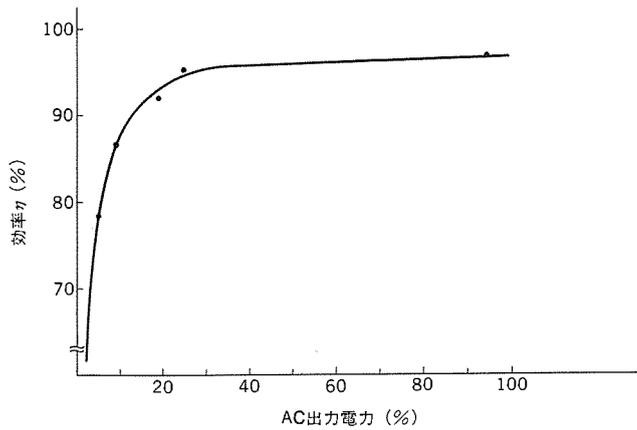


図 7. 直交変換装置の効率

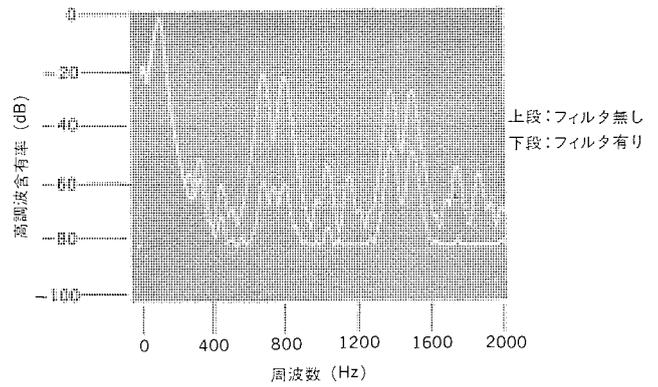


図 8. 高調波分析結果 (独立無負荷)

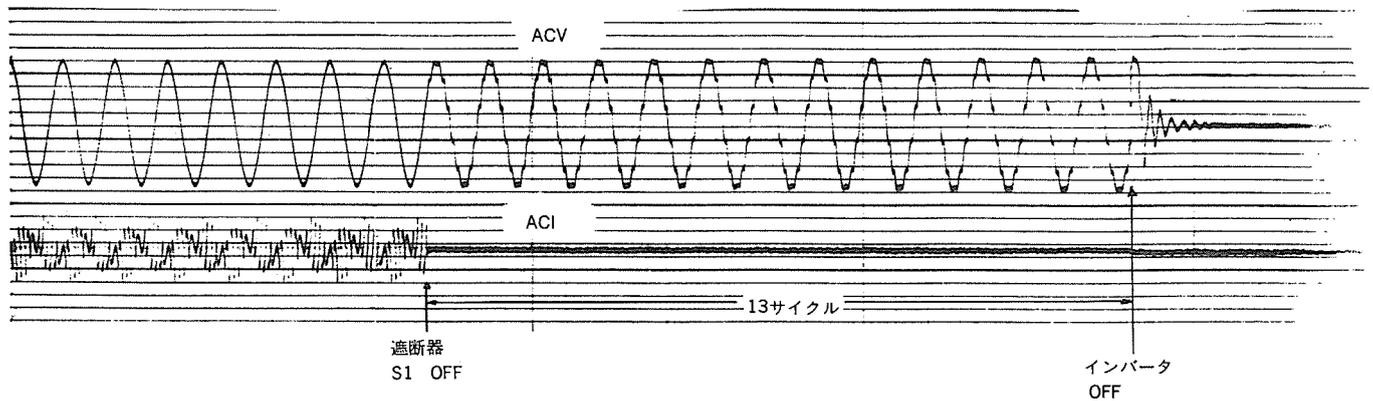


図 9. 逆圧保護試験

力授受がほぼ零のとき、すなわちインバータの出力と負荷電力がほぼ等しくパワーバランスがとれているときが最もシビアである。この場合に S1 を OFF したときの試験結果を図 9. に示す。この例では S1 OFF 時点から 13 サイクル後にインバータは周波数異常によって停止している。繰返し試験したが、12~13 サイクル (約 0.2 秒) 後に停止し逆圧保護が良好であることを確認した。

8. む す び

筆者らは サンシャイン 計画の一環として、1,000 kW 級集中配置形太陽

光発電システムのうち第一期工事の太陽電池アレー、直交変換装置、バッテリー、バッテリー制御装置及びシステム制御装置を設置した。現在システム容量は 200 kW 級であるが、各種性能試験も良好である。後引き続いて増設が行われ、昭和 60 年度には 1,000 kW 級システムとなる予定である。

最後にこのシステムの開発にあたって御教示・御尽力いただいた新エネルギー総合開発機構を始め関係者各位に深く感謝の意を表する次第である。

1. ま え が き

今日の金型業界には、金型生産の短納期化及び高精度化が強く求められている。このため、近年金型加工の主役的存在となりつつある放電加工機に対するNC化の必要性は、増加の一途をたどっている。また、合理化、省力化のためにNC装置そのものも高度化、高級化されてきている。

当社《DIAX-C6》(図1.参照)は、金型加工業界の強い要望にこたえ、また将来進められるであろうファクトリーオートメーション化にも対応できる放電加工機用NC装置として、昭和57年9月に発表されたものである。今回は、新しくこの《DIAX-C6》に付加された機能である、NC言語を知らない人でもNC装置を用いて加工ができる「自動プログラミング機能」と、作業者が、NC装置のCRT上で加工形状及び加工軌跡を目で見て理解できる「グラフィックチェック機能」についてその概要を説明する。

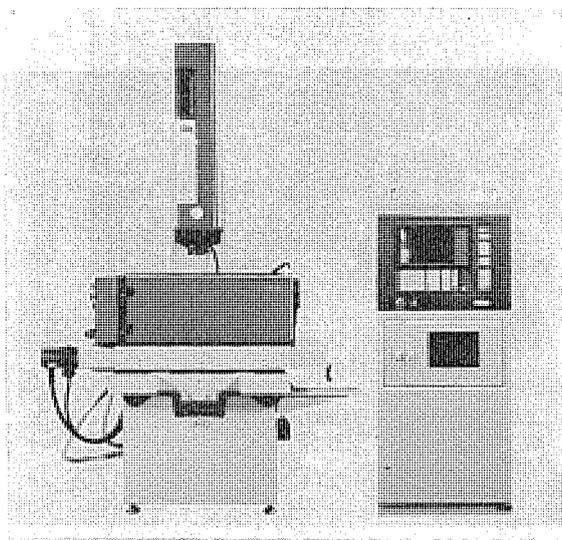


図1. C6シリーズNC放電加工機 M35C6+G30P

2. 放電加工の技術動向と《DIAX-C6》開発の背景

塑性加工は、大量生産の最も有効な手段である。しかし、塑性加工を行うために必要な金型は、従来熟練した作業員により製作されており、多種類の金型を短納期で製作することは困難であった。ところが、今日のように消費者が多様化指向となり、かつ日本経済が低成長時代に入ると、企業間の競争が一段と激しくなり、商品開発の期間は短く、製品は高精度なものが求められるようになって、金型の生産量は増大し、更に高精度なものが短納期で求められるようになってきた。このため、熟練作業員をあまり必要としないNC放電加工機の需要が増大し、これによって、金型生産の自動化、無人化が推進され、短納期かつ高精度な金型製作ができるようになってきている。

しかし、一方では新たな問題が発生しつつある。NC放電加工機の登場により、自動化、無人化は推進されつつあるが、本来の金型生産の技術に加えて、NC装置の操作を金型製造のために習得しなければならなくなってきたことである。今後もNC機能が向上し続けるであろうことは議論の余地はなく、現在までのNC機能開発の傾向が今後とも続くことになれば、NC装置を十分に使いこなすためには、かなり多くの時間をNC機能の習得に費やさざるを得なくなる。そうなれば、NC装置そのものが一部の作業員にしか操作できないものとなり、今後ますます増加すると思われる金型生産の要求には、こたえられなくなるものと考えられる。

この問題を解決するために《DIAX-C6》は以下のような目標をもって開発された。

(1) より完全な自動化、無人化稼働を行えるようにする。

自動計測機能・ATC(Automatic Tool Changer) など

(2) 高性能かつ高機能なNC装置とする。

4軸同時放電加工サーボ

(3) マンマシンインタフェースの充実

14インチカラーCRTを用いた多種の機能対応画面

(4) 初心者から高度な技術者まで、その技術程度に応じてだれでも製品加工を行えるようにする

自動プログラム、グラフィックチェック

以上の4目標のうち、今回紹介する「自動プログラム」及び「グラフィックチェック」は、(4)の項目に該当するものであるが、これら二つの機能の実現により、「高度なNC装置をだれでも自由に用いて金型加工が行える」という目標に大きく近づいたものと考えている。

3. C6自動プログラムの特長及び入力例

3.1 C6自動プログラム(対話形Simple-Data-Input)の特長

対話形Simple-Data-Inputは、「だれにでも使えるNC」をテーマとして、《DIAX-C6》用に開発した機能である。対話形Simple-Data-Inputは、作業員がNCプログラム(NCテープ)を作成することなく、加工に必要なデータを、表示画面と対話する方法で入力するだけで、NC放電加工機を十分に使いこなすことを目標として開発した。操作方法は、《DIAX-C6》の持つカラーCRTとソフトメニュー選択方式を利用して、必要なデータをCRT上のカーソルの表示されている位置に入力するのみでよく、次の特長を持つ。

(1) メニュー選択方式により、位置決めパターン(5種類)(図2.参照)、加工パターン(6種類)(図3.参照)が、それぞれワンタッチでCRT上に表示される。

(2) 対話形Simple-Data-Inputは、放電加工で通常使用されるほとんどのパターンを用意しており、位置決めパターンには、端面からの位置決め、穴中心位置決めなどがあり、加工パターンには、電気加工条件、揺動加工条件、電極番号、多数個取り、多段加工などが用意されている。

(3) 位置決めパターンでは、位置決め位置及び方向を示す図が

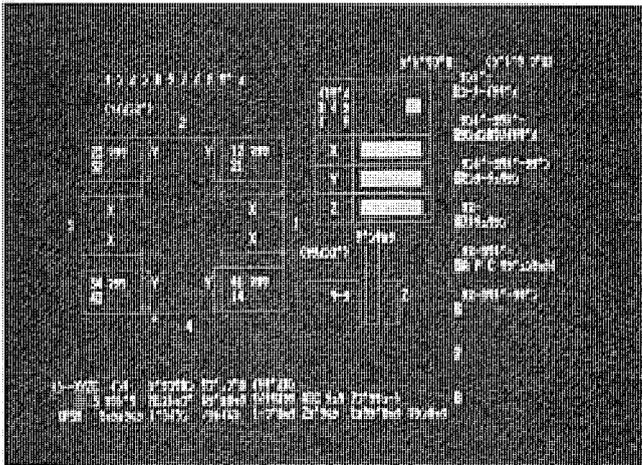


図 2. 対話形 Simple-Data-Input コーナ位置決め



図 3. 対話形 Simple-Data-Input 単動揺動多段加工

CRT 上に表示され、加工パターンでは、必要なパラメータ名と、パラメータ設定用の枠が表示される。作業者は、背景色が赤色で表示される枠の中に、表示されるカーソルに従って穴埋め的に数値を入力するのみでよい。

(4) パラメータの入力は、カーソルの移動に従って入力され、入力時点でエラーチェックを行う方式のため、エラーは即時にチェックされ、訂正もその時に行うことができるので、加工時に失敗を犯す可能性が低い、フェイルセーフ設計となっている。

(5) 作成されたプログラムは、そのまま直ちに実行することができる。また、ラベルを付けてメモリ(パルメモリ)に登録しておくことも可能であるため、後日、登録されたプログラムを CRT 上に呼び出して使用することもできる。

(6) 放電加工特有の加工ノウハウを内蔵している。一例として、自動加工条件の設定及び自動揺動加工パターンを用いると、荒加工と仕上げ加工の条件を設定するだけで、荒加工から仕上げ加工までを自動的に実行する。仕上げに至るまでの加工条件及び揺動量は、自動的に切り換えられ、最適な加工プロセスにより加工が行われるため、最短時間で、希望の仕上り寸法、面粗さに放電加工を行うことができる。

3.2 対話形 Simple-Data-Input の入力例

(1) コーナ位置決め

ワーク(金型材)の各端面で自動端面位置決めを行い、コーナーエッジから指定の位置に位置決めを行う。入力するパラメータは、CRT に表示

される位置決めを行うコーナの番号、位置決めする XY の位置、開始時におけるワークと電極の高さの差である。

(2) 単動揺動多段加工

1本の電極を用いて加工を行う場合に用いられる加工パターンである。入力するパラメータは、CRT 上に表示される加工深さ、荒加工時面粗さ、仕上り面粗さ、電極縮小代(仕上り寸法と電極寸法の差の1/2)などである。これらのパラメータにより、自動的に加工条件を切り換えながら、最適な加工プロセスに従って、仕上げ加工までを行う。

4. C6 グラフィックチェックの特長及び操作例

4.1 C6 グラフィックチェックの特長

C6 グラフィックチェック機能は、「加工形状を目で見て理解できる NC」をテーマとして開発したものである。放電加工機は、他の工作機械と異なり工具(電極)の形が多彩であり、主に工具の形を金型材(ワーク)に複製することに用いられる。このため、工具移動軌跡以外に、揺動加工状態を表示する機能が必要となる。このように、放電加工機独特の加工についてのグラフィックチェックが行えるように、C6 グラフィックチェック機能は構成されており、次の特長を持つ。

(1) ワークと電極の形状、大きさ及び位置関係などを、CRT に表示された図に従って設定する(図4.参照)だけで、チェック画面上にワークと電極が表示されるため、工具軌跡のみの表示に比べ具体的に加工の様子を理解できる。

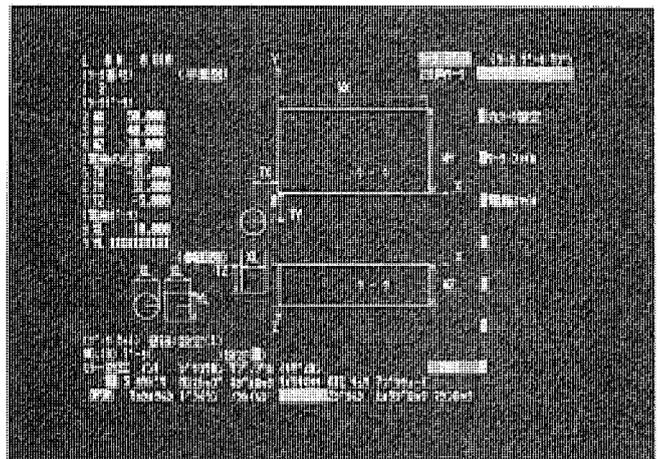


図 4. ワーク、電極データ設定画面

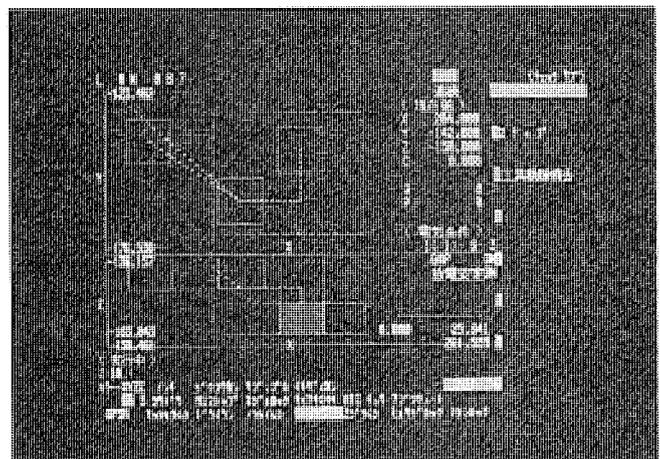


図 5. グラフィックチェックの2平面表示例

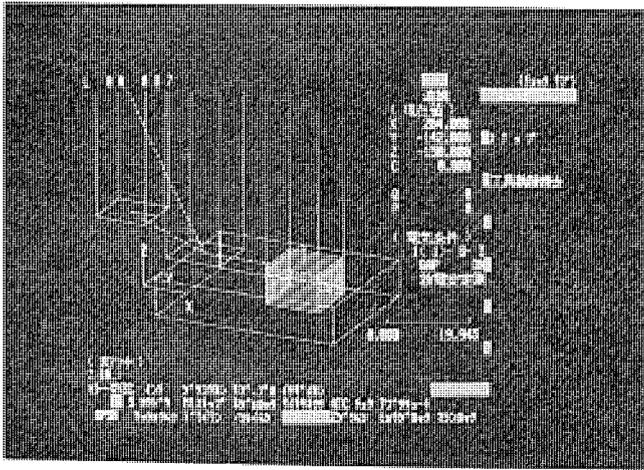


図 6. グラフィックチェックの立体表示例

- (2) 放電加工用 NC プログラムすべて (C6 自動プログラミング, NC テープ, メモリ 運転, MDI) のチェックが行える。
- (3) 加工形状の表示は, 1 平面表示 (X-Y, X-Z, Z-X), 2 平面表示 (XY-XZ, YX-YZ) (図 5. 参照) 及び立体表示 (3D) (図 6. 参照) を自由に切り換えて行うことができるため, 目で見て即座にイメージを理解できる。
- (4) 画面効果として, 回転, 拡大, 縮小, 平行移動が行えるため, 全体の把握も, 細部のチェックも容易に行える。
- (5) 四角ワーク, 工具 (電極) などのデータを, ワークファイルとして登録しておくことが可能なため, 必要な時に必要なワークと工具の関係を利用することができる。
- (6) 「工具軌跡消去」機能があるため, 加工仕上り状況を理解しやすい。
- (7) 表示には, 漢字表示を採用し, ワークと工具は緑, 工具移動軌跡は白, 入力パラメータは黄, などのように, 状態を一目で把握できるように配慮されている。

4.2 C6 グラフィックチェックの操作例

四角ワークに丸形の工具 (電極) を用いて加工する場合は, ワークデータとして, 四角ワークの縦横の寸法, 工具の直径, 及びワークと工具の開始位置関係を, 画面上の空白部分をうめるようにして設定する。次に表示効果として, 表示様式 (2 平面表示など), 拡大, 縮小, 平行移動を目的に応じて設定する。これらの準備を終了した後, チェックする NC プログラム (C6 自動プログラム, メモリ 運転など) を実行することにより, チェック画面に, ワークと工具が表示され, NC 指令に従って, 工具の移動及び移動軌跡が表示される。また, 揺動加工は, 揺動する電極を赤色表示した後, 加工穴を描き, 最後に揺動軌跡を描いて, 放電加工独特の加工のチェックが可能となっている。

5. ハードウェア及びソフトウェアの構成

5.1 ハードウェアの構成

C6 制御装置は, メイン制御ユニットとディスプレイ制御ユニットにより構成されている (図 7.)。メイン制御ユニットは, 16 ビット高速マイクロプロセッサを 3 個用いたマルチ

プロセッサ方式を採用し, 高速演算 LSI, DMA コントローラ, RS 232 C コントローラ, 割り込み制御 コントローラ など多くの機能を持っている。また, メモリは, メインメモリ 512 K バイト RAM, 共有メモリ 64 K バイト RAM のほかに補助メモリ (パブルメモリ) を最大 1 M バイトを備えている。

ディスプレイ制御ユニットは, 16 ビット高速マイクロプロセッサを中心に, CRT コントローラ, グラフィックディスプレイコントローラ (以下, GDC と称す), キーボードインタフェース, 機械操作パネルインタフェースなどにより構成されている。メモリは, ROM 128 K バイト, RAM 64 K バイト及びグラフィック処理用画像メモリ 384 K バイトである。今回, グラフィック機能を実現するために使用した GDC は, CRT に文字, 図などを表示するための LSI であり, 64 K バイトの画像用メモリプレーンを 6 面まで制御できる。また, GDC は, グラフィック描画のためのコマンドを持っており, そのコマンドと所定のパラメータを, マイクロプロセッサから指示するのみで, 直線, 円弧, 四辺形などの図形を自動的に描画したり, 図形の拡大, 画面の分割を行うことができる。このため, プロセッサの負荷を軽減することができ, 高速グラフィック処理が可能となっている。更に, バス構成を, プロセッサが制御するシステムバスと GDC が制御するグラフィックメモリバスに分離しているため, GDC がグラフィックメモリに対して描画処理を実行中であっても, プロセッサの処理は, 継続することが可能となっている。

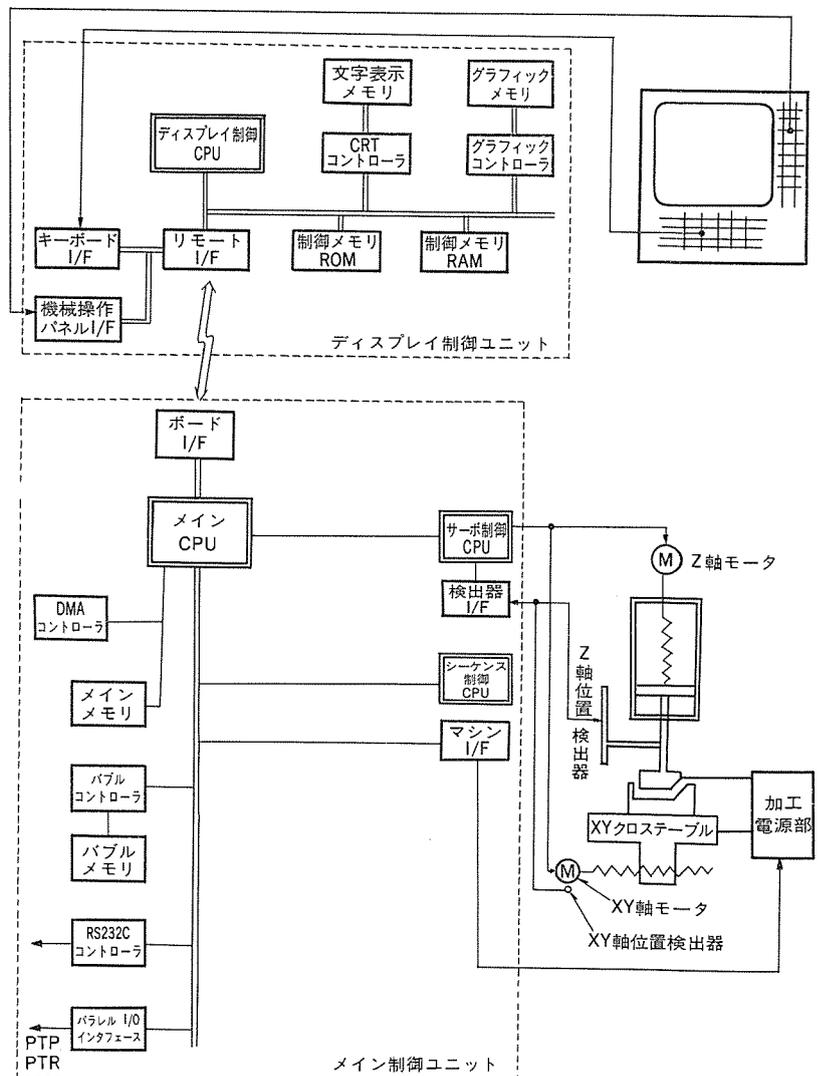


図 7. C6 ハードウェアの構成

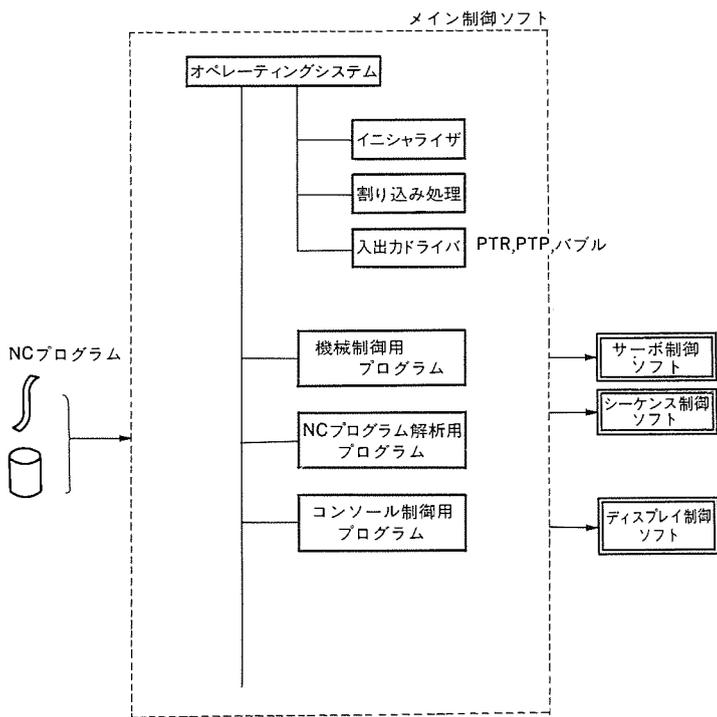


図 8. C6 ソフトウェアの構成

メイン制御ユニットとディスプレイ制御ユニット間のデータ通信は、シリアルデータ通信方式を使用しており、信号線の数は、最小限になっている。このため、信号ケーブルは、比較的細いものを長く配線することができ、ディスプレイ制御ユニットをメイン制御ユニットから離れた位置に配置しなければならない大形機への対応も容易に行える。

5.2 ソフトウェアの構成

C6ソフトウェアは、マルチプロセッサ方式を十分活用するために、メイン制御ソフト、サーボ制御ソフト、シーケンス制御ソフト、及び、ディスプレイ制御ソフトの四つのソフトウェアにより構成されている(図8.)。今回は自動プログラム及びグラフィックチェックを実現するために関係するメイン制御ソフト及びディスプレイ制御ソフトに関して述べることにする。メイン制御ソフトは、リアルタイム処理用オペレーティングシステムと、これに付属する8個のタスクにより構成されている。これらのタスクのうち、コンソール制御用プログラム、機械制御用プログラム、NCプログラム解析用プログラムが、今回の機能実現のために使用されている。更に、コンソール制御用プログラムは、通常画面処理モジュール、自動プログラミング処理モジュール及びグラフィックチェック処理モジュールにより構成されており、必要に応じてその機能を果たす(図9.)。

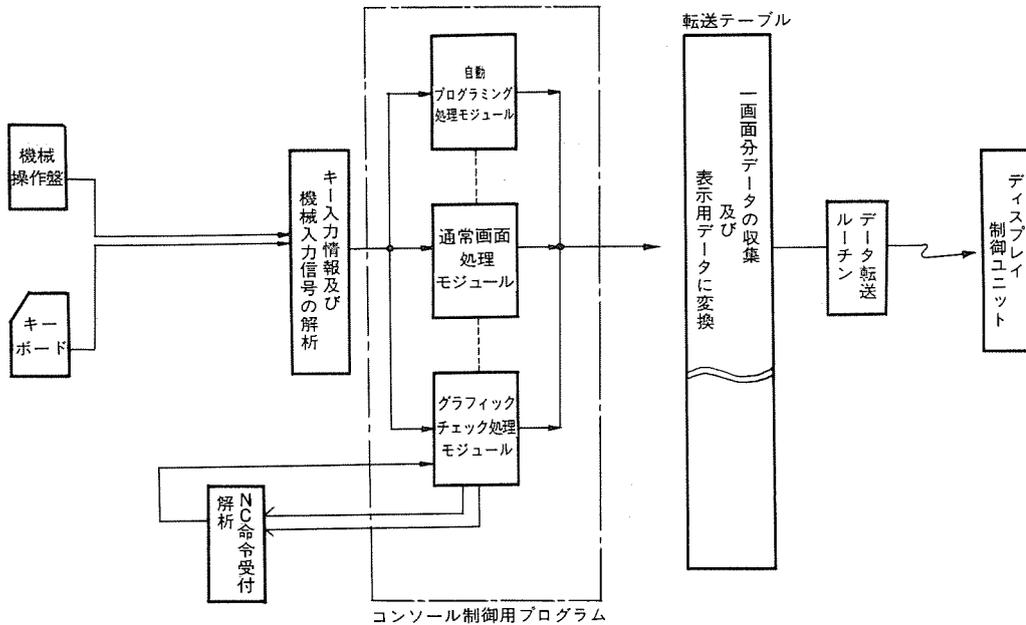


図 9. コンソール制御プログラムの概略

キー入力情報及び機械入力信号が、ディスプレイ制御ユニットからメイン制御ユニットに送られると、この情報によりコンソール制御用プログラムのいずれかのモジュールが、表示中の画面の種類に応じて実行される。コンソール制御用プログラムの処理とは、入力情報に対応したキャラクタデータ、グラフィックデータ、カラー情報、カーソル制御情報などの表示情報を、メイン制御ユニットからディスプレイ制御ユニットに転送するためのデータテーブル(転送テーブル)に設定することである。データテーブルがコンソール制御用プログラムにより設定完了した後、データテーブルは、シリアルDMA転送によってディスプレイ制御ユニットのメモリに送られ、ディスプレイ制御ソフトにより所定の表示が行われる。

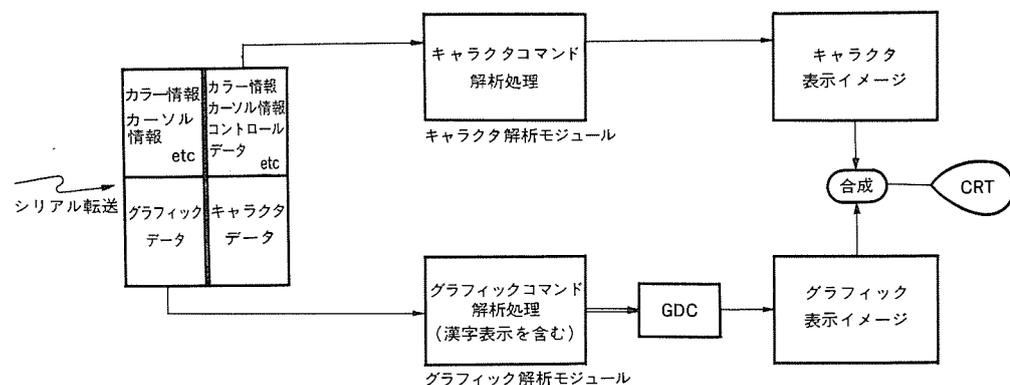


図 10. ディスプレイ制御ソフトによる表示の概略

ディスプレイ制御ソフトは、キャラクタ解析モジュール及びグラフィック解析モジュールにより構成されている(図10.)。メイン制御ソフトにより送られてきたデータは、まず、キャラクタデータとグラフィックデータに分離される。キャラクタデータと、これに付随するコントロールデータは、キャラクタ解析モジュールにより、表示している画面に応じた所

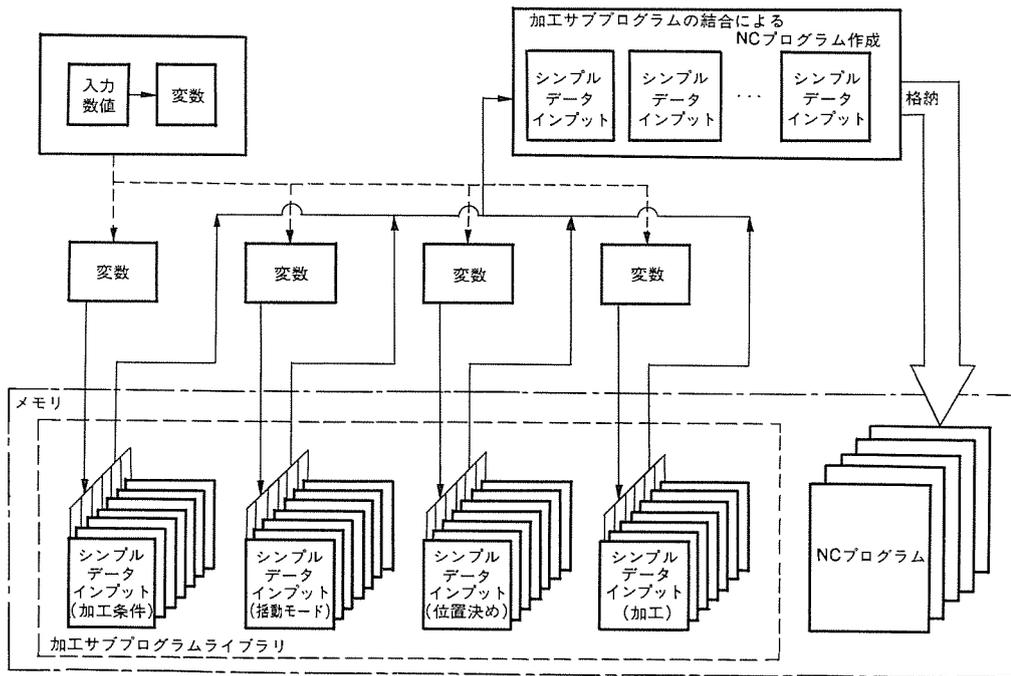


図 11. 自動プログラミングのソフトウェア構成

定の形式の画面イメージに変換され、CRT 上に表示される。一方、グラフィックデータは、グラフィック解析モジュールにより、描画処理別に GDC に送られ、CRT 上に図形として描かれる。C6 ディスプレイ表示は、以上のようにキャラクタとグラフィックが独立に処理されており、最後にハードウェアにより、両画面が合成される。また、GDC の機能を利用した漢字表示も行っている。

5.2.1 自動プログラミングの構成

C6 自動プログラミングは、C6 のメモリ内に格納されている SDI (Simple Data Input) と呼ばれる加工サブプログラムライブラリを所望の数値のみを入力することによって、NC 言語を用いずに利用するように作られている (図 11.)。C6 自動プログラミングでは、自動プログラムの各画面に対応した Simple-Data-Input プログラムを呼び出すサブプログラムコールの NC 言語に翻訳され、また入力された数値は、変数として NC 言語に翻訳される。また、作成された NC 言語のプログラムは、自動プログラミング用メモリに格納され、必要なときに実行することができる。更に、自動プログラミング用メモリは、メモリ運転及び MDI とは

独立して使用可能(共同も可)なため、他を考慮せずに使用できる特長も持っている。

5.2.2 グラフィックチェックの構成

NC プログラムによる加工は、NC プログラム解析用プログラムにより解析された NC 情報を機械制御用プログラムが実行し、補間動作、サーボ指令、シーケンス指令などを行うことにより実行される。グラフィックチェック機能は、NC プログラム解析用プログラムにより解析された NC 情報を、コンソール制御用プログラムが利用して、画面に加工をシミュレートするものである。ワークや工具の存在する空間は、実加工時と全く同等なものであり、座標系は XY

Z の各軸を持っている。オペレータにより設定されたワーク及び工具に対して、NC プログラムによる工具移動軌跡を表示し、このとき必要に応じて、視点の変更(座標の回転)、拡大、縮小、平行移動なども可能となるよう表示処理が行われる。また、ワークと工具を表示しているため、加工仕上り後の状態を表示することが可能であり、他のグラフィックチェックにはない機能を実現している。なお、グラフィックチェックは、NC プログラム解析用プログラムの機能を活用しているため、すべての NC プログラム(自動プログラム、メモリ運転、MDI、紙テープ)に対して等価な対応ができる。

6. むすび

NC 放電加工機は、歴史が比較的新しく、機能が日進月歩で進歩する技術革新の激しい機種である。本稿では、NC 制御装置の新機能である、自動プログラムとグラフィックチェックについて述べたが、今後とも金型加工システムにおける放電加工機の役割を考え、機械系、加工用電源系を含めた新技術の開発に努め、信頼性の高い放電加工機を供給する所存である。

M4234カラーサーマルプリンタ装置

中西 徹*・菊地敏幸*・品田幹夫*

1. ま え が き

プリンタはオフィスオートメーションの拡大、パーソナルコンピュータのオフィスへの大量導入という流れにより、これまでのコンピュータの出力端末機器から事務機へと考え方が変わってきている。また、最近では、CRTのカラー化が進み、プリンタにも印刷物に劣らないカラーでの高密度印字が要求されてきている。

三菱 M 4234 カラーサーマルプリンタ装置は、こうした期待にこたえるもので、オフィスコンピュータ、パーソナルコンピュータ、ワードプロセッサなどに接続され、次のような特長を持った出力装置である。

- (1) 熱転写方式を採用したため、印字音がなく騒音 50 dB 以下を実現、静かなオフィスにマッチする。
- (2) 180 ドット/インチという、高密度でタイプや印刷物のような漢字や図形を出力できる。
- (3) マゼンタ、赤、黄、シアン、青、黒、7色の文章やグラフなどを印字できる。また OHPシートにも印字できるので、会議の資料作成に最適。黒リボンだけによる印字もカセット交換で簡単にできる。
- (4) インクリボンの交換が容易なカセット式のリボン機構。しかもカセットを交換することによりカラー/モノクロ切替が可能。
- (5) イメージ印字、横拡大印字など多くの印字機能を持つ。
- (6) 感熱プリンタやインクジェットプリンタのように特殊な用紙は不要。また、連続帳票とカット紙どちらも使用できる。
- (7) 100ワット以下という低消費電力。
- (8) 机の上に置いても邪魔にならず、用紙の置き場所までも考慮した小形・軽量設計。
- (9) オフィスだけでなく、個人でも活用できる低価格。
- (10) セントロニクスインタフェース及びオプションとして RS 232 C と、汎用性の高いインタフェースを備えている。

以下に、この装置の構成及び機能上の特長を述べる。

2. M 4234 カラーサーマルプリンタ装置の構成

図 1. に M 4234 カラーサーマルプリンタ装置の外観を、表 1. に主な仕様を示す。図 2. は構成ブロック図である。この装置は、印字部、用紙搬送部からなる機構部、この機構部をコントロールしコンピュータとのデ

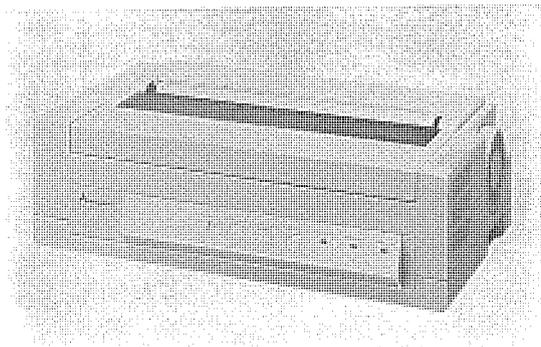


図 1. M 4234 カラーサーマルプリンタ装置の外観

表 1. M 4234 カラーサーマルプリンタ装置仕様

記録方式	熱転写
印字モード	縦1列24ドット, シリアルモード
分解能	縦・横 180ドット/インチ (7.09ドット/mm)
印字速度	ANK 45字/秒 漢字 30字/秒
最大印字数/行	ANK 80字/行 漢字 53字/行
印字仕様	文字構成(たて×よこ) ANK 19×15ドット 漢字 24×24ドット 文字寸法(たて×よこ) ANK 2.74×2.18mm 漢字 3.45×3.45mm 文字間隔 ANK 2.54mm (10CPI) 漢字 3.81mm (7.5CPI) 改行間隔 1/6インチ, 1/8インチ, 1/120×Nインチ 文字種 ANK 158種(英小文字合): 標準 漢字 第1水準 2,965種 } : オプション JIS 非漢字 453種 } 外字 199文字
印字色	モノクロ: 黒1色 カラー: 黒, イエロー, マゼンタ, シアン, 緑, 青, 赤7色 モノクロ/カラーモードは専用リボンカセットで自動切替
紙送り	カット紙 フリクションフィード 連続帳票 スプロケットフィード 1インチカット 機能
用紙の種類	普通上質紙 45~55kg OHP用フィルム
用紙のサイズ	連続帳票: 幅 100~254mm カット紙: 横(幅) 100~216mm 縦(長) 100~305mm
消費電力	80VA以下
騒音	50dBA以下

ータ受渡しをする制御部、及び操作パネル、電源部から構成される。

3. 印刷原理

この装置が採用している、熱転写記録方式について以下に述べる、図 3. に原理図を示す。熱転写記録とは、ベースフィルムにインクを塗布したリボンと用紙とを重ね合わせ、リボンの裏面からサーマルヘッドによりインクを加熱・溶融し用紙に転写させ記録するものである⁽¹⁾。現在、熱転写プリンタに使用されるインクは、ワックスを主成分にしたワックスタイプと、樹脂を用いたレジンタイプの2種類が一般的であるが、このプリンタはいずれも使用可能である。カラー記録は、色の重ね合わせによる減法混色法により実現する。この装置は、図 4. に示すように印刷の原色であるイエロー、マゼンタ、シアン、及び黒を配したリボンを備えており、これらを順次転写し重ね合わせることで、最大7色の印字が可能である。

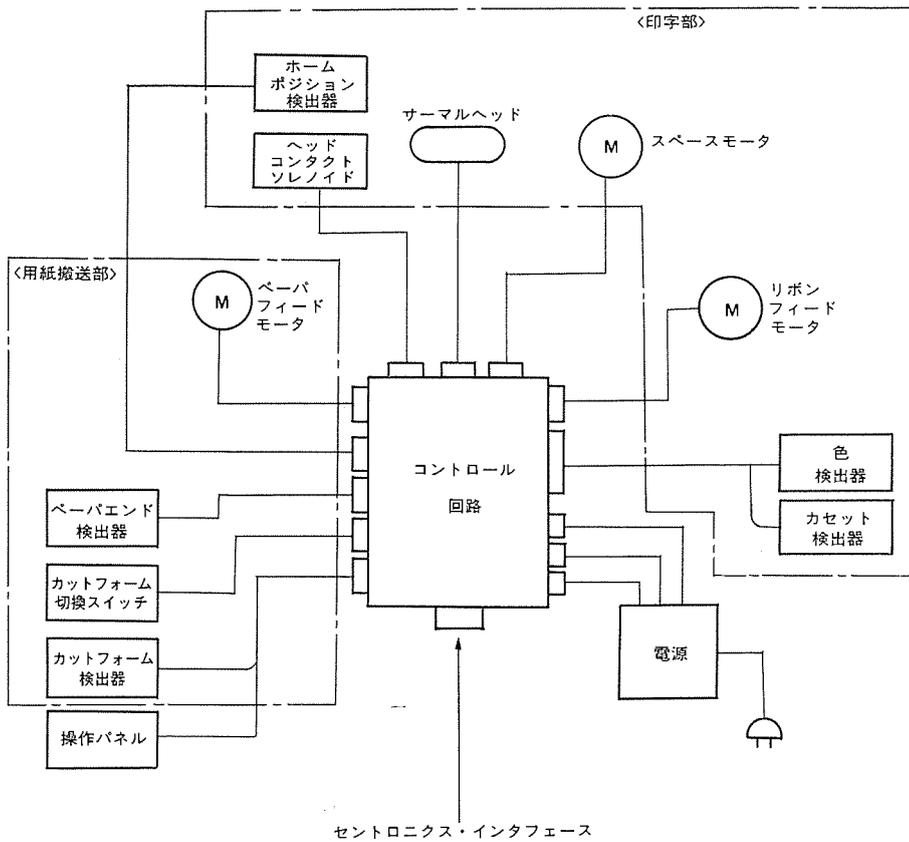


図 2. 構成ブロック図

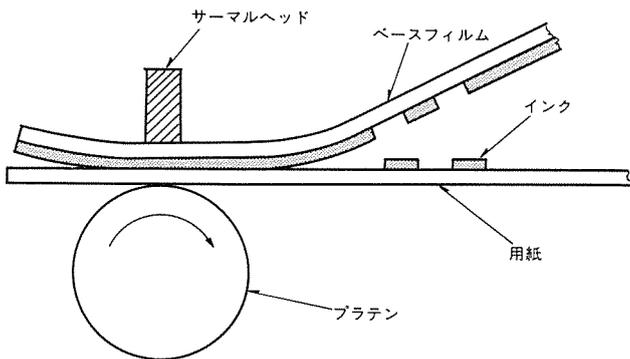


図 3. 転写原理図

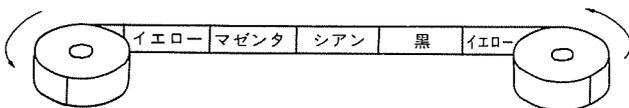


図 4. リボンのカラー構成

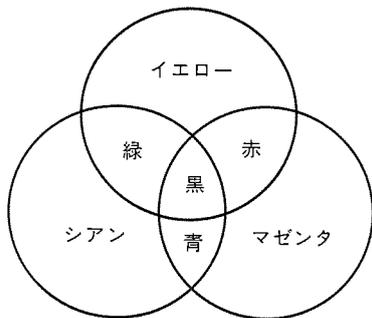


図 5. 減法混色法による色表現

- 緑色の印字を例にとると、
- (1) リボンのイエロー部分をサーマルヘッド部まで送る。
 - (2) 受信データをイエローで印字する。
 - (3) リボンのシアン部分をサーマルヘッド部まで送る。このとき、マゼンタ部分は未印字のまま巻取コアに巻き取られる。
 - (4) シアンでイエロー印字と同一データを印字する。

このように、印字動作を2度繰返すことで、重ね合わせによる混色を実現するので、単色印字の約2倍の印字時間を要するが、単一ヘッド機構であるため、色ずれのない鮮明な混色印字が得られる。黒での印字は、イエロー、マゼンタ、シアンの3色重ね合わせで実現できるが、印字時間の短縮を図るため、この装置では、黒インクをリボンに配した。図5.に減法混色法の原理図を示す。

4. 機能上の特長

4.1 用紙搬送機構

この装置の用紙搬送機構を図6.に示す。連続用紙は、装置の後方から送り込まれ、スプロケットホイール、プラテンにより正確に印字位置にセットされる。従来のプリンタでは、スプロケットホイールがプラテンの上部に置かれ、用紙を引張る紙送り方式であったが、この装置では、スプロケットホイールをプラテンの後に配して用紙を送り込む方式としたため、装置の高さを低くすることができた。また、印字部から約1インチ上方にペーパーカッタを設置したので、用紙の無駄な部分を残さずカットできる1インチカット機能を備えることができた。

カット紙は、タイプライタと同様に装置の上部から送り込まれ、プラテンで搬送される。カット紙のセットを容易に行うためにオートローディング機能があり、カット紙ガイドから挿入後FORM FEEDボタンを押すと、カット紙センサで検知されたカット紙は自動的に、用紙の上端から1インチの位置に設定された第一印字行まで送られる。このように、連続用紙とカット紙いずれの用紙でも使用可能な、用紙搬送機構を実現している。

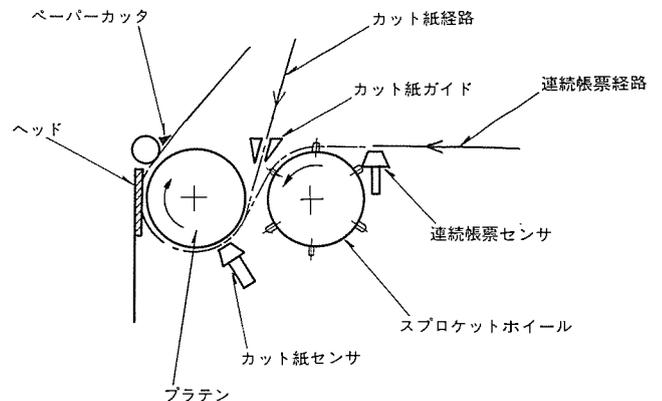


図 6. 用紙搬送機構

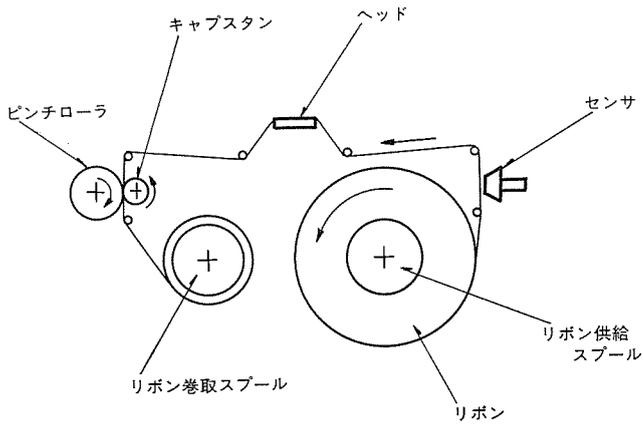


図 7. リボン送り機構

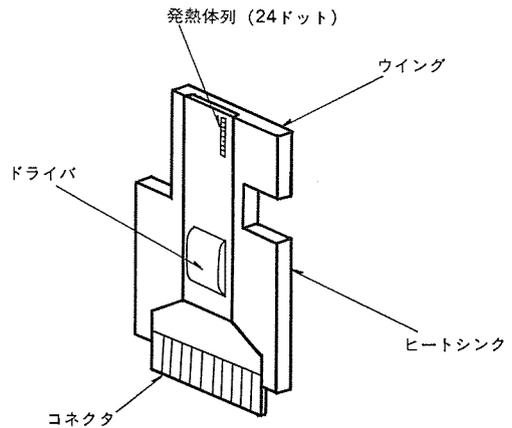


図 8. サーマルヘッド

4.2 リボン送り機構

リボン送り機構を図 7. に示す。この装置は、1 インチあたり 180 ドットの高密度、かつ、45 字/秒という高速で印字するため、リボンは印字時、リボン供給スプールからリボン巻取スプールへとキャプスタン、ピンチローラにより正確に送られ、リボンと用紙のスリップを防ぐ。リボンは、カセットに収納し、ハンドリングを容易にしている。この装置のリボン幅は、約 13 mm であり従来リボンの 1.5 倍あり、巻取スプールにリボンが完全に巻き取られた後、カセットを反転して使用することができる、2トラック機構となっている。これは、2 倍のリボンライフ、1/2 以下のランニングコストを実現する。また、カセットは簡単に分解でき、ユーザーがリボンだけ購入して入れ換えることもできる構造とし、更にランニングコストの低減を図った。この装置は、カラーとモノクロ（黒）の 2 種類のリボンを使用でき、リボンカセットの種類を装置が検知して、自動的にカラー/モノクロモードを選択する。モード検知のためにカセットにはノッチがあり、カラーモード=ノッチあり、モノクロモード=ノッチなし、と設定している。この機能は、カラー出力ソフトウェアを変更せずに、黒一色での出力を簡単に得ることを実現した。

4.3 サーマルヘッド

この装置のヘッドを図 8. に示す。シフトレジスタとラッチ回路で構成されるチップをヘッド基板上に搭載し、1.2 ミリ秒/1 ドット列の高速印字、180 ドット/インチの高解像度、及び小形・軽量化を実現した薄膜形サーマルヘッドである。特に、1 ドットあたり 1.2 ミリ秒の記録速度は、サーマルヘッドとしては最も高速であり、インクの溶融・冷却特性とバランスさせることが難しく、印字品位の向上に苦労することとなった。このため、ヒートシンク（放熱板）にウイングを設け、インクが用紙に完全に転写するまで、リボンと用紙の接触を保つようにしたので、飛躍的に印字品位が向上し、用紙上のインクによる汚れも皆無となった。また、サーマルヘッドをワンタッチで抜き差しできる機構とし、オペレータが手軽に清掃・交換できる。

4.4 制御部

制御部のブロック図を図 9. に示す。

- (1) マイクロプロセッサには D 8085 A-2 を使用し、5 MHz で動作させている。入出力ポートのアクセスはメモリマップド I/O 方式で行っており、メモリアクセスと同様な扱いにより、制御プログラムの作成やデバッグが容易になっている。
- (2) タイマは、ステッピングモータの駆動周期、ランプの点滅時間などを決めるためにあり、タイムアウトが発生すると、マイクロプロセッサに割り込みをかける。タイマには D 8253-5 を使用している。

- (3) 制御プログラム及び英数・カナのキャラクタジェネレータは ROM (Read Only Memory) に内蔵される。また、制御プログラムのための各種ワーキング領域、及び印字ドットデータを展開するためのラインバッファには RAM (Random Access Memory) が使われる。ROM には 128 K ビットのイレーザブル PROM を、RAM には 64 K ビットのスタティック RAM を使用し、実装密度をあげている。

- (4) パーソナルコンピュータなどの外部装置との接続は、パラレルデータ入力インタフェースを介して行われ、セントロニクス準拠の方式でデータを受信できるため、各種装置に接続可能となっている。

- (5) 操作パネルは、「ON LINE」スイッチ、「LINE FEED」スイッチ、「PAPER END」ランプなどからなり、本来の機能のほかに、次の機能をも兼ね備えている。

- (a) 「LINE FEED」スイッチを押しながら電源を投入すると、この装置の動作確認のための、セルフプリントが開始される。
- (b) 「FORM FEED」スイッチを押しながら電源を投入すると、メカテスト（用紙やリボンを使わずに、各種モータを連続駆動するテスト）が開始される。
- (c) サーマルヘッドの未実装やプレヒート中、ROM/RAM チェックエラーなどの状態は、ランプの点滅によってオペレータに知らせることができる。

- (6) メカインタフェースは、用紙切れ、カラー/モノクロカセット識別などのためのマイクロスイッチ、及びリボンマーク検出紙検出カットなどのためのフォトセンサ入力回路から構成されている。カラーカセット搭載時、制御プログラムは、フォトセンサ入力回路を介し、マゼンタ/イエロー/シアン/黒リボンの黒マーク長を測定することにより、各リボン色を検出し、カラー印字を行う。また、例えば緑色での印字が指定されたときは、まずイエローリボンをセンスして印字し、次にシアンリボンを探し同一ドットデータをシアンで重ね印字することにより、緑色の印字を実現する（減法混色法）。更に、リボンの往復（2トラック）印字を可能とするため、各リボンのマークは、2 番目に出現したマークを有効とするように制御している。

- (7) サーマルヘッド上に搭載されているサーミスタにより、次の制御を行っている。

- (a) サーマルヘッドに印加する電圧を可変制御する。
- (b) 一定温度になるまでサーマルヘッドをプレヒート（100 μs パルス幅でヘッドを駆動する。通常印字時は約 0.6 ms のパルス幅で駆動している）する。また印字ドットの履歴制御（前回と今回の黒ド

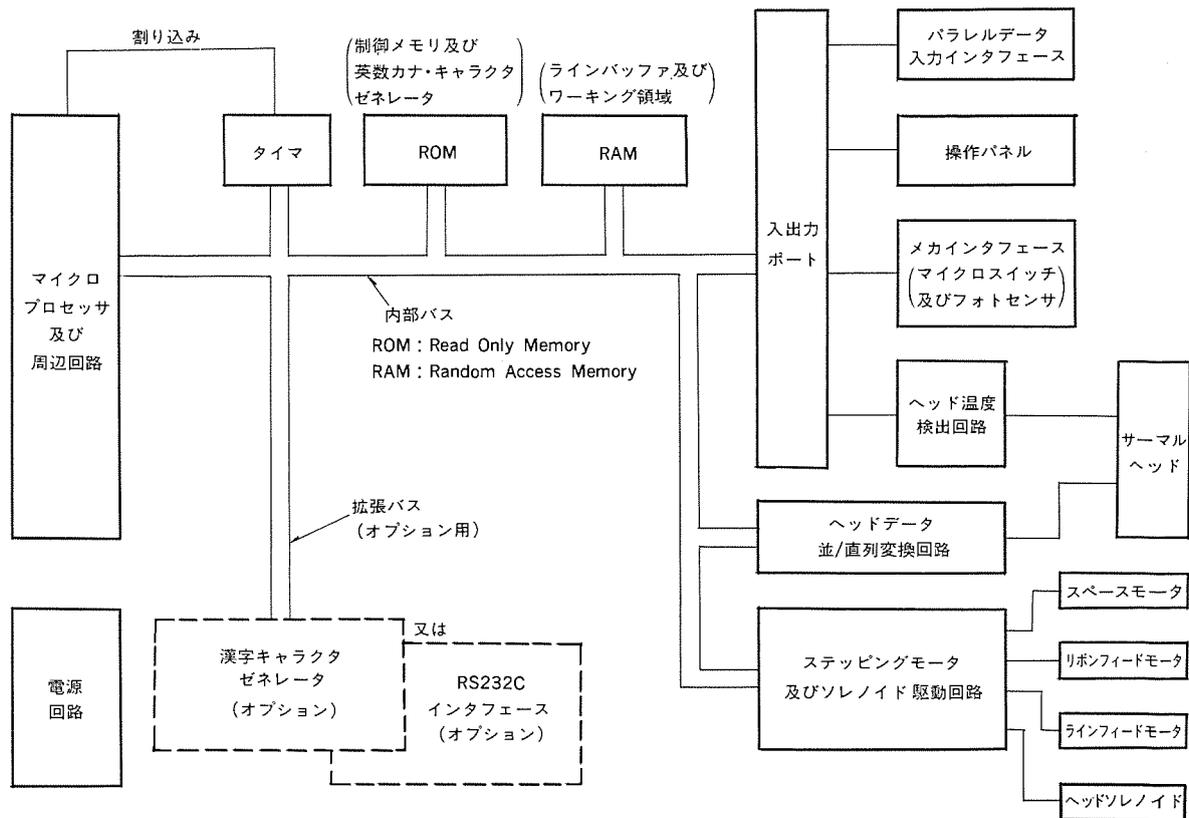


図 9. 制御部ブロック図

ット数を計算してサーマルヘッドの駆動パルス幅を切り換える制御)を、制御プログラムが行うことにより、均一な濃度が得られるようにしている。

(8) ヘッドデータ並/直列変換回路は、ラインバッファからリードした8ビットの並列データを直列データに変換し、サーマルヘッド上のIC(シフトレジスタ、ラッチ、駆動回路がチップに内蔵されている)に、クロックと同期して送るためのものである。直列データによりサーマルヘッドの信号線を大幅に減少している。更に、この回路は後述するステッピングモータの制御回路(3回路)と共に、CMOS(Complementally Metal Oxide Semiconductor)ゲートアレー化し、ICの個数減少及び装置の低価格化を達成している。

(9) スペースモータ、リボンフィードモータ及びラインフィードモータにはステッピングモータを使用し、これらのモータの制御にはそれぞれ専用回路を持ち、制御プログラムの負担を軽くしている。

(10) 拡張バスには、漢字キャラクタゼネレータ又はRS232Cインタフェースがオプションとして実装されるようになっている。

(a) 漢字キャラクタゼネレータは、256KビットのMask ROM、64KビットのスタティックRAMからなり、JIS第1水準の漢字2,965

文字、非漢字453文字の印字はもちろん、199文字の外字も扱うことができる。また、横拡大印字、縦書きなどの機能も兼ね備えている。

(b) RS232Cインタフェースは、D8251Aプログラマブル・コミュニケーション・インタフェース、ドライバ/レシーバ、DC-DCコンバータなどからなり、300~9,600b/s(ビット/秒)の調歩同期データを受信できる。また、8Kバイトの受信バッファを内蔵している。

5. む す び

以上、M4234カラーサーマルプリンタ装置の特長、機能を述べた。多様化するコンピュータシステムの中で、プリンタは人間との接点として開発され続けていくはずである。記録速度の向上、多色化、ランニングコストの低減をより押し進め、市場のニーズを先取りした、高性能で使いやすいプリンタを目指して、更に開発していきたい。

参 考 文 献

- (1) 徳永ほか：熱転写記録の考察，電子通信学会技術研究報告，EMC 75-41 (昭51-3)

新形ガスファンヒーター GD-30A形

古森秀樹*・中村 進**・牧野寿彦**・門間 修**・勝股文則**

1. ま え が き

近年の暖房機市場における需要構造の変化の一つとして、都市部におけるガスファンヒーターの急成長があげられる。そこで、当社も、この市場に本格的に参入すべく、低NOx(窒素酸化物)燃焼、省エネルギー、省スペースを追求した、新形ガスファンヒーター「GD-30A形」(図1.)を開発し、昭和58年度の発売に至った。

燃焼排気ガスの清浄性—CO(一酸化炭素)及びNOxの濃度が低いこと—は、開放燃焼式の暖房機であるファンヒーターの重要技術課題であるが、全一次表面燃焼式メッシュバーナの開発によって、CO濃度を増加することなく、NOx濃度を低減した。また、省エネルギー(低燃費)を実現するためには、2バーナ方式を採用し、強燃焼(Hi)と弱燃焼(Low)の入力比(H/L燃焼比)を3/1に拡大して、暖め過ぎの無駄をなくすとともに、温風下吹き出し方式にして、室内上下温度分布の改善を行った。省スペースの実現については、新開発の小形シロココファン(ふく流ファン)の採用と、このファンの吸引圧力を利用して、一次空気の供給を補助する方式にすることにより、混合管部の小形化を行い、これを達成した。本稿では、上記の内容を中心に、新形ガスファンヒーターの技術課題をどのように解決したかを述べる。

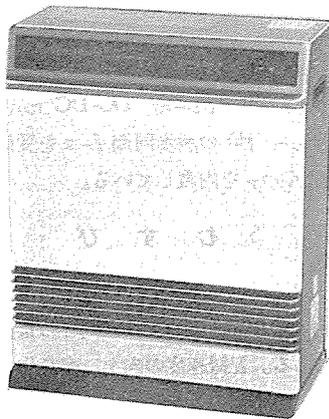


図1. GD-30A形ガスファンヒーター外観

2. 低NOxバーナの開発

開放燃焼式の暖房機であるファンヒーターは、燃焼排気ガス中のNOxの低下が最大の課題であり、従来から、セラミックプレートを用いた。表面燃焼式バーナの検討及び製品化を行ってきたが⁽¹⁾、より一層の低NOx化が望まれていた。これを達成するバーナの必要条件としては、圧力損失が少なく、希薄燃焼が可能であること、付帯条件として、シンプル、低コストで製品化がしやすいことなどがあげられるが、これらを満たすものとして、メッシュ(金網)を用いた表面燃焼方式のバーナが最適であった。この章では、メッシュバー

ナの燃焼特性及び開発過程の概要を述べる。

2.1 メッシュバーナの燃焼特性

線径0.23mm、32メッシュのステンレス(SUS)製金網を用い、空気比(供給空気量/理論燃焼空気量) $\mu=1.3$ における単位面積当りの入力 Q (燃料:プロパン、 C_3H_8)とメッシュ温度 T_s 、排気ガス中のNOx濃度及びCO濃度の測定例を図2.に示す。(温度測定は光高温計で行った)この結果によれば、メッシュ温度 T_s は入力依存性が大きく、低入力側では火炎が冷却されることにより、 T_s が700°C程度でCOの発生が多くなる。高入力側では T_s が高くなり、約950°C程度で逆火(火炎がバーナの炎孔を通過して、混合室内で燃焼する状態をいう)が発生する。したがって、メッシュバーナでは、COの発生、逆火及びメッシュの耐熱性を考慮して T_s の範囲を決定すればよい。

2.1.1 NOxの排出

メッシュバーナの排出量は、通常の全一次炎やブンゼン炎に比べて極めて少なく、1けた以上も小さい値である。この項では、NOxの生成機構について説明する。空気—プロパン、 $\mu=1.0$ の場合のNOx、HC(未燃燃料)の分析結果を図3.に示す。横軸は最高火炎温度 T_f の逆数である。図中の白印は焼結金属を用いた平面火炎での従来の測定例であり⁽²⁾、今回の測定結果は黒印で示す。今回の測定は低温域まで広げて行ったが、重複する測定領域では、両者のNOx値は一致しており、測定の再現性の良さが示されている。□印は火炎中のNOx分布から求めたプロンプトNO(炭化水素系燃料の中間分解物を經由して、火炎帯内で急速に生成されるNO)濃度である。前報⁽¹⁾では、このプロンプトNO濃度の温度依存性が小さいことから、低温領域において、NOx濃度はあまり低下しないと予想した。しかし、今回の測定は、低温領域においてNOx濃度がプロンプトNOの予想値よりも大幅に低いことを示している。この原因を明らかにするために、低温領域における飽和イオン電流 I_s の挙動を調べた結果を図

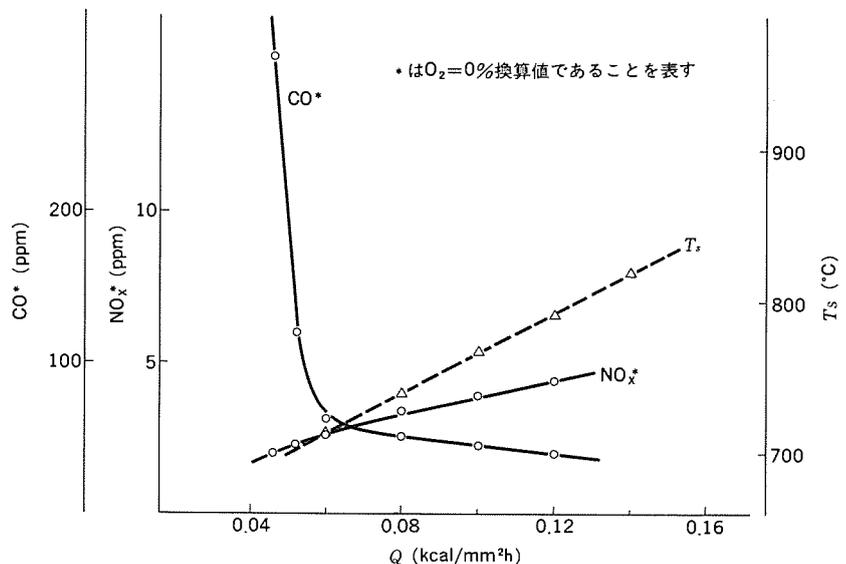


図2. 単位面積当りの入力と T_s 、 NO_x^* 、 CO^* の関係

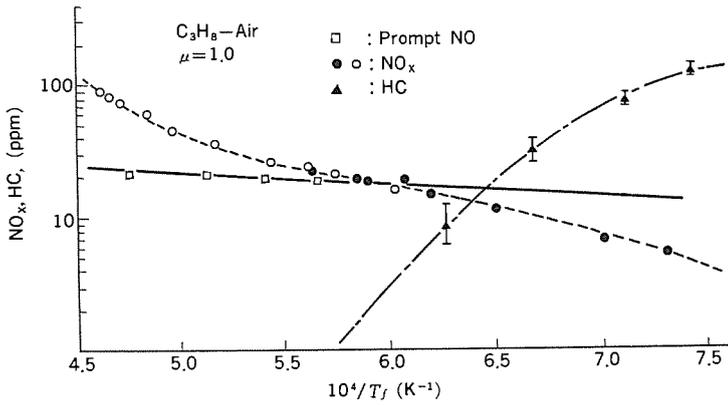


図 3. 「空気—プロパン」 $\mu=1.0$ の場合の NO_x , HC 濃度

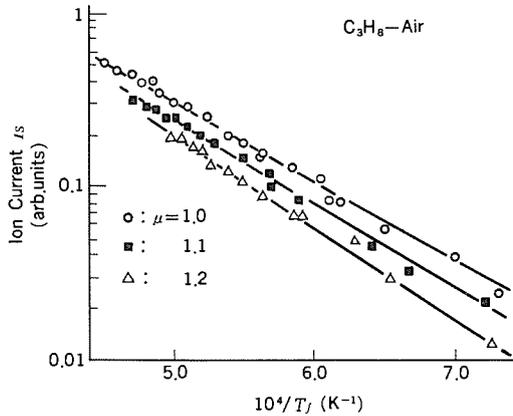


図 4. 「空気—プロパン」 燃焼における低温領域の飽和イオン電流

4. に示す。これより、 I_s は高温側より単調に減少しており、プロンプト NO の生成特性に変化を及ぼすほどの反応機構の変化がないことが分かった、また図 3. では、 NO_x の低下する領域には HC が存在することが判明している。したがって、低温領域における NO_x 濃度の減少は主として、酸化反応が遅いため、燃料の炭化水素の分解が遅れ、HC や NH などによる還元反応が生じるためと推察される。なお、図中の NC 量は反応帯直後の値であり、バーナ出口ではほぼ 0 ppm となる。

2. 1. 2 メッシュバーナの逆火特性

前項で述べたように、メッシュバーナは、低 NO_x 化に対しては優れた特性を持つが、高温のメッシュ間を混合気が通過して燃焼しているため、混合気への逆火が生じやすく、これをいかに防ぐかがバーナ開発の上で重要なポイントである。したがって、ここでは逆火のメカニズムを検討した。通常、炭化水素系燃料と空気との予混合火炎の燃焼速度 S_u は 10~40 cm/s 程度であり、メッシュを通過する混合気の流速より大きい。このため、メッシュの後流で点火を行うと、火炎面は前進（上流側に進む）し、メッシュに到達する。しかし、メッシュは火炎に比べ温度が低いため、火炎が冷却され、活性化学種（燃焼反応の過程で生ずる活性な中間分解物）を吸収されてしまって、それ以上前進することができず、メッシュの後方に停滞して、安定して燃焼する。停滞した火炎が更に前進する現象が逆火である。

結城⁽³⁾らは、メッシュバーナの逆火について、①メッシュ自身が点火源となり生ずる逆火、と②メッシュ後方の火炎がメッシュのすき間を通過して生じる逆火、の二つの機構を考察し、逆火発生条件を詳細に調べている。それによれば、逆火はメッシュ温度 T_M を火炎温度とす

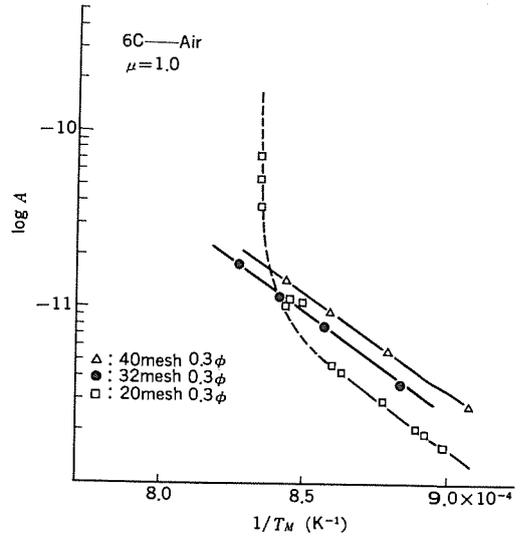


図 5. 「空気—6C」 燃焼における逆火特性

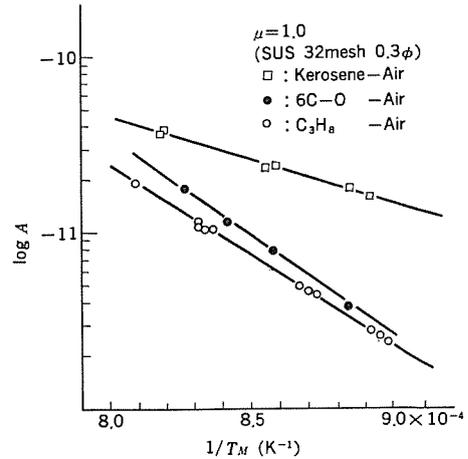


図 6. 灯油・プロパンにおける逆火特性

る仮想平面火炎の燃焼速度 S_u が、混合気流速 U_0 よりも大きくなったときに発生する。

$$\text{条件式 } U_0^2 \leq S_u^2 = K T_0^2 T_M^{4.9} \frac{e^{-E/RT_M}}{(T_M - T_0)^3} \equiv A e^{-E/RT_M} \dots (1)$$

ここで、 U_0 : 混合気流速、 S_u : 燃焼速度、 T_M : メッシュ温度 T_0 : 混合気温度、 K : 定数、 R : ガス定数、 E : 活性化エネルギーである。逆火の瞬間の T_0 , T_M , U_0 を測定し、式(1)の妥当性を検討した結果を図 5. に示す。ここでは、都市ガス (6C) を燃料として、3種類のメッシュにおける逆火時のデータを整理している。20メッシュの高温領域を除いて各データは、それぞれ傾きの等しい直線で示されており、この傾きが活性化エネルギー E を与える。ただし、定数 K の値はメッシュのすき間が大きいほど小さい。これは、同一 T_M では、メッシュ線径が小さいほど逆火しにくいことを示しており、着火源の面積と対応していると考えられる。なお、20メッシュの高温領域に直線関係が成立しないのは、②の逆火機構によるものであることが判明している。灯油、プロパンを燃料とした場合の測定結果を図 6. に示す。

以上で求めた K , E の値を使用して、「プロパン—空気」炎の場合を例にとり、より理解しやすいグラフに整理した結果を図 7. に示す。

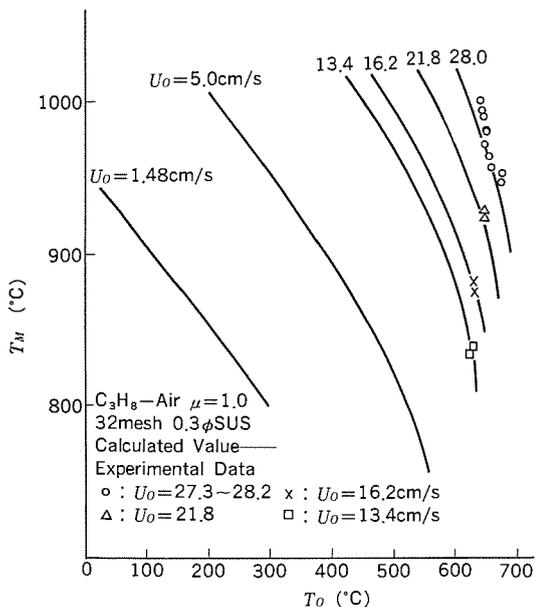


図 7. 「空気-プロパン」燃焼における逆火特性の計算値と実測値の対照

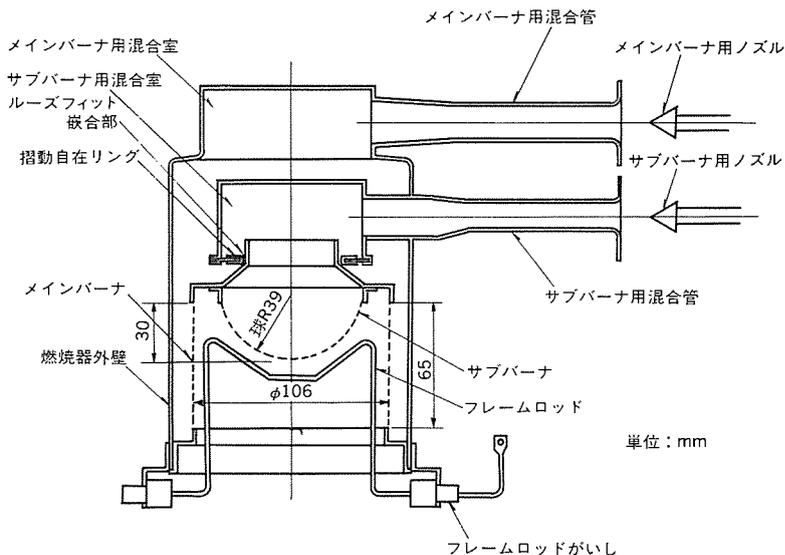


図 8. GD-30 A 形のバーナ構造図

合室内の混合気が、メインバーナ側へ流入して燃焼性能を悪化するため、これを最小限に留めながら、メインバーナの膨張の吸収を行った。

計算値は測定値によく一致しており、逆火モデル及び条件式(1)の有効性が確認された。

2.2 バーナ形状諸元の決定

2.2.1 メッシュの粗さ、線径、材料の決定

前節で述べた逆火メカニズムの準理論、並びに詳細な実験結果、更に、ごみ、ほこりなどによるメッシュの目詰り、高温酸化特性などを考慮して、素線径 0.29 mm, 30 メッシュの鉄クロム線金網を採用した。

2.2.2 バーナ構成、寸法の決定

機器のコンパクト性を考え、基本的なバーナ形状は円筒形とした。また、入力切換比として、後述する「暖めすぎの無駄」を少なくするために「 $H/L=3/1$ 」の制御比が要求されたため、2バーナ構成とした。これは、低 NO_x 燃焼の要求から採用したメッシュバーナにおいては、単一のバーナの入り可変範囲は、CO の発生と逆火の発生から 1~0.5 程度に制限されるため、メインバーナを 2,000 kcal/h, サブバーナを 1,000 kcal/h に構成し、両方同時燃焼の場合を H, サブバーナのみを燃焼させた場合を L とし、メッシュ温度、及び燃焼性が最良 ($T_s \approx 800^\circ C$, $CO^* \approx 40$ ppm, $NO_x^* \approx 4$ ppm) となるように決定した。GD-30 A のバーナ構造及び寸法を図 8. に示す。このバーナ構成においてポイントとなったのは次の点であった。第 1 点は、Hi/Low 切換の際の火移りのしやすさである。火移りが遅いと、臭気となって室内に放出されたり、爆発的な着火を起こすことになる。このため、サブバーナを半球状に形成して、メインバーナとサブバーナの距離の短い部分を持ちながら、円筒と半球の形状差により、同時燃焼時に、お互いのふく射による熱的干渉を少なくするよう考慮した。第 2 点は、メインバーナの熱膨張の吸収である。円筒形状のメインバーナの上下両端が拘束された状態で燃焼を行えば、短時間のうちにバーナは変形するので、上端部の、サブバーナ用混合室との接合部をルーズフィットかん(嵌)合とする構造とした。メインバーナに許容できる最大圧縮荷重を実験により確認しバーナ組立時の傾きなどにより、ルーズフィット嵌合部の摩擦抵抗が増大して、許容値を超えることがないよう、径方向にしゅう(摺)動自在のリングを介して嵌合させた。また、このルーズフィット嵌合部のすき間が大きすぎると、L 燃焼時に、サブバーナ用混

3. 省エネルギーの達成

3.1 暖め過ぎの防止

室温制御方式はルームサーモによる H/L 制御方式としたが、これは《クリンヒーター》などの密閉燃焼式の温風暖房機と異なり、点火、消火時に発生する臭気が室内に放出されるため、ON-OFF 制御が採用しにくいためである。このため、春先や秋口などの端境期の暖房負荷の少ない場合に暖め過ぎによる無駄が発生する。販売対象となる東京、大阪などの代表地区における平均暖房負荷を求めると、8 畳で、外気に対する温度上昇値を 15 deg($^{\circ}C$) とした場合、1,000~1,400 kcal/h となるので、Low 燃焼時の暖房出力は 1,000 kcal/h とした。また、厳寒時における点火後の室温の立上りの早さを満足するためには、Hi 燃焼の暖房出力は 3,000 kcal/h が要求されたので、これを全一次表面燃焼式メッシュバーナで実現するために、前述の 2バーナ構成とした。

3.2 室内上下温度分布の改善

温風暖房方式における省エネルギー達成の要点は頭寒足熱形の室内温度分布に近づけることにあるが、新形ガスファンヒーターではこれを、小形シロッコファンによる温風下吹き出し方式により達成した。図 9. に GD-30 A の構造図を示す。燃焼により発生した熱は、一部を燃焼器外壁からの対流熱伝達で与えられた後、バーナ下部において、燃焼排気ガスと対流用空気が混合しながら、製品の最下部に位置しているファンに吸い込まれ、更にかく(攪)拌されて、温風吹き出し口から吹き出される。この際に、温風は、ファンケーシングの形状にならった方向に吹き出されることを利用して、ケーシングの方向を決定してやれば、自然に下向きの吹き出し方向を与えることができ、ルーパなどで方向性を与える場合に比べ効率よく下向きの吹き出しを得ることができた。この結果、平均温度上昇 57 deg($^{\circ}C$)、平均吹き出し初速 4.6 m/s で床面に沿って吹き出された温風は、到達距離も遠く、床面から天井面までの垂直方向温度差を 5 $^{\circ}C$ 程度にすることができた。

5. 安全装置の構成

ファンヒーターの安全装置として、特にポイントとなるのは、不完全燃焼防止装置である。室内開放式燃焼機器なるがゆえに、密閉度の極めて高い部屋で、長時間にわたって運転されたような場合には、室内の酸素濃度が低下し、燃焼に必要な酸素の不足をきたすことを考慮して機器の安全装置を構成しなければならない。また、機器内部の、一次空気取入口などに異常にほこりが詰ったり、機器の機能の一部に異常を生じたりして、燃焼に必要な空気に不足が生じたような場合にも、安全なうちに機器の運転を停止すべく構成する必要がある。GD-30 A 形では、この不完全燃焼防止装置を、炎の導電性及び整流性を利用したフレムロッドにより構成している。なお、フレムロッドは燃焼検知装置としての機能をも兼ね備えている。

炎中のイオン濃度は、理論空気比 ($\mu=1.0$) 近傍で最も大きく、その結果、図 10. に示すように、フレムロッドからバーナに流れるイオン電流 I_s は、 $\mu=1.0$ 付近をピークに、高 μ 側、低 μ 側とも低下する。この特性を利用して、定常燃焼状態では空気比の設定を $\mu=1.3\sim 1.5$ 程度にしておけば、酸素濃度低下時、あるいは、一次空気取入口の詰りなどによる空気不足が等価的に、 $\mu=1.0$ の燃焼状態へと近づくことになり、 I_s は増大する。新形ガスファンヒーター GD-30 A 形では、マイコンを使用して、点火後 5 分経過してからの、安定した燃焼状態での I_s 値を初期値として記憶し、この値に、あらかじめ決められた倍率を乗じた値を規制値とし、酸素濃度低下や一次空気不足などにより機器の I_s 値が増大して規制値を超えた場合に運転を停止する。なお、上記のシステムでは、点火時に既に異常があるような場合が検出できないので、あらかじめ決められた、 I_s の絶対値で与えられた規制値を設けて、これを補助している。上記の I_s の変化特性は、H

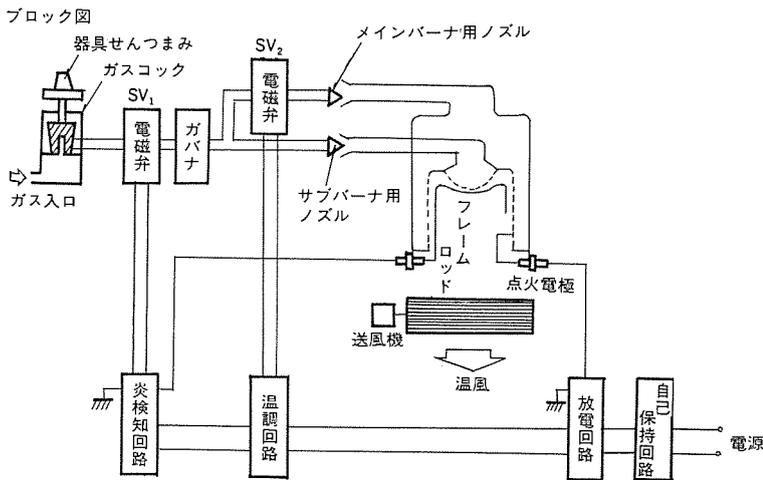
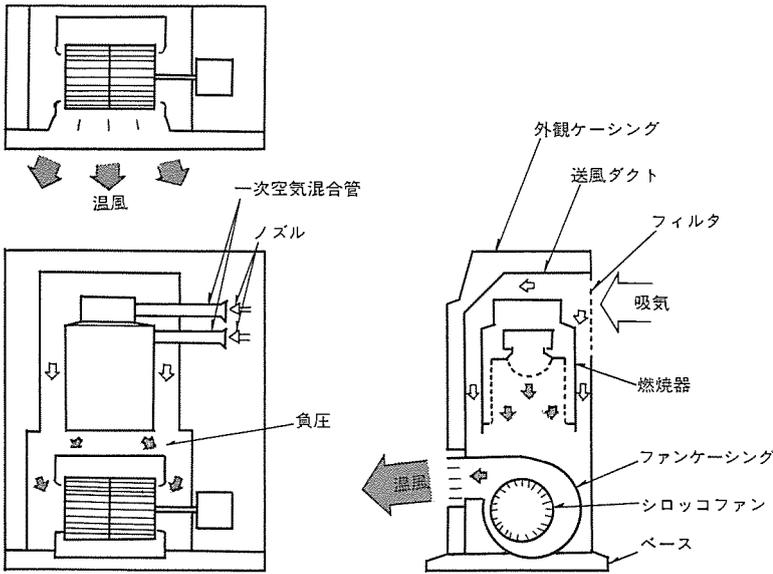


図 9. GD-30 A 形の構造図

4. 省スペースの達成

省スペースの観点からは本体幅を小さくすることが有効であるが、従来から暖房機用ファンとして主に用いられていた、ラインフローファンでは、所要性能(風量、騒音)を得るためには、羽根径を大きくするか、翌根幅を大きくするかしなければならなかったが、節弦比(羽根外径ピッチ/弦長)を 0.7 程度とし、これに最適形状のスクロールを組み合わせ、小形で高性能のシロッコファンを開発した。また、このシロッコファンを本体の最下部に位置させたことが、床上 130 mm 程度の最適高さ位置から、温風をわずかに下向きに吹き出して、温風の到達距離を遠く、かつ、床面の温度を、じゅうたんや畳を变色させない温度範囲にしながらも、本体内のスペースを、ファンのケーシングとして有効に活用し、製品の高さ寸法のコンパクト化を達成した。更に、製品幅を小さくすることができた一因として、全一次表面燃焼式メッシュバーナの一次空気取入れ法として、ノズルからのガス噴出エネルギーによるエジェクター(ejector)効果⁽⁴⁾にプラスして、シロッコファンの吸引圧力をバーナの出口部分に作用させることによって、一次空気混合管の、のど部の径を小さく、長さを短くしながら、所要の一次空気率を得ることができたことも大きく寄与している。

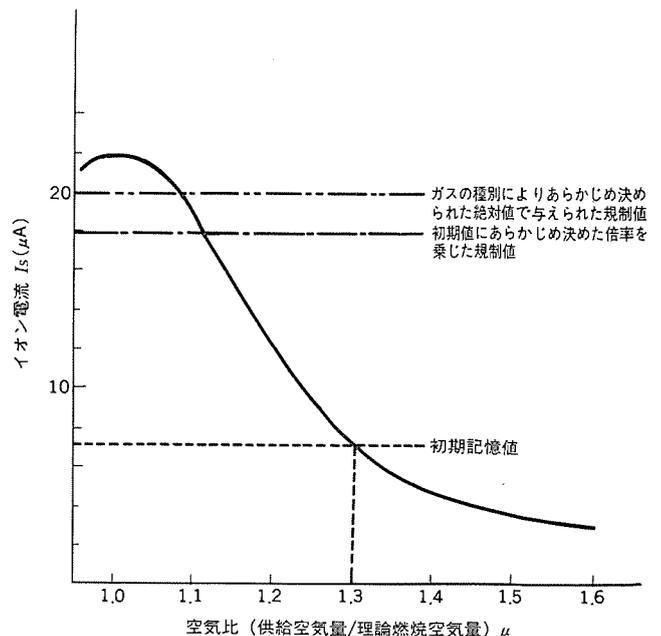
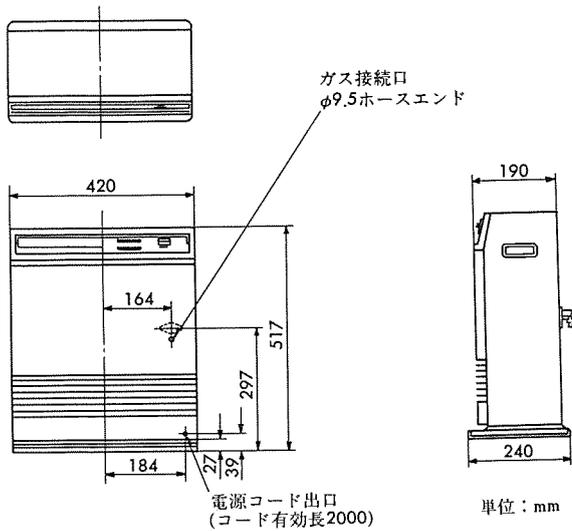


図 10. フレムロッド電流特性図

表 1. GD-30 A 形仕様一覧
仕様



燃焼の場合も、L燃焼の場合も同じ傾向ではあるが、 I_s の絶対値は異なるので、制御を複雑にしないために、L燃焼の場合は、20分に1回の割合で、1分間のみ強制的にH燃焼に切り換えて、H燃焼の規制値でチェックを行う方式を採用している。その他、ガスの種別により I_s の値は変化するので、前述の規制値はすべてガスの種別ごとに設定されている。

このほか、逆火、過熱、ファン停止、転倒などのあらゆる異常に対して、安全に機器の運転を停止する安全装置を備えており、仕様一覧表を表 1. に示す。

6. む す び

ガスファンヒーターは、ここ数年の間、急速に普及するものと考えられる。

GD-30 A 形の開発を機に、当社も本格的にこの市場に参入したが、今後ますます燃焼排気ガスの清浄化、並びに省エネルギー化の要求が強まる傾向にあるので、これにこたえるべく製品開発の努力を続けていくつもりである。

参 考 文 献

- (1) 松井ほか：三菱電機技報，56，No. 4，p. 61（昭57）
- (2) Y. Matsui, et al：Combustion Flame 32, 205（1978）

		GD-30 A	
製品種別	強制対流形開放式温風暖房機		
外形寸法 (mm)	高さ 517 幅 420 奥行 190 (脚部 340)		
重量 (kg)	12		
ガス接続	φ9.5 ゴム管		
電気接続	単相 100 V 50/60 Hz		
点火方式	高圧連続放電ダイレクト点火		
使用ガス種	4 C, 5 A, 5 C, 6 A, 6 B, 6 C, 7 C, 12 A, 13 A		LPG
ガス消費量 (kcal/h)	3,000		0.2 kg/h
暖房能力 (kcal/h)	3,000		2,880 kcal/h
消費電力 (W) 50/60 Hz	強 34/30		
風量 (m³/mm)	強 3.0/弱 1.7		
運転音 (ホン)	強 39/弱 31		
暖房適室	木造 9畳 (15.0 m³) まで コンクリート 12畳 (20.0 m³) まで		
バーナ形式	全一次表面燃焼式		
バ ー ナ	ユニバーサル性	ユニバーサル	
	炎孔形式	メッシュ	
	炎孔の大きさ, 数	縁径 φ0.29×30 メッシュ	
安 全 装 置	消火安全装置	炎検知方式	
	不完全燃焼防止装置	"	
	過熱防止装置	オートカット (130°C OFF) (100°C ON)	
	転倒時ガス遮断装置	落球式スイッチ	
	逆火安全装置	炎検知方式+オートカット (90°C OFF)	
電 磁 弁	形式	フラッパー形 AC 100 V 50/60 Hz 全波整流	
	ガバナ	形式 単弁形 (電磁弁一体形)	
電流ヒューズ	2 A		
室温調整	形式 サーミスタ式 設定(°C) 高 37.3±4 低 8±4 デフレンシャル 0.5 deg 以下		
電源コード有効長	2 m		
対流用ファン	両吸込形 シロッコファン φ95.8 L=125.6		
対流用ファンモータ	コンデンサ永久分相形 4極		
標準付属品	シーズンオフ梱包用ポリバンド 1組, 取扱説明書		

- (3) 結城, 松井：第 21 回燃焼シンポジウム 前刷集, p. 263（昭58）
- (4) 梶本, 野間口：日本機械学会関西支部第 240 回講演会予稿集, p. 36, No. 794-8（昭54-11）

日本道路公団納め 中国自動車道広島中央局遠方監視制御装置

中川 昭二*・長友 利広*・小川 一郎**・中島 正**・高橋 浄***

1. ま え が き

中国自動車道は、昭和58年3月に広島県千代田インターチェンジと山口県鹿野インターチェンジ間の未開通区間約100kmの完成をもって全線開通した。図1.に示すとおり、全長543kmのこの高速道路の全線開通により東端で名神高速道路と西端で九州自動車道と接続され、東北から九州まで日本を縦断する高速道路が完成した。この高速道路の完成により、九州と中国地域は大阪・名古屋・東京の大都市商業圏と固く結び、産業の開発・地域振興に大きく貢献している。

高速道路にとって最も基本的なことは、ドライバーの安全を確保し、円滑な交通の流れを維持することである。中国自動車道においても課せられたこの要求にこたえるため、多種多様の施設が設けられている。これらの施設は2種類に分類される。すなわち一つは、高速道路の基本的な交通安全施設であり、他の一つは、交通管理施設である。

前者は、道路やインターチェンジ・トンネルなどの照明設備、トンネル換気設備、トンネル防災設備及びこれら設備用の受配電設備・自家発電設備などである。後者は、更に2種に分類される。一方は、可変標

示板、可変式速度規制標識、非常電話であり、これらの目的は高速道路上のドライバーに情報を与えたり、ドライバーから情報を得たりすることにある。そして他方は、気象観測設備、パトロールカー（移動無線）、監視局・制御局・中央局で構成する遠方監視制御装置であり、これらの目的は、高速道路の実際の交通に影響を与えるあらゆる要因を監視し、制御可能な機器を制御して交通の流れを良好に保つことにある。

本文では、中国自動車道のうち広島管理局の管理範囲である兵庫県佐用インターチェンジ～山口県小月インターチェンジ間約410kmの交通管理を主体とする広島中央局遠方監視制御装置について紹介する。

2. 設 計 思 想

日本道路公団の高速道路は通常、図2.に示すいわゆる階層式の監視制御システムで管理されており、中国自動車道にも同じ思想を適用している。図に示すように照明設備、トンネル換気設備、トンネル防災設備、可変標示板、可変式速度規制標識、気象観測設備、受配電設備などの高速道路用の各種施設は、インターチェンジ(IC)・サービスエリア(SA)・パーキングエリア(PA)・トンネル(TN)のいずれかの管轄範囲に組み入れ、これらIC・SA・PA・TNにある伝送子局を経て監視・

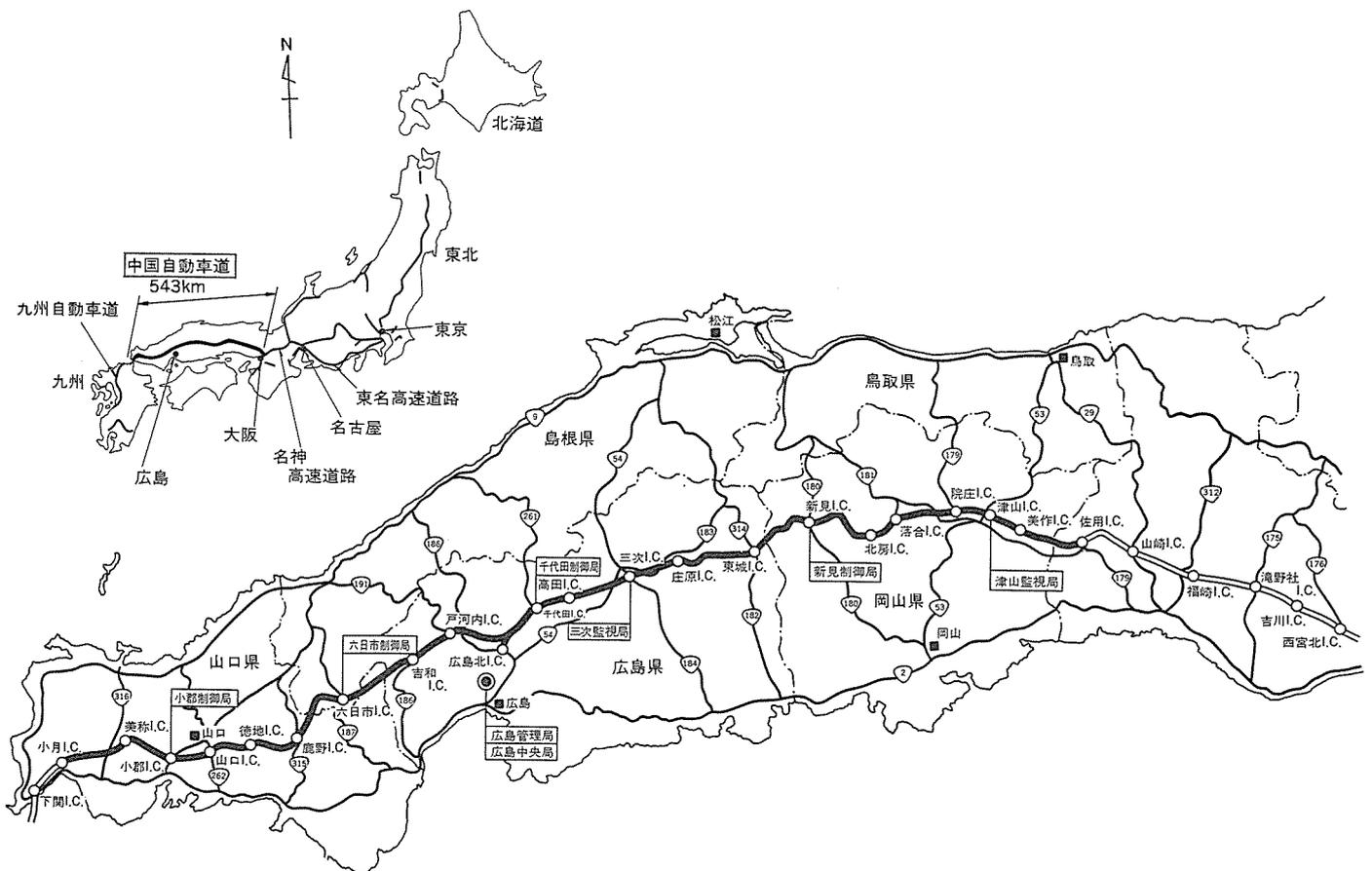


図1. 中国自動車道路線図

* 日本道路公団 ** 三菱電機(株)制御製作所 *** 同コンピュータシステム製作所

3. 広島中央局システム構成

3.1 総合管理システム

図 3. に広島中央局の管理範囲の総合管理システムを示す。このシステムは一つの中央局・四つの制御局・二つの監視局、高速道路に設けられる多数の基本施設〔インターチェンジ (IC)・サービスエリア (SA)・パーキングエリア (PA)・トンネル (TN)・ジャンクション (JCT) など〕、更に多数の交通管理機器〔可変標識板・可変式速度規制標識など〕及びこれらすべてを有機的に結合する伝送システムからなっている。

参考までに、伝送子局を設けている基本施設の数は 20-IC・7-SA・11-PA・31-TN・1-JCT である。これらの数字から、この全体システムの規模の大きさを知ることができる。

更に、図 3. に示すように広島中央局は現在建設中の二つの高速道路すなわち、山陽自動車道と中国横断自動車道を管理することになっており、この二つの高速道路の完成の暁には、広島中央局が文字通り中国地区の自動車交通の管理の中心になるものと考えられる。

3.2 広島中央局システム構成

図 4. に広島中央局の遠方監視制御システムの構成と広島中央局に関する制御局—小郡・六日市・千代田・新見、及び監視局—三次・津山を示す。図は同時に、広島中央局と伝送システムのシステム構成を示す。図に示すように、結合処理装置が伝送親局とグラフィックパネル・交通卓・CRT などのマンマシンインタフェース機器との間のデータ授受の中心に位置しているので、このシステムはCBSC (Computer Based Supervisory Control) システムのはんちゅう (範疇) に入ることになる。

4. 広島中央局コンピュータシステム構成

図 4. に示す広島中央局のシステム構成において、ハードウェアの主要部

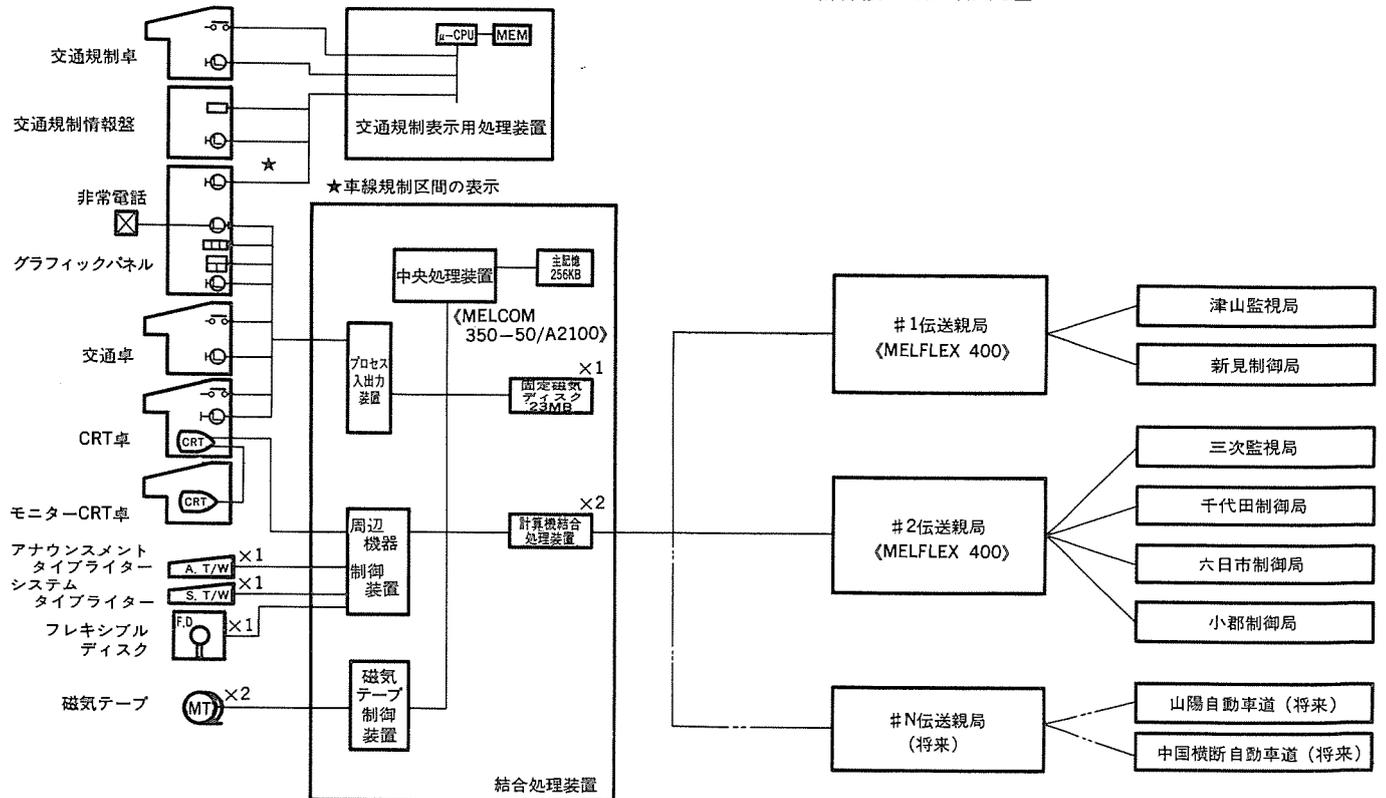


図 4. 広島中央局の遠方監視制御システム構成

である結合処理装置は、制御用計算機 (ミニコン) で構成している。

4.1 計算機ハードウェア構成

計算機のハードウェア構成を図 4. に示す。中央処理装置は《MELCOM 350-50/A 2100》であり、主記憶容量は 256 キロバイト (KB)、補助記憶、(固定磁気ディスク) 容量は 23 メガバイト (MB) である。周辺機器は、交通量を記録する磁気テープ装置 (MT)、動作記録・操作記録を印字するアナウンスメント・タイプライター (A・T/W)、D 型・E 型可変標識板トンネル火災などの状態を表示する CRT から構成される。システム・タイプライター (S・T/W)、フレキシブル・ディスク (F・D) は、システム管理、保守などに使用される。

4.2 計算機ソフトウェア構成

計算機のソフトウェア構成を図 5. に示し、以下図 5. に従ってソフトウェア構成を説明する。

(1) 入出力処理機能

- (a) 伝送処理装置から監視信号を入力
- (b) 伝送処理装置へ制御信号を出力
- (c) 卓のボタン操作信号を入力
- (d) グラフィックパネル・卓へランプ点灯信号出力

(2) 監視機能

- (a) グラフィックパネル表示
- (b) CRT 表示
- (c) 交通卓に異常情報表示

(3) 制御機能

- (a) 交通卓からの制御指令を出力

(4) 記録機能

- (a) アナウンスメント・タイプライターに動作記録・故障記録を印字
- (b) 磁気テープに交通量を記録

(5) 運転管理機能

- (a) 計算機のイニシャル処理

5. 広島中央局の機能と動作

5.1 機能

広島中央局の機能は以下のとおりである。

- (1) A型・B型可変標示板の制御と監視、記録
- (2) 可変式速度規制標識の制御と監視、記録
- (3) D型・E型可変標示板の監視、記録（制御は制御局から行う）
- (4) トンネルの火災・事故情報の監視、記録
- (5) 交通量計測データの表示と記録
- (6) 気象観測局データによる気象警報の監視
- (7) 非常電話の着信、監視
- (8) 移動無線設備による通話
- (9) 交通規制状況の表示

広島中央局の結合処理装置で制御される機能、交通規制

表示用処理装置で制御される機能、更にこれらの関連について図6. に示す。

5.2 動作

- (1) 全般

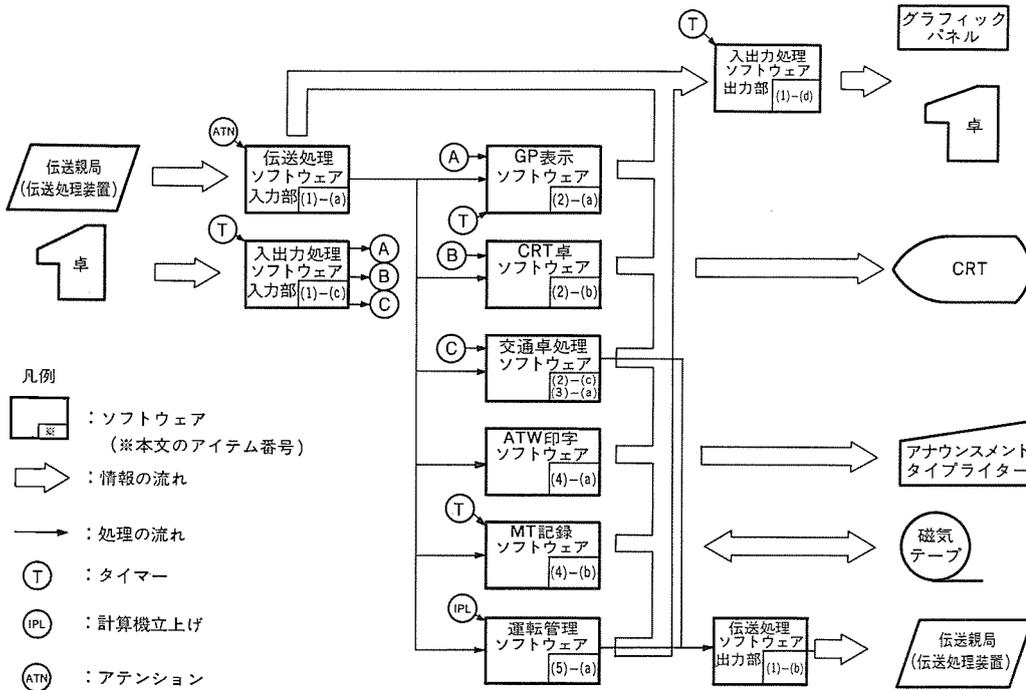


図 5. 計算機ソフトウェア構成

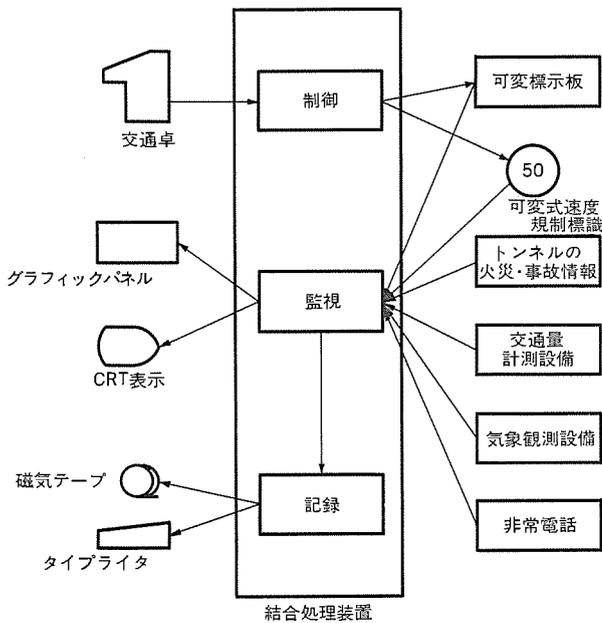


図 6. 広島中央局の機能

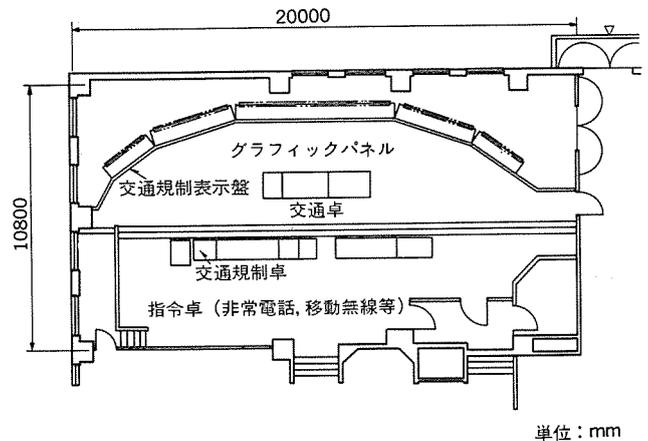
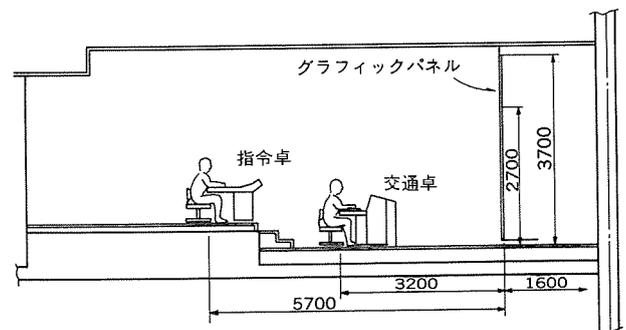
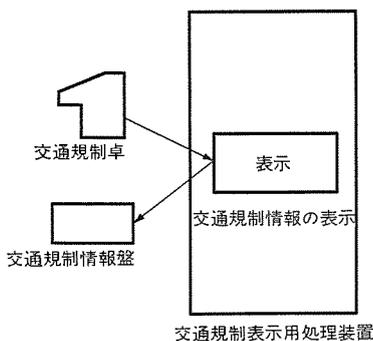
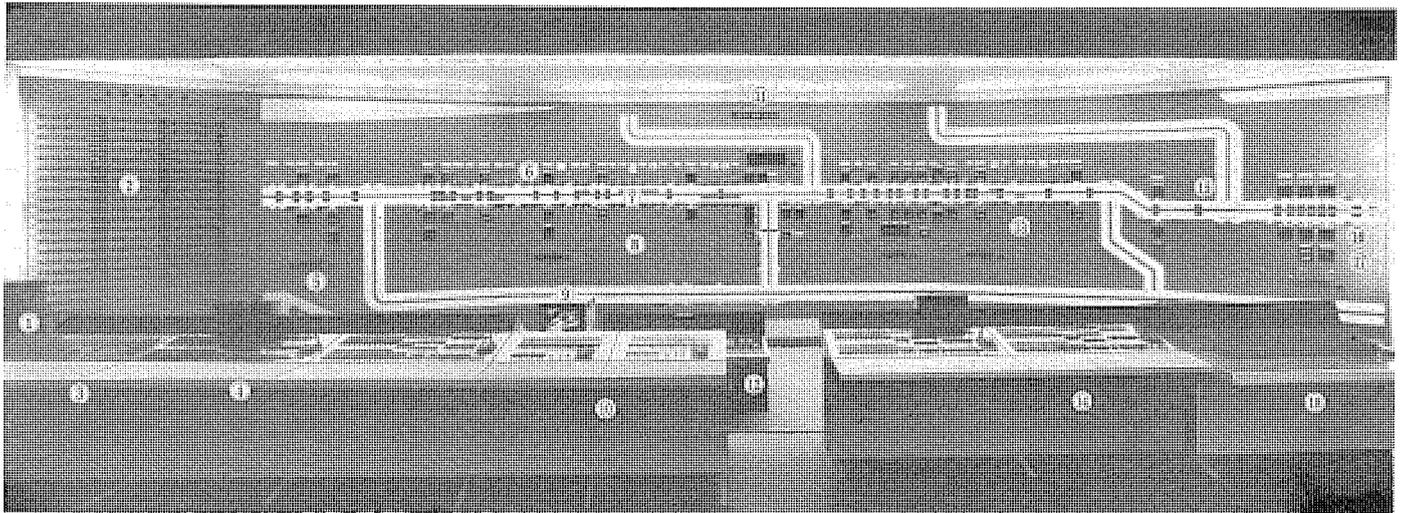


図 7. 広島中央局のマシンインタフェース機器の配置





①モニター CRT ②交通規制表示 ③ 交通規制卓 ④指令卓(正) ⑤交通量計測表示 ⑥トンネル内事故・火災表示 ⑦可変式速度規制表示 ⑧気象警報表示 ⑨CRT 卓
⑩非常電話受付台 ⑪月・日・曜日時刻表示 ⑫交通卓 ⑬トンネル入口可変標示板点灯表示 ⑭指令卓(副) ⑮照光式交通規制帯表示 ⑯本線可変標示板表示 ⑰一般道可変標示板表示 ⑱警察卓

図 8. 広島中央局マンマシン

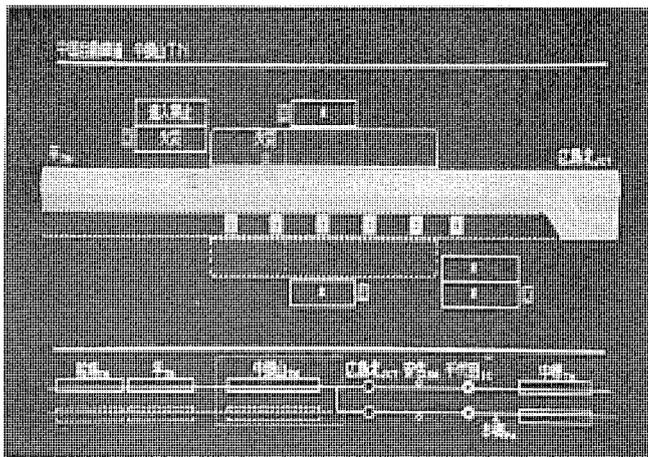


図 9. トンネルの CRT 表示

広島中央局の動作は 5.1 節の(3)項から(8)項に述べた他の機器から得られるすべての参考情報を活用して、A型・B型可変標示板と可変式速度規制標識の制御と監視を行い、高速道路の安全で円滑な交通流を確保することといえる。

(3)項から(8)項の情報とは、トンネルのD型・E型可変標示板の表示信号、トンネル火災、事故情報信号、実測交通量、気象警報信号、非常電話の着信信号と移動無線設備による通話などである。

上記の機能と動作は、図 7.、図 8. に示したいわゆるマンマシンインタフェース装置によって実現している。

(2) 交通規制表示

交通事故や気象条件及び工事などにより通行止を含む各種の交通規制が行われるので、中央局の全操作員に状況把握の徹底を図るためグラフィックパネル横の交通規制表示盤に、交通規制卓の操作により規制内容などの表示を行うことができる(図 7. 参照)。

この規制内容は「規制期間」「路線名」「規制区間(キロポスト表示)」「規制内容」「規制時刻」「規制方法」「連絡機関」である。なお交通規制の場合には、グラフィックパネル上の道路路線に規制区間のみ交通規制表示盤と連動して、明確な照光式帯表示を行っている。

(3) A型・B型可変標示板の操作

多くの可変表示項目がある多数の可変標示板を、操作員が円滑かつ

確実に操作できるようにするために、交通卓にいわゆるオペガイ(オペレータズ・ガイダンス)機能が結合処理装置によって付加されている。この機能の要点を、交通卓による操作員の実際の操作との関連で以下に述べる。

〔手動動作〕

#1 局選択

基本施設の選択
(図 3 の IC, SA など)

#2 機器選択

制御可能な可変標示板の一つを選択
(例 A 型)

#3 項目選択

可変標示板に表示
したい案内表示を
順次選択

〔オペガイ〕

基本施設の制御可能な可変標示板の選択表示

該当局可変標示板の表示区間の意味のある語句の組み合わせを
順次表示

操作員が結合処理装置によるオペガイを参照しながら、交通卓で操作した結果はグラフィックパネルの反転表示器で表示される。

(4) トンネルの監視

前述のように、照明設備・トンネル換気設備・トンネル防災設備・受配電設備・自家発電設備・ITV 設備・トンネルラジオ再放送設備・D型E型可変標示板などのようなトンネル設備は制御局のみで監視制御を行っている。ただし交通管理の点から、重要なトンネル火災事故情報とD型E型可変標示板の表示だけは広島中央局でもグラフィックパネル(図 8.)やCRT(図 9.)に表示し監視されている。

6. 情報伝送装置

高速道路は順次路線延長していくため、情報伝送装置は段階施工となる。広島中央局管内では、今回新設局は千代田制御局と六日市制御局の2局であり、既設は東より津山・新見・三次、西は小郡の各監視局制御局で段階施工済である⁽¹⁾。(図 10. 参照)

6.1 符号フォーマット

今回新設した千代田・六日市両制御局及び千代田JCT～米山TN子

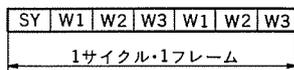
局は新建電協方式^(a)とし、既設関連のあるその他の各制御局、監視局及び子局は既設符号フォーマットを重視し、図 10. の符号フォーマットを採用した。交通系の制御符号 (TC) は、広島中央局より各制御局・監視局へは 3W (ワード) 2重、津山、新見、小郡各制御局・監視局より子局へは 3W 2重、最も新しい既設である三次監視局より子局へは 5W 3 サイクル、今回新設の千代田、六日市両制御局より子局へは 5W 2重で構成している。

6.2 仕様

広島中央局と各制御局・監視局間の情報伝送装置の仕様は次の通り

(1) 広島中央局制御符号 (広島中央局→制御局・監視局)

(イ) サイクルフレーム構成



(ロ) ワード構成

W1	0	0	0	0	1	1	F	12	7	4	2	1	0	4	2	1	0	4	2	1	0	P			P
ワードアドレス	フラグ		機器選択上位					局上位				局下位				パリティ	反転連送								
6C ₂ (1)	6C ₂		6C ₂					4C ₂				4C ₂				4C ₂	反転連送								

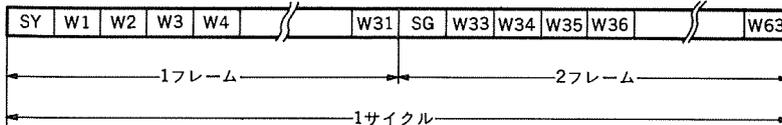
W2	0	0	0	1	0	1	F	12	7	4	2	1	0	4	2	1	0	4	2	1	0	P			P
ワードアドレス	フラグ		項目					制御				機器選択下位				パリティ	反転連送								
6C ₂ (2)	6C ₂		6C ₂					4C ₂				4C ₂				4C ₂	反転連送								

W3	0	0	0	1	1	0	F	12	7	4	2	1	0	4	2	1	0	4	2	1	0	P			P
ワードアドレス	フラグ		項目					項目				機器選択下位				パリティ	反転連送								
6C ₂ (3)	6C ₂		6C ₂					4C ₂ × 4C ₂				4C ₂				4C ₂	反転連送								

交通関連
設備ワード

(2) 監視計測符号 (子局→制御局, 監視局→中央局)

(イ) サイクルフレーム構成



(ロ) ワード構成

監視	3	2	1	6	8	4	2	1	F1	F2	0	1	2	3	4	5	6	7	8	9	10	11	12	P			P
ワードアドレス	フラグ		拡張用					監視項目												パリティ	反転連送						

計測	3	2	1	6	8	4	2	1		S	8	4	2	1	8	4	2	1	8	4	2	1	P			P
ワードアドレス	フラグ		サイン					100位データ				10位データ				1位データ				パリティ	反転連送					

(3) 広島中央局伝送系統及び符号形態

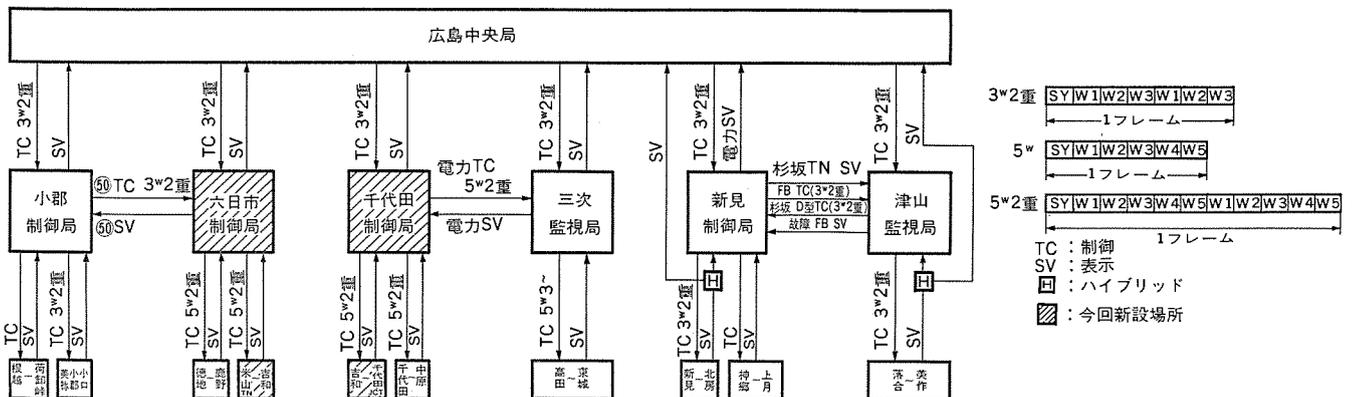


図 10. 伝送符号フォーマット

である。

- (1) 対向方式; 制御 1:1, 監視 1:1
- (2) 伝送速度; 制御 1,200 ボー, 監視 1,200 ボー
- (3) 伝送方式; 常時サイクリック, NRZ 等長符号, フレーム同期, 2 連送照合+パリティ・制御は定マーク検定の付加

7. むすび

中国自動車道佐用 IC~小月 IC 間約 410 km の交通流の監視制御を行う広島中央局遠方監視制御システムの概要を紹介した。広島中央局を親局とし、子局である 6 制御局・監視局のうち 4 局が既設で 2 局が今回新設である。既設システムを生かしながら、新設区間では新建電協方式を採用し、階層システムの構築により、高信頼度化と高効率化を図った。将来山陽自動車道・中国横断自動車道の路線延長に伴い、本システムはますます成長、拡大していくものと思われる。

最後に、このシステムは日本道路公団をはじめ多数の関係者の尽力により完成したものであることを記し、深甚な謝意を表する。

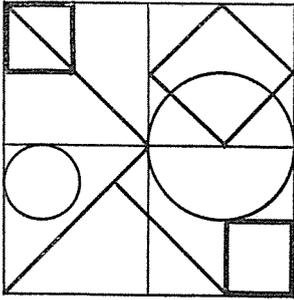
(昭 59-5-30 受付)

参考文献

- (1) 森本: ほかに日本道路公団納め中国自動車道 東城一三次間遠方監視制御装置, 三菱電機技報 53, No. 3 (昭 54)
- (2) 社団法人 建設電気技術協会: 遠方監視制御方式に関する研究報告書 (その 2), (昭 56) 略称 新建電協

特許と新案 有償開放

有償開放についてのお問合せ先 三菱電機株式会社 特許部 TEL (03) 218-2136



荷電粒子ビーム照射装置の監視装置 (特許 第1166194号)

発明者 塚本克博・佐藤博一・赤坂洋一・堀江和夫

この発明は、イオン注入装置のような荷電粒子ビーム照射装置の照射状態を監視する装置に関するものである。

イオン注入装置では、図1に示すように、細くしぼったイオンビーム(1)をX方向およびY方向の偏向電極(2)、(3)により偏向し、ターゲット(7) (この場合は、直径100~150mmの半導体基板)の表面を均一に照射する必要がある。このため、監視用のオシロスコープ(10)を設け、オシロスコープのX、Y入力に、イオンビーム偏向電圧 V_x 、 V_y に比例する電圧を印加して偏向パターンを描かせる。更にターゲット

トに流れ込んだイオンビーム電流に比例する電圧で、オシロスコープに輝度変調をかける。こうして、図2に示すように、偏向されたイオンビームのうち実際にターゲットを照射している部分の輝度に変化し、照射状態を監視することができる。図3において(a)は適正な照射状態にあることを示し、(b)は偏向量が過大、(c)は偏向量が不十分であることを示している。また(d)は、偏向の中心がターゲットの中心とずれていることを示している。

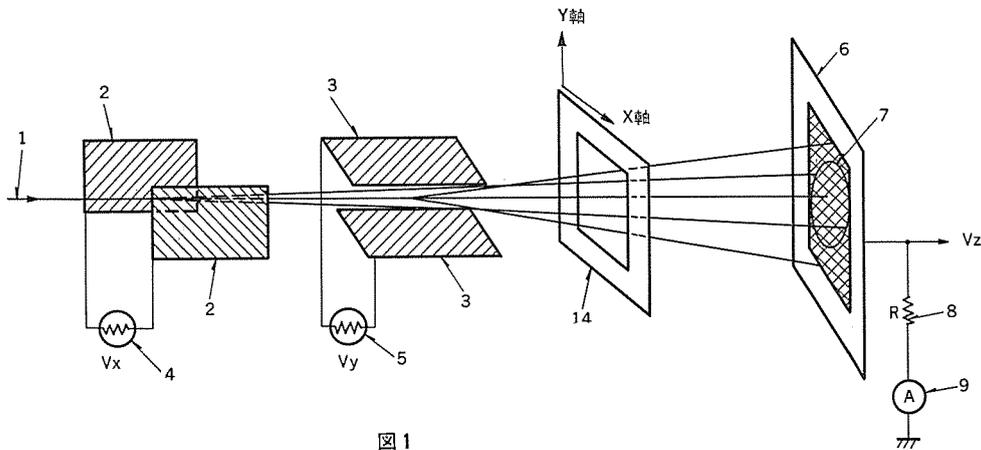


図1

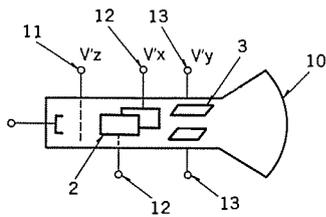


図2

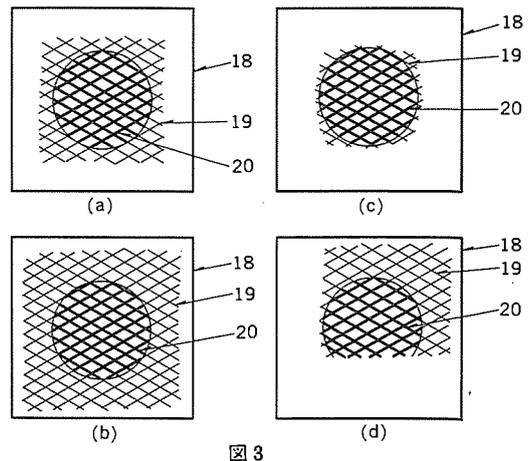


図3

特許と新案 有償開放

有償開放についてのお問合せ先 三菱電機株式会社 特許部 TEL (03) 218-2136

地絡検出装置 (特許 第1091708号) (関連特許 第1080503, 1132582, 1161083, 1148914号)

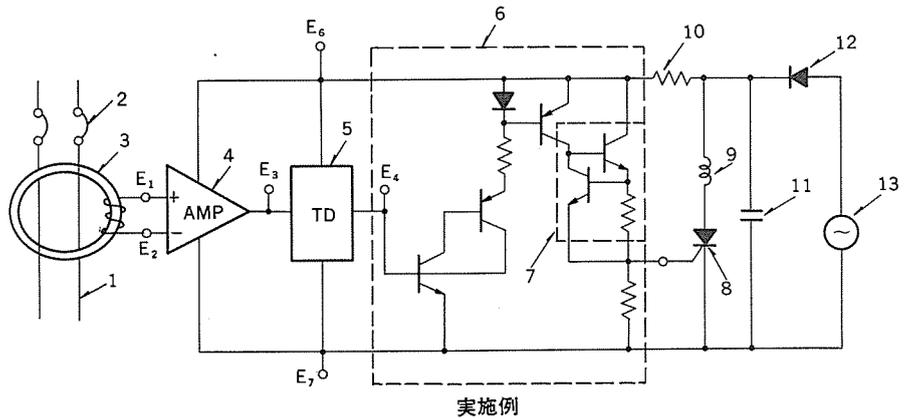
発明者 宮崎行雄・竹田貢

この発明は、地絡検出装置（漏電遮断器）に使用される集積回路（IC）の低消費電力化に関するものである。

地絡検出装置を安価に提供するには、2種類の電路電圧でも使用可能な電圧両用形地絡検出装置を実現する必要がある。その為には高入力感度、高い耐ノイズ、サージ性を維持しながら電子回路の低消費電力化を図る必要がある。

本発明の実施例を図に示す。地絡が発生すると、零相変流器(3)の出力に電圧が誘起され、増幅器(4)で増幅され、ノイズを除去する為の時延回路(5)により遅延され、波形整形回路(6)に入力される。波形整形回路はラッチ回路を採用し、出力部は定電流回路(7)を用いており地絡発生時にサイリスタ(8)にゲート電流を出力し電路(1)を遮断する。従来は地絡発生時にサイリスタ(8)のゲート電流を確保する為、定常時にダミー電流を電源 E_0 - E_7 間にツェナーダイオード等を接続して流していた。今回の発明では地絡発生時にサイリスタ(8)へゲート電流が出力

された時安定用抵抗器(10)での電圧降下が増大し、電源電圧(E_0)が降下し、増幅器(4)、時延回路(5)に流れていた回路電流が減少し、減少した分がサイリスタ(8)のゲート電流として出力される。波形整形回路はラッチ回路となっている為、電源(E_0)が2V程度迄降下しても安定にオン状態を保持できる。従って定常時に余分な電流を回路に流す必要がなく、従来に比べ地絡検出装置の低消費電力化が実現できる。



実施例

<次号予定> 三菱電機技報 Vol. 58 No. 9 ニューメディア特集

特集論文

- 放送衛星2号 (BS-2) 主地球局用アンテナ設備
- 直接衛星放送受信システム
- テレビプリンタ
- 家庭内情報通信システム
- 最新形 VTR HV-81 HF, HV-34 T
- 《ダイヤトーン》コンパクトディスクプレーヤー DP-103
- 第二世代《オーロラビジョン》システム

普通論文

- 受配電用ガス絶縁変圧器
- 屋外用エポキシ樹脂の変成器への適用
- コンピュータ制御式新形電子ビーム・溶接機
- 熔融炭酸塩形燃料電池
- 超マイクロフィルム (UMF) を利用した電子ファイリングシステム
- POS システム用簡易プログラム言語

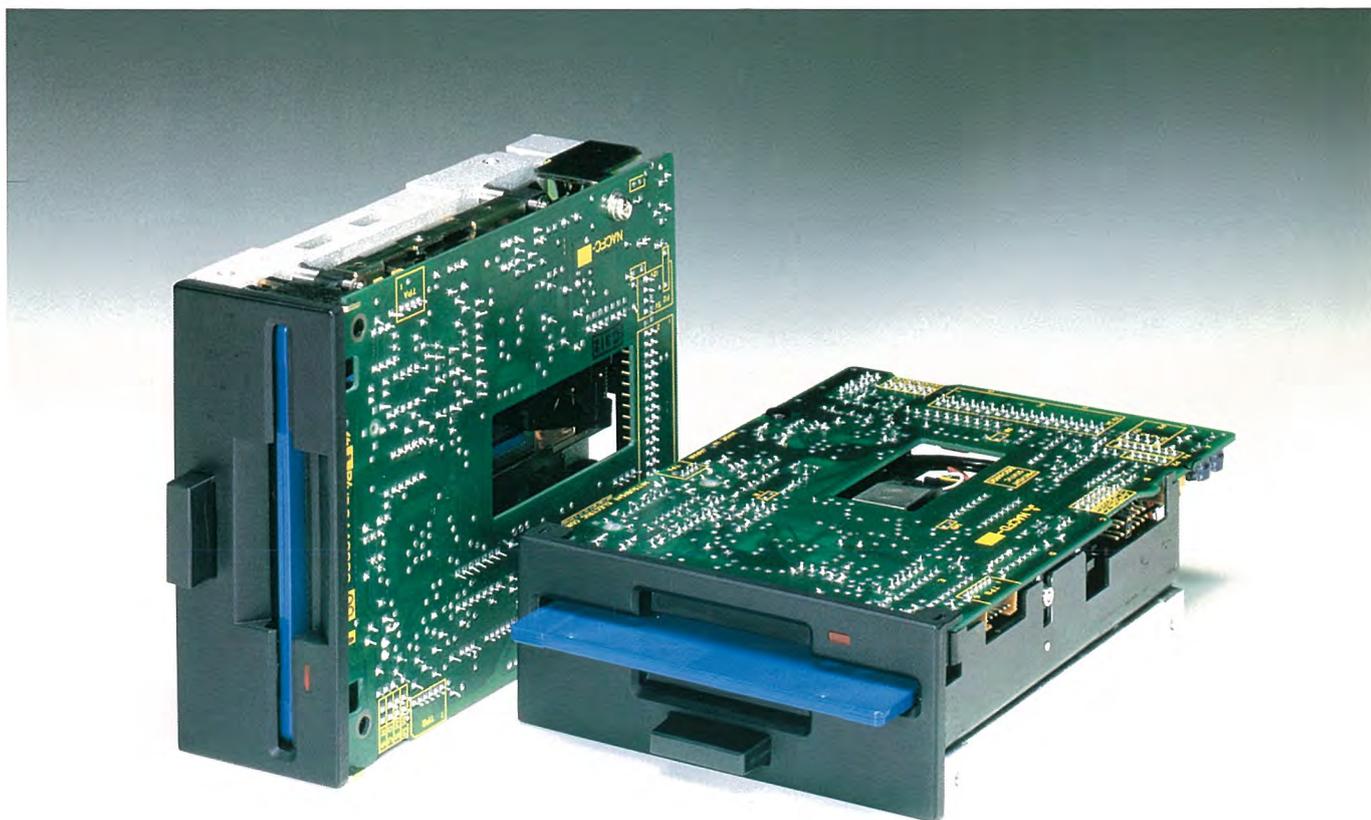
三菱電機技報編集委員

委員長	馬場 準一	委員	山内 敦
副委員長	岸本 駿二	"	柳下 昌平
"	三浦 宏	"	櫻井 浩
委員	峯松 雅登	"	徳山 長
"	翠川 祐	"	柴山 恭一
"	佐藤 文彦	"	酒井 靖夫
"	大年 倉像	"	武富 大児
"	井上 通	"	瀬辺 国昭
"	立川 清兵衛	"	倉橋 浩一郎
"	吉田 太郎	"	小原 英一
"	野畑 昭夫	"	尾形 善弘
"	田中 克介	幹事	岡田 俊介
"	的場 徹		
"	野村 兼八郎	8号特集担当	蒲生 浩

三菱電機技報 58 巻 8 号

(無断転載を禁ず) 昭和 59 年 8 月 22 日 印刷
昭和 59 年 8 月 25 日 発行

編集兼発行人 岡田 俊介
印刷所 東京都新宿区市谷加賀町 1 丁目 12 番地
大日本印刷株式会社
発行所 東京都千代田区大手町 2 丁目 6 番 2 号 (〒100)
菱電エンジニアリング株式会社内
「三菱電機技報社」Tel. (03) 243 局 1767
発売元 東京都千代田区神田錦町 3 丁目 1 番地 (〒101)
株式会社 オーム社
Tel. (03) 233 局 0641(代), 振替口座東京 6-20018
定価 1 部 500 円送料別 (年間予約は送料共 6,700 円)



このたび三菱電機では、MF353形マイクロフレキシブルディスク装置を発売しました。

このMF353は、可撓性を持つプラスチックフィルムベースの3.5インチ磁気円板を、ハガキ大のハードケースタイプカートリッジに収納した記憶媒体に、情報の記憶・再生を行う装置です。本装置は両面設録形で、すでに発売中の片面形MF351につづく新製品です。

特長

<装置>

- これまでの5インチ、8インチ形に比べ、さらに小形・軽量であり、今後ますます小形化する各種OA関連機器やパソコンから計測機器まで、広範な需要が期待されます。

- バッテリー動作の機器にも使用可能な低消費電力設計です。

- 装置性能は、従来の5インチFDDと同等で、アクセスタイム、装置制御タイミング、インタフェース信号も互換性を持っており、5インチFDDのインタフェースでそのままコントロールできます。

- 回路の大幅なLSI化を実現。高い信頼性を得るとともに5インチFDDと同じような使用上のオプション機能を持たせてあります。

<媒体>

- 媒体は業界標準の3.5インチマイクロフレキシブル(通称フロッピー)ディスクカートリッジを使用します。

- ディスクカートリッジ1枚当りの記憶容量はフォーマットなしで1メガバイト、複数枚のカートリッジを交換して使用することにより、必要な記憶情報量に応じて拡張していくことができます。
- カートリッジはハードケースで、しかもヘッドアクセスウィンドーには自動シャッターが付いているため、記録面に手で触れる、異物が付着するなどのエラー発生の障害が防止でき、取扱いが簡便です。

仕様

		アンフォーマット	フォーマット
記憶容量	総記憶容量	1000KB	655.4KB { (256B×16セクタ) (512B×8セクタ) 737.3KB (512B×9セクタ) 327.7KB { (256B×16セクタ) (512B×8セクタ) 368.6KB (512B×9セクタ)
	面容量	500KB	
	トラック容量	6.25KB	4.096KB { (256B×16セクタ) (512B×8セクタ) 4.608KB (512B×9セクタ)
データ転送速度		250KB/s	
待時間	平均回転待時間	100ms	
	トラックトトラック	3ms	
	平均シークタイム	94ms (セットリングタイムを含む)	
	セットリングタイム	15ms	
	モータ起動時間	500ms	
記録密度	最大ビット密度	8717bPI	
	磁化反転密度	8717FCI	
	記録方式	MFM	
	トラック密度	135TPI	
	シリンダ数	80	
	トラック数	160	
磁気ヘッド数		2	
ディスク回転数		300rpm	
外形寸法(幅×高さ×奥行)		102×41×145 (max) mm	
媒体		3.5インチマイクロフロッピーディスクカートリッジ	