

再生可能エネルギー向けインバーターの高効率化, 高出力化に貢献するLV100パッケージ

LV100 Package for High-Efficiency and High-Power Renewable
Energy Inverters

*パワーデバイス製作所

要 旨

定格電圧2kV超のシリコンカーバイド(SiC)パワーモジュールは、再生可能エネルギー用途を対象としており、SiC-MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)を採用することで高い出力電力を追求している。高出力化を実現するためには、チップの発熱を抑制する必要がある。放熱性を向上させた最適な構造を確立した。さらに、多並列に搭載されたチップ間の電流は、回路パターンの最適化によって均流化され、SiCパワーモジュールで一般的に観測される発振を抑制しつつ、高速スイッチング性能を維持できた。その結果、2レベルトポロジーで当該2kV超SiCパワーモジュールを4kHzでスイッチング動作させ、同フットプリントの第7世代2kVシリコン(Si)パワーモジュールよりも2倍以上の出力を実現した。

1. ま え が き

再生可能エネルギー市場は、CO₂削減や持続可能なエネルギーシステムの構築に関して、近年大きく成長している。そのため、太陽光発電(PV)、風力発電、エネルギー貯蔵、そして水素生産システムなどの再生可能エネルギー源で使用されるパワーモジュールの需要が増加している。これらのシステムは、世代が更新されるにつれて、より高い出力電力が求められる。したがって、高速スイッチングによる効率向上、低導通損失、高耐久性を実現し、最終的に総電力損失を削減するSiC-MOSFETデバイスは、近い将来、従来のSi-IGBT(Insulated Gate Bipolar Transistor)デバイスからの置き換わりが予想される。2kV超のSiCパワーモジュールは、業界標準のLV100パッケージを持ち、高出力電力と1,500V以上の共通DCリンク電圧を満たす構成である。さらに、このモジュールはSiC-MOSFETデバイスに内蔵されたボディダイオードを活用することで、FWD(Free Wheeling Diode)チップを廃止できる。そのため、MOSFETチップを限られた領域で可能な限り搭載することで、より高い出力電力を実現した。

本稿では、特性、技術検証の過程で見つかった二つの課題、及びその対策について示す。まず、高出力電力によるチップの熱集中の改善についてである。SiCパワーモジュールとして最適化された新しいパッケージを検証し、放熱能力を向上させた。次に、高リカバリーサージ電圧とゲート振動への対処法である。サージ電圧は、寄生インダクタンス(L_s)及びドレイン電流のスイッチングスピード(di/dt)に影響される。高速スイッチングデバイスは、ゲート時定数を減少させることで最適化されるが、ゲート振動を誘発する可能性がある。最適化された回路レイアウトによって L_s を減少させることで、サージ電圧を抑制し、ゲート振動を防ぐことが可能になった。今回、2kV超のSiCパワーモジュールの仕様を検証するため、同フットプリントの第7世代2kV Siパワーモジュール⁽¹⁾とパフォーマンスを比較し、SiCパワーモジュールの優位性を示すことができた。

2. SiC LV100パワーモジュールの特徴

新規2kV超SiCパワーモジュールは、次の二つの特徴によって、高出力電力と高速動作が実現可能になった。

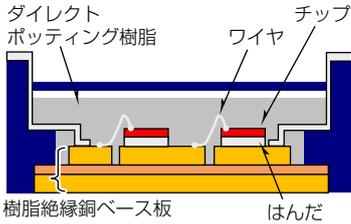
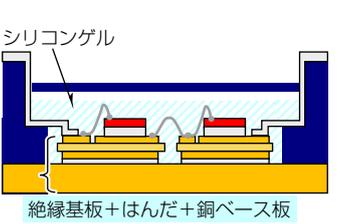
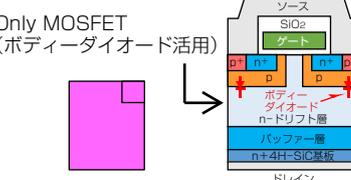
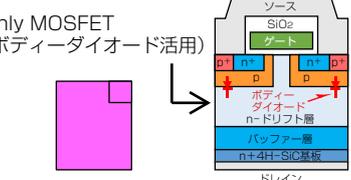
2.1 パッケージ構成

新規SiCパワーモジュールは、2,000V/1,200A定格のSi-LV100パワーモジュールと比較して、チップ当たりの電流密度を大幅に向上させた仕様になっている。さらに、このSiC-LV100パワーモジュールは、MOSFET内蔵のボディダイオードを活用することで、FWDチップを排除し、より多くのSiC-MOSFETを搭載することが可能になる。その結果、高い出力電力を実現できる。しかしながら、出力電力の増加に伴い、放熱性も慎重に管理する必要がある。表1に、既存

技術であり、初回試作に適用した樹脂絶縁構造⁽²⁾と新規SiCパワーモジュール用途に、放熱設計を最適化した構造の違いを示す。

初回試作時は、チップの搭載面積と内部回路レイアウトの柔軟性をを持たせるため、樹脂絶縁構造を採用した。この構造はベースプレート、絶縁層、回路パターンが統合された構成である。SiC-LV100パワーモジュールはボディダイオードを活用し、MOSFETの搭載面積を増加させることで電力密度が向上し、チップ温度がより上昇することから、放熱性の最適化が求められる。そのため、高い放熱能力を持つ銅ベース板構造を採用した。SiC-LV100パワーモジュールでの樹脂絶縁構造と高放熱構造の熱解析結果を図1に示す。前提として、二つのモデルはチップサイズと並列数は異なるが、搭載面積は同一である。図2では接合部とケース間の熱抵抗を $R_{th(j-c)}$ 、ケースとヒートシンク間の熱抵抗を $R_{th(c-s)}$ と定義し、熱解析で算出される熱抵抗比較結果を示す。高放熱構造は $R_{th(c-s)}$ を大幅に低減し、チップからヒートシンクまでの熱抵抗は樹脂絶縁構造より11%低減可能で、チップ温度の上昇を抑制できる。

表1-初回試作と最適化設計の構造比較

構造	初回試作(樹脂絶縁)	最適化(高放熱)
モジュール断面		
チップ仕様		

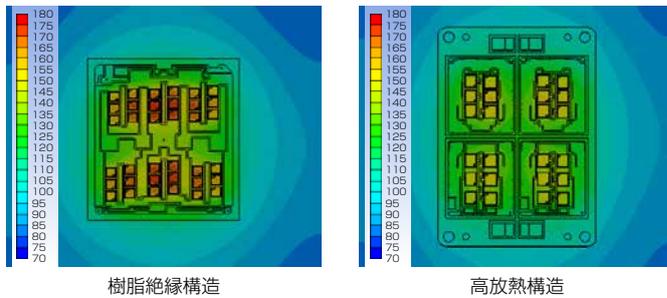


図1-熱解析結果

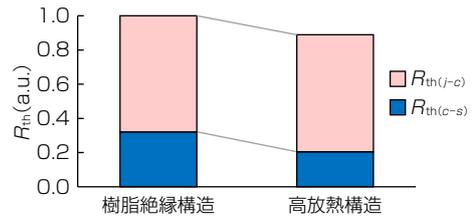


図2-熱抵抗比較結果

2.2 回路レイアウト設計

高い出力電力を達成するためには、チップを多並列に配置する必要がある。電流経路での di/dt と配線の L_s の積($L_s \cdot di/dt$)によって誘導される電圧は、電流の不均衡を引き起こして、製品の信頼性を低下させ、過電圧による破壊の原因になる⁽³⁾。さらに、この誘導電圧はスイッチング中にゲート振動を引き起こす可能性があるため、回路レイアウトの最適化やゲート抵抗の調整が求められる。この課題は、多並列チップで構成する場合特に重要であり、2kV超級のSiCパワーモジュールは、高速スイッチングと低損失性能を最大化する設計を特徴としている。

2.2.1 発振抑制

複数の並列チップで構成されたSiCパワーモジュールでは、チップ間の配線インダクタンスやチップの寄生キャパシタンスを含む振動経路が形成され、寄生振動を引き起こす懸念がある⁽⁴⁾。図3に、レイアウト検証として1.7kV定格の製品

で確認したチップ内蔵のゲート抵抗とスイッチングエネルギーの相関を示す。試験条件は、 $V_{DD}=1,200V$, $I_D=3,600A$, $T_{vj}=150^{\circ}C$ でのターンオフ波形であり、初回試作時のレイアウトと最適化されたレイアウトで比較を行った。初回試作時のレイアウトでは、3,600A遮断時に V_{GE} (ゲート-エミッター間電圧)発振が発生する。対策として、初回試作時のレイアウトの場合、各並列チップのゲート抵抗を増加させて di/dt を調整することで最適化した。しかしながら、このような場合、損失が悪化し、商品価値の低下を招くことになる。今回、2kV超級パワーモジュールは、レイアウトの最適化を行い、発振対策を実現した。その結果、3,600A動作でも発振が発生せず、SiCの性能を最大限に活用できるパワーモジュールを実現した。

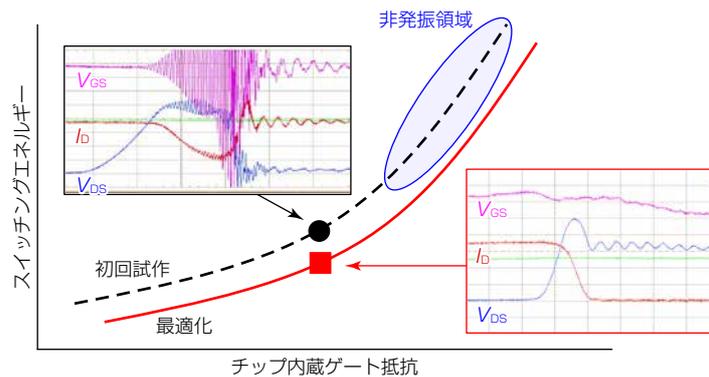


図3- チップ内蔵ゲート抵抗-スイッチングエネルギーの相関

2.2.2 多並列チップ間の分流バランス

スイッチング中の di/dt はゲート電圧 V_{GS} に依存し、各チップに印加されるゲート電圧の均一性が重要である。特に、各チップの di/dt をそろえるために、通電時に各チップのソース電位をそろえることが設計上の課題である。表2上段には、左側に初回試作時のレイアウトモデル、右側に最適化されたレイアウトモデルを示す。ソースワイヤの長さ調整とソースパターンへのスリットを追加することで、分流のバランスを最適化した。表2下段には、 $V_{DD}=900V$, $I_D=1,800A$ での各チップの電流波形データとして、特に強調された3チップの分流バランスを示す。初回試作では最大 di/dt が最小 di/dt に対して24%増加したが、最適化されたレイアウトでは9%程度の増加に抑えることができた。また、分流バランスの最適化はリカバリーサージピーク電圧の低減にも寄与する。 di/dt とサージピーク電圧の相関を図4に示す。両者には正の相関があることが確認でき、同じ di/dt 領域で比較し、約500Vピーク電圧を抑制できる。最適化されたレイアウトは、高速動作を促進し、SiCのパフォーマンスを最大限に引き出すことが可能になる。

表2-分流解析モデルと波形

項目	初回試作	最適化
レイアウトモデル		
電流バランス (枠内3チップ)		

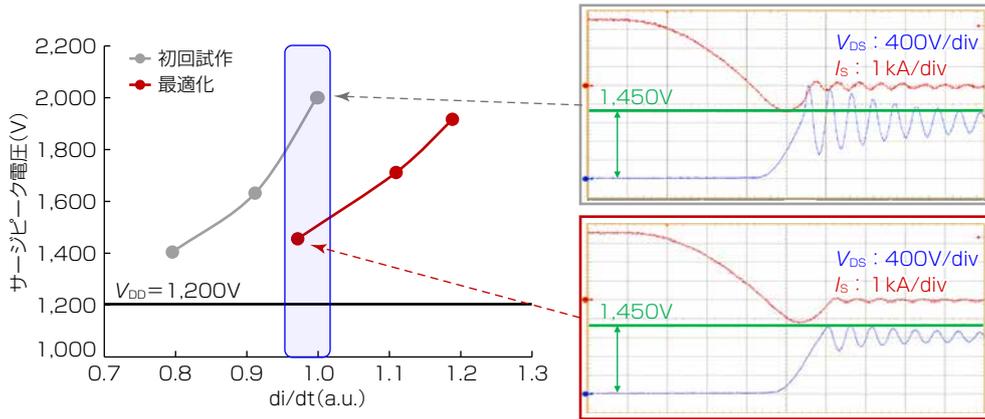


図4-di/dtとリカバリーサージピーク電圧の相関と代表波形

3. パフォーマンス比較

2kV超級SiCパワーモジュールの性能比較を行った。比較対象は次のとおりである。

- (1) 第7世代2kV Si-LV100 IGBTパワーモジュール(CM1200DW-40T)2,000V/1,200A
- (2) 2kV超級SiCパワーモジュール2,500V/1.9mΩ (150°Cでの $R_{DS(on)}$)

動作条件は、DCリンク電圧 $V_{DC} = 1,500V$ 、力率1、 $M = 0.7$ 、 $f_c = 4kHz$ である。回路構成は、どちらも2レベルトポロジを想定する。出力能力の比較のため、出力電流(I_{out})とMOSFETのチップ温度(T_{vj})の相関を図5に示す。結果として、2kV超級SiCパワーモジュールは、2kV Si-LV100パワーモジュールと比較して、全電流範囲で T_{vj} を抑制できる。同時に、この結果は出力電力を2倍以上に引き上げることが可能であることを示す。

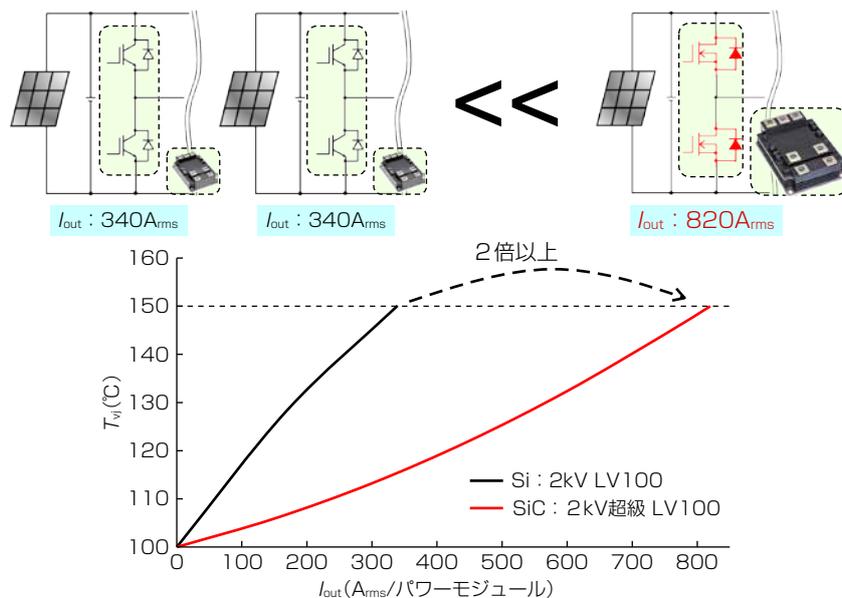


図5-出力電流-ジャンクション温度の相関

4. む す び

2 kV超級SiCパワーモジュールは、放熱性を向上させた最適な構造を確立することで、高電力密度によるチップ温度の上昇を抑制することが可能である。チップの多並列構成によって引き起こされる電流の不均衡やゲート振動に関する懸念は、パターンレイアウトの最適化によって解消され、SiCに求められる高速動作を実現できた。その結果、2レベルトポロジーで当該2 kV超SiCパワーモジュールを4 kHzでスイッチング動作させ、同フットプリントの第7世代2 kV Siパワーモジュールよりも2倍以上の出力を実現できる。

参 考 文 献

- (1) Masuda, K., et al. : Relaxing Thermal Stress by SLC Technology and New PC-TIM, PCIM Europe 2017 (2017)
- (2) Masuda, A., et al. : 2.5 kV IGBT Module with High Reliability for Renewable Applications, PCIM Europe 2024 (2024)
- (3) Goto, R., et al. : Advanced PKG technology for SiC in the NX Package, PCIM Europe 2023 (2023)
- (4) Sawallich, F., et al. : Inter-chip Oscillation of paralleled SiC MOSFETs, PCIM Europe 2023 (2023)

