

# 最先端プロセスの特性を基にしたリアルタイム誤り訂正回路の低電力設計

石井健二\*  
Kenji Ishii  
吉田英夫\*  
Hideo Yoshida  
平野 進\*  
Susumu Hirano

小西良明\*  
Yoshiaki Konishi

\*情報技術総合研究所

Low Power Design of Real-time Forward Error Correction Circuit  
Based on Characteristics of State-of-the-art Processes

## 要 旨

デジタル社会の実現で、デジタル信号処理の高速化と低消費電力化は避けて通ることのできない課題である。この相反する特性を同時に実現するには、デジタル信号処理技術の高度化と半導体プロセスの微細化による集積技術の進展だけでなく、システムやアプリケーションの特性を考慮した低電力化デジタル設計技術が重要になる。三菱電機は、大容量光通信向け誤り訂正回路のASIC(Application Specific Integrated Circuit)開発を通して、最先端微細化プロセスを適用した低電力化設計技術を開発した。プロセスの特性を前提とした物理合成結果に基づく符号と回路アーキテクチャーの最適化によって実現性の高い回路設計を実現するとともに、装置運用上の特性を考慮した回路制御によって最大動作時から40%以上の低電力効果が得られた。

## 1. ま え が き

デジタルトランスフォーメーション(DX)に代表されるデジタル技術を活用した社会の変革が進んでいる。このようなデジタル技術の活用で、デジタル信号処理の大容量化とともに低消費電力化が恒久課題になっている。通信業界では、5G(第5世代移動通信システム)の商用化やDXサービスの普及によって、通信トラフィック需要が急拡大している。そのようなトラフィック需要に対応するため、光通信では400Gbpsを超えるシステムの導入とともに、更なる高速化として800Gbps以上のスループットを実現する通信方式の研究開発が進められている。通信速度の向上には、誤り訂正技術を始めとする信号処理技術の進展と半導体プロセスの微細化による集積技術の恩恵に帰するところが大きく、これまでに並列化や動作周波数の向上による大容量化とともに、プロセスの微細化による低消費電力化が進められてきた。しかしながら、近年では動作周波数の向上が限界に達しており、高速処理の実現を並列処理に頼らざるを得ない状況である。並列化による消費電力の増大に対してプロセス微細化による消費電力の削減効果が小さく、消費電力の要求を満足できなくなっている。特に、誤り訂正回路の消費電力は装置の電力消費の中でも大きな比重を占めており、近年その低電力化が重要視されている。本稿では、まず低電力化の対象とする誤り訂正符号回路のあらましについて述べた後、回路素子実装とアルゴリズム処理のそれぞれの観点から開発を行った低電力化技術について述べる。

## 2. 光通信向け誤り訂正符号の技術動向

長距離で大容量伝送を誤りなく実現するために、光通信網での誤り訂正符号には訂正能力に優れた符号が使用される。そのような訂正能力向上への要求から、Low-Density Parity-Check(LDPC)符号などの訂正能力に優れた軟判定符号と、軟判定符号に比べて訂正性能は劣るものの実装性及び消費電力に優れた硬判定符号を組み合わせた接続符号が採用されることが多い。この章では、このLDPC符号について述べる。

### 2.1 LDPC符号

LDPC符号は1960年代にGallagerによって提案されていた<sup>(1)</sup>。しかし、演算量が非常に大きな符号であったため実用化には至らなかった。しかし、近年の半導体集積化技術の向上によって、性能に見合うだけの集積回路が実現できるようになったことから、衛星デジタル放送や無線通信の規格などで採用されるようになった。LDPC符号は軟判定繰り返し復号によって、シャノン限界に迫る性能を得られることが理論的な数値計算で実証されており、高いスループットを持つ回路実装ができる点が特徴である。LDPC符号は、図1に示すようなパリティビット数×符号長の二次元行列で、疎("0"が

多く“1”が少ないなパリティ検査行列によって定義される符号である。受信信号のデジタル値が正しい符号語であった場合、検査行列とかけ合わせることで全零のベクトルが生成され、誤りの有無を検出できる。

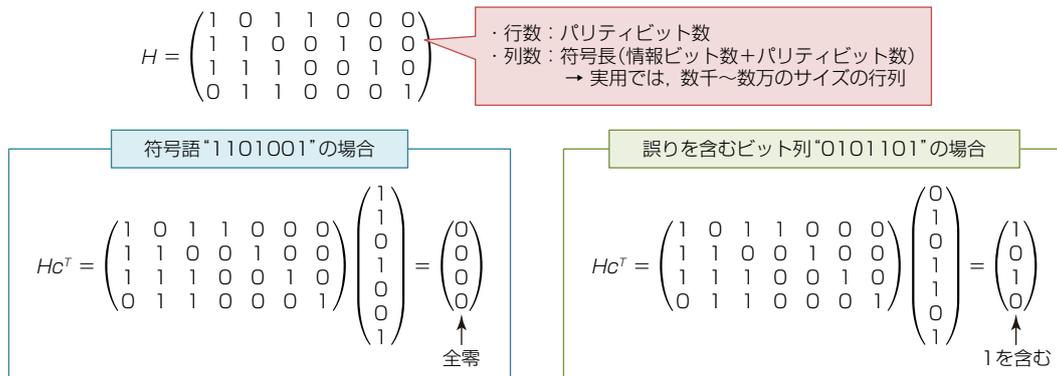


図1-LDPC符号のパリティ検査行列の例

## 2.2 LDPC符号の復号アルゴリズム

LDPC符号の復号処理は、パリティ検査行列を2部グラフで表現したタナーグラフによって表現される。検査行列の列方向に対応したビットノードと、行方向に対応したチェックノードを設けて、検査行列で“1”が記載された箇所に枝を設ける。図2は、図1のパリティ検査行列のタナーグラフを示したものである。復号処理はタナーグラフの接続関係を利用して、行演算と列演算によって各ノードに入力された枝に紐(ひも)づく $\alpha$ と $\beta$ を交互に更新していく。行演算では、チェックノードに入力される枝の値 $\alpha$ を更新する。よく知られた復号方法としてSum-Product法があり、式(1)及び式(2)に基づいて値を更新する。

$$\alpha_{mn} = (\prod_{n' \in A(m) \setminus n} \text{sign}(\beta_{mn'})) f(\sum_{n' \in A(m) \setminus n} f(|\beta_{mn'}|)) \quad \dots\dots (1)$$

$$f(x) = \ln \{ (\exp(x) + 1) / (\exp(x) - 1) \} \quad \dots\dots (2)$$

ここで、 $\text{sign}(\cdot)$ は符号関数を意味している。また、列演算では式(3)及び式(4)によって、各枝の値 $\beta$ を更新していく。

$$\beta_{mn} = \sum_{m' \in B(n) \setminus m} \alpha_{m'n} + \lambda_n \quad \dots\dots (3)$$

$$\lambda_n = \ln \{ (P(y_n | x_n = 0)) / (P(y_n | x_n = 1)) \} \quad \dots\dots (4)$$

各ビットノードの復号結果については、

$$X_n = \lambda_n + \sum_{m' \in B(n)} \alpha_{m'n} \quad \dots\dots (5)$$

の符号によって決定される。

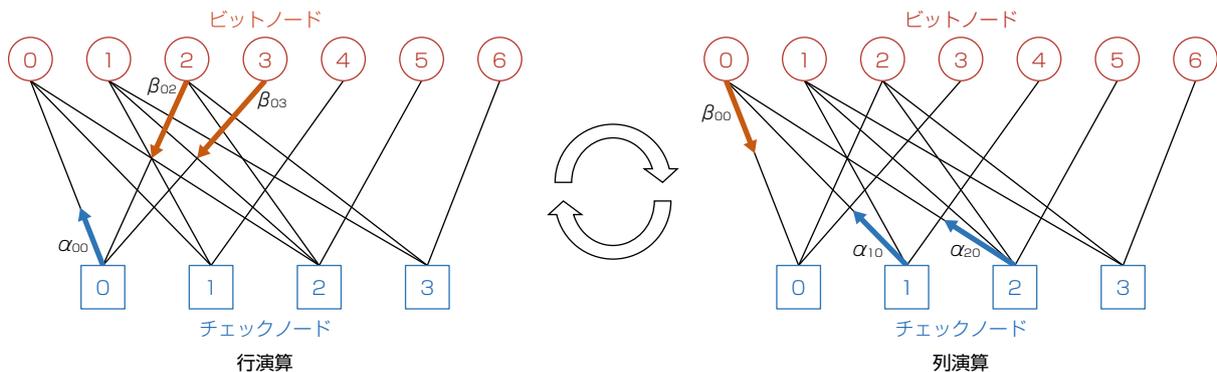


図2-タナーグラフを用いたLDPC符号の復号処理

### 2.3 Quasi Cyclic-LDPC

LDPC符号は定義が広い符号であり、パリティ検査行列の設計は自由度が高い。検査行列の“1”の位置を特定の規則に基づいてランダムに配置し、誤り訂正性能の良い検査行列を探索する方法なども知られているが、実用的な符号長を持つLDPC符号ではタナーグラフの配線が膨大かつ不規則になることから、復号回路の実装設計難易度は非常に高い。LDPC符号を設計する上では、誤り訂正性能だけでなく、回路化が容易で、さらに低演算量で高性能を実現できる検査行列の設計が重要になる。

誤り訂正性能と回路実装性を兼ね備えた符号としてQC(Quasi Cyclic)-LDPC符号の検討が進められている。QC-LDPC符号は、パリティ検査行列の非零成分が、単位行列の巡回シフトによって得られる巡回行列で構成された符号である。図3にQC-LDPC符号の復号回路のRTL(Register Transfer Level)構成図を示す。LDPC符号のパリティ検査行列が巡回行列によって構成されず、ランダムに構成された場合、第1階層のLDPC復号回路の直下に数千から数万の行演算コアや列演算コアのモジュールが配置され、それぞれがランダムに接続されることで配線混雑やタイミング違反の温床になる。しかしQC-LDPC符号の構成を取ることで、巡回行列サイズ単位で行演算ブロック、列演算ブロックをまとめることが可能であり、配線もブロック単位で取り扱うことが可能になる。またこのようにブロックでまとめることによって、このブロック単位での回路レイアウト最適化やレイアウト配置調整が可能であり、問題が発生した際の原因特定も容易になる。QC-LDPC符号のパリティ検査行列の設計では、この巡回行列の大きさやシフト量も重要なパラメーターであり、復号回路アーキテクチャー及びプロセスルールに整合するよう最適化していく必要がある。

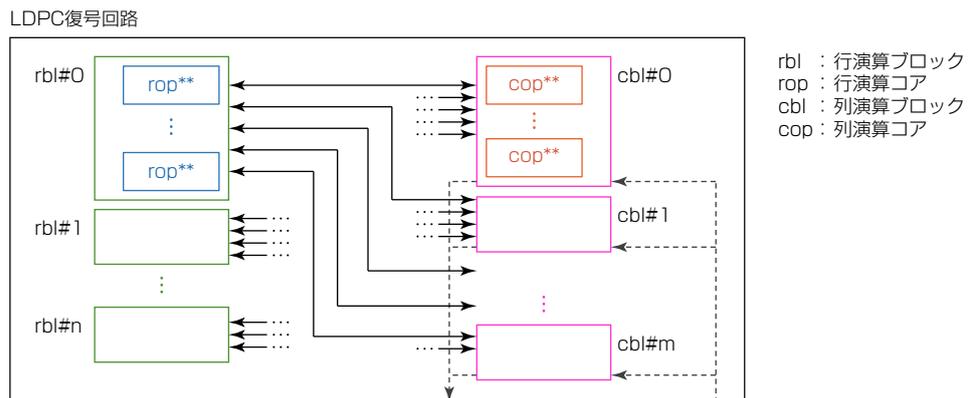


図3-QC-LDPC符号 復号回路のRTL構成例

### 3. 回路特性を考慮したQC-LDPC符号と復号回路アーキテクチャーの探索

ハードウェア化に適した符号であるQC-LDPC符号であっても、配線数は削減できず、依然としてレイアウト設計難易度が高いことから、要求仕様を満たすには試行錯誤が必要になる。近年の微細化プロセスではセル単体が小型化/高速化することで、小型になったセルへと配線が集中することによる配線混雑や、混雑回避のための配線遅延によるタイミング違反を生じやすくなっている。タイミング違反を解決するための最も容易な手段は、回路高速化の実現のために用意される高速セルを使用することである。しかし、このセルは電流を多く流すことで高速化を実現しており、リーク電流(動作に関係なく流れる電流)によって消費電力が増加するというデメリットを持っている。さらに、チップ一つ一つのセルは微細化によって高速化されているものの、プロセスの製造ばらつき、電圧、温度によってそれらの特性が変動し、動作周波数に対する振る舞いが変わることから、実際に高速化するためには考慮すべき条件が多く複雑になってきている。プロセスルールによっても条件が変わるため、適用するプロセスルールや符号、復号アルゴリズムに応じて、動作周波数や回路アーキテクチャーを最適なものに設計していく必要がある<sup>(2)</sup>。また、パリティ検査行列が、誤り訂正性能だけでなく回路規模にも影響を与えることから、復号回路の物理合成結果に基づいた符号設計を行うフィードバック設計もまた必要である。

表1に、光通信用ASICを志向した800Gbpsスループットの誤り訂正回路について、設計最適化の試行結果を示す。この設計では、符号設計と回路設計の両面から目標性能を満たすことを目標とした。方式1では、誤り訂正性能と消費電力は目標を満たしたが、タイミング違反や配線混雑が発生し、実現性の低い結果になった。方式2では、配線混雑を回避するためにパイプライン化を行ったが回路実現性に目途が得られないことから、符号長や巡回行列のサイズを一新した符号Bや符号Cといった新たな符号設計と復号回路アーキテクチャへのフィードバックがかかった。最終的には方式3で策定した回路アーキテクチャに再設計した符号Cと動作周波数の最適化を加えた方式6によって、目標を全て満足した誤り訂正符号の設計を実現した。

表1-800Gbpsスループットの誤り訂正復号回路設計結果

方式	改訂内容概要	符号 (巡回行列サイズ)	訂正 性能	消費電力(W) (800Gbps)	軟判定復号回路 ゲート数(MG)	誤り訂正回路 全体ゲート数(MG)	タイミング 違反(ns)	配線混雑 (%)	高速セル 使用率(%)
目標値	-	-	○	2.3W以下	11MG以下	-	-0.01	0.1%以下	10%以下
方式1	1 blk当たり400G, 2並列構成	符号A (96)	○	1.92	11.5	54.3	-0.19	39.00	32.36
方式2	パイプライン復号処理	符号A (96)	○	2.13	13.4	60.8	-0.54	1.24	29.69
方式3	QC-LDPC符号の短符号長化 1 blk当たり100G, 8並列構成	符号B (64)	△	2.88	10.6	78.6	-0.40	0.10	37.72
方式4	方式3の復号演算ビット幅削減	符号B (64)	×	2.48	8.9	67.2	-0.27	0.15	30.94
方式5	QC-LDPC符号の短符号長化 連接硬判定符号の高性能化	符号C (64)	○	2.75	8.7	82.0	-0.11	0.12	22.08
方式6	動作周波数1/2適用 1 blk当たり100G, 8並列構成	符号C (64)	○	2.30	10.9	105.2	0	0.09	0.27

#### 4. 装置特性を考慮した復号回路制御による動的低電力手法

誤り訂正復号処理回路は対応する伝送容量の増加と動作周波数や並列展開数との間にトレードオフがあり、最先端の微細化プロセス技術の適用を前提としても、近年の大容量化に対する要求を低電力で実現することは難しく、復号処理の簡易化や回路実装技術単体による静的な低電力化には限界がある。そこで、装置の運用上の特性を考慮したアルゴリズムと協調した動的な回路制御による低電力が必要になる。

2章で述べたとおり、光通信に適用されるQC-LDPC符号は、軟判定の繰り返し復号によって高い誤り訂正性能を実現する。高い誤り訂正性能を持つことによって、伝送路での誤りの発生を許容でき、伝送距離の延伸が可能になるが、光通信装置の運用を考慮した場合、誤り訂正限界に対してマージンを持った領域で運用することが一般的である。また、ネットワークトポロジーに応じて伝送距離が異なり、最大伝送距離より短い伝送距離の通信路も多く存在する。実際の運用領域では、誤り訂正限界付近に比べて信号品質の高い受信信号が得られることから、毎符号で必ずしも全回数の復号処理を必要とするわけではない。そこで、符号語単位で信号劣化状態を監視し、不要な演算を避けるよう復号回路を動的に停止することによって、消費電力を低減することが可能になる<sup>(3)</sup>。図4に信号品質に応じた復号演算制御による電力

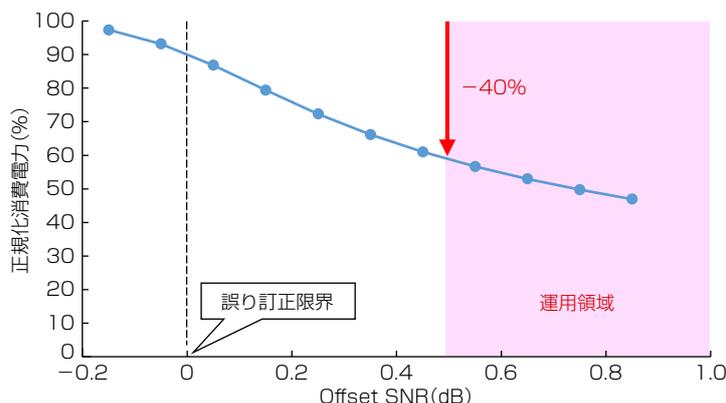


図4-信号品質に応じた復号演算制御による電力削減効果

削減効果を示す。横軸は誤り訂正限界を基準にしたOffset SNR(Signal to Noise Ratio), 縦軸は復号回路の動的停止がない場合の電力を基準とした正規化消費電力を示す。誤り訂正限界やそれよりも特性の悪い(負側)の伝送路では誤り訂正復号回路が最大の繰り返し復号動作を行うことから100%に迫る消費電力になる。それに対して, 誤り訂正限界に対して0.5dB程度以上のマージンを持った領域で運用することで, 最大動作時から40%に迫る消費電力の削減が可能な結果が得られている。

## 5. む す び

800Gbps大容量光通信向けLDPC符号を例に, 最先端微細化プロセスによる誤り訂正回路の低電力化設計技術を述べた。通信網の大容量化に従って, 訂正性能の向上と同時に低消費電力化の相反する特性が求められる中, これまでの処理の簡易化や微細化プロセスの進展だけでは, 低電力化に対する要求が満足できなくなっている。それらを実現するため, 本稿で述べた装置運用上の特性を生かした動的な低電力化がますます重要になってくると考えられる。

また, 本稿では最先端微細化プロセスによる光通信用誤り訂正回路のASIC開発を例としたが, 微細化が進むFPGA(Field Programmable Gate Array)による誤り訂正回路の低電力化でも有効である。FPGAでは, デバイスごとに使用可能な回路リソースが限られており, 3章に示す符号設計と回路設計の両面からの最適化とともに, システム/アプリケーション特性と実装特性とを統合したデジタル設計技術の更なる高度化で実現が可能となる。

## 参 考 文 献

- (1) Gallager, R. G. : Low-Density Parity-Check Code, Research Monograph series, Cambridge, MIT Press (1963)
- (2) 平野 進, ほか: LSI開発の下流工程での性能・回路規模・消費電力改善技術, 三菱電機技報, 96, No.9, 336~339 (2022)
- (3) 小西良明, ほか: 通信向け高速・低電力誤り訂正符号化技術, 電子情報通信学会技術研究報告, 120, No.137, PN2020-18 (2020)