

LSI開発の下流工程での 性能・回路規模・消費電力改善技術

平野 進*
Susumu Hirano
小川吉大*
Yoshihiro Ogawa

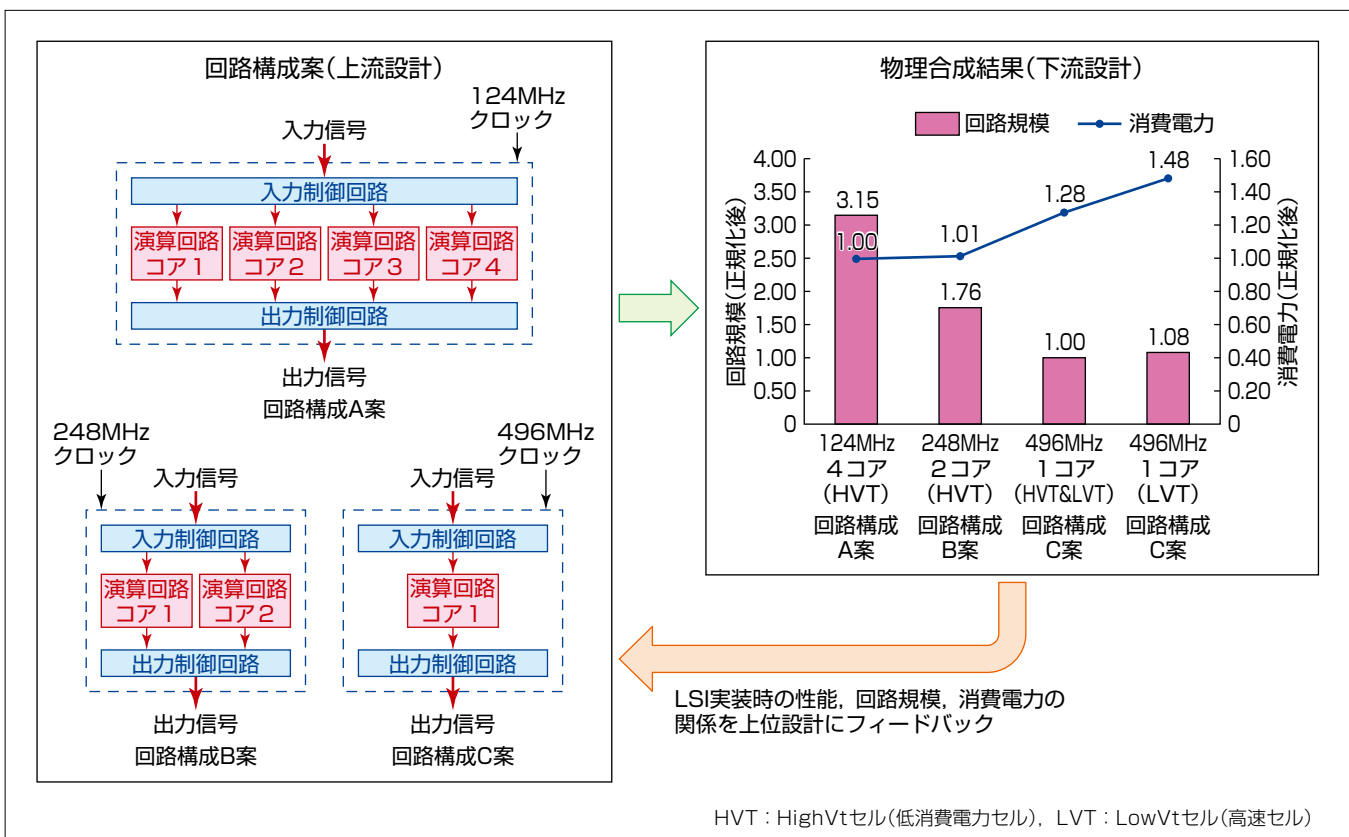
Design Technology for Improving Performance, Circuit Scale, and Power Consumption in the Backend Phase of LSI Development

要 旨

持続可能な社会の実現に向けて、情報技術によって複雑な問題を限られたエネルギーで解決する必要があり、機器には高機能化と省エネルギー化の両立が求められている。これを実現する手段の一つとしてLSI化があり、半導体のプロセス微細化によって、回路高速化や1チップの回路規模搭載量増加、消費電力削減が可能になったが、一方で、プロセス微細化が進むにつれて配線遅延・混雑、トランジスタ特性のばらつき、リーク電流等の新たな問題も発生してきている。これらの問題に対応するために、LSI開発の下流工程(レイアウト設計)を考慮した、性能・回路規模・消費電力の改善技術が求められる。

近年の微細化プロセスの恩恵を十分に得るためには、従

来の設計とは異なる設計手法を取り入れていかなければならないことが分かってきた。従来の設計フローでは、回路設計した後に下流工程を行う一方通行の流れであったが、近年の微細化プロセスでは、上流設計の中で下流工程の一部(配置配線を考慮した物理合成等)を事前に行い、その結果に応じて上流設計の指針を随時変更していくことが必要である。特に、性能向上・回路規模削減・消費電力削減では、複雑なトレードオフ関係があり、従来下流工程で行っていたクリティカルパス削減、階層設計、電源電圧低減/停止等への対応策を上流工程から考慮した回路設計と回路実装の最適化アプローチが重要である。



プロセスに応じた設計：性能(動作周波数)、回路規模(面積)及び消費電力の関係

微細化プロセスを用いたLSI設計では、その実力を最大限に引き出すため、プロセス特性に応じた、動作周波数、回路規模及び消費電力のトレードオフの複雑な関係を上流設計時点から把握し、設計指針を規定してフロントローディングを行うことが重要である。図の場合、同一性能を実現するために、回路規模と消費電力のどちらを重視するかによって回路構成を決めなければならない。

1. ま え が き

持続可能な社会の実現に向けて、情報技術によって複雑な問題を限られたエネルギーで解決する必要があり、機器には高機能化と省エネルギー化の両立が求められている。これを実現する手段の一つとしてLSI(ASIC(Application Specific Integrated Circuit), FPGA(Field Programmable Gate Array))がある。

LSIは必要な処理だけを、処理に応じた効率的な回路構造で実装でき、回路領域を少なくして無駄なく処理を行えるようになるため、小型化を可能にするだけでなく、エネルギー効率も良くなって、消費電力を低く抑えることで省エネルギーへの貢献も期待できる。

LSIは高機能化に対応するためにムーアの法則で知られるようにプロセステクノロジーが進化し、プロセス微細化が進んでその集積量を増やしてきた。また、デナード則による“微細化=高速・省電力化”で、高性能化、低消費電力化の要求にも対応してきた。

これまでは、プロセステクノロジーの進化に伴い、LSIの実装ツール(論理合成ツールやレイアウト設計ツール)も進化し、LSI回路設計者はLSIの実装ツールに任せておけば微細化プロセスで所望の性能や電力を得ることができていた。しかし、近年の微細化プロセスは従来と比較して複雑化し、配線混雑、チップ内のタイミングばらつき、リーク電流等の新しい問題が出てきており、LSIの実装ツールを適切に使いこなさないと微細化プロセスの恩恵を十分に得られないだけでなく、LSIの実装ができず、開発遅延のリスクにもつながるようになってきている⁽¹⁾。

2. 近年の微細化プロセスと設計の傾向

これまでの微細化プロセスでは、上流設計の回路設計者は性能を出すために、動作周波数を可能な限り上げるか、動作周波数が上限に達した場合は回路を並列化するだけでよかった。そして、下流設計者は市販の回路実装ツールを用いて論理合成やレイアウト設計を実施する、という一方通行の設計の流れであった。

近年の微細化プロセスでは、高速化の対策としてLVTがある。このセルは電流を多く流すことで高速化を実現しているが、リーク電流(動作に関係なく流れる電流)によって消費電力が増加するというデメリットがある。

一方、低消費電力なセルとしてHVTがあるが、LVTと比較して速度の面でデメリットがある。

つまり、下流設計では性能(動作周波数)と回路規模(面積)・消費電力のトレードオフ関係を考慮してセルを選ぶ

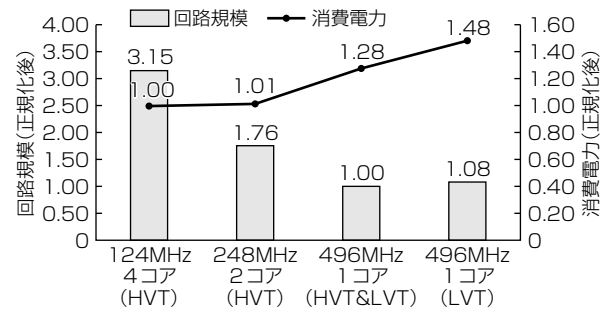


図1. 動作周波数、回路規模及び消費電力の関係

必要がある。

図1は配線数が多い回路での物理合成(配置配線を考慮した論理合成)結果についてまとめたものである。同一性能を実現するために、動作周波数の高いLVTを使用して性能を達成する方法と、動作周波数の低いHVTを使用して回路並列化(コア数を増加)することで回路規模を増やして性能を達成する方法との、消費電力の関係を比較している。

248MHz/2コア(HVT)と、496MHz/1コア(HVT&LVT)を比較すると、前者は消費電力が27%低く、後者は回路規模が76%少ないことが分かる。つまり、その開発で消費電力と回路規模のどちらを優先するかによって、回路の設計方法が変わることになり、回路実装結果を考慮しないと回路設計ができないということになる。

さらに、近年の微細化プロセスではチップ内の一つ一つのセル(基本回路ライブラリ)は微細化によって高速化されているが、プロセス(製造のばらつき)、電圧、温度によって、回路の遅延が変動したり、性能に対する配線遅延の影響比率が増えたりするようになり、高速化のためには考慮すべき条件が多く複雑になっている。また、プロセスルール(16nmプロセス、5nmプロセス等)によっても条件が変わるため、同一の回路でもプロセスルールが変われば動作周波数や回路構成を見直す必要がある。

つまり従来のような一方通行の設計の流れでは、目標とする性能、回路規模、消費電力を実現することはできない。

3. 微細化プロセスに向けた設計手法

近年の微細化プロセスを用いたLSI開発では、下流設計で大きな手戻り(目標とする性能、回路規模、消費電力を実現できずに回路の大改修を行うなど)が発生しないようにするために、上流設計の時点から下流設計工程を考慮した回路設計を行うことが必須になってきている。速度改善、回路規模削減、消費電力削減のそれぞれ目的別の手法を次に示す。

3.1 速度改善手法

2章で述べたように速度改善にはLVTを活用すること

が有効であるが、LVTの活用は消費電力増加を招くことになる。そのため、安易なLVTの使用は避けて、必要最低限の使用にとどめることが重要である。そのためには、まず細かい単位でLVTを指定できるようにする必要がある。セルの指定はブロック単位で行う必要があるため、回路設計の時点で各ブロックを細かい単位(1MG(ミリオンゲート)以下推奨)になるように、ブロック分割・サブブロック分割を行っておく必要がある。

次にLVT以外の方法での速度改善も有効である。微細化による実装可能な回路量の増加に伴い、回路間の配線数も多くなり配線混雑が発生する。配線混雑の発生は迂回(うかい)配線の発生につながって、迂回配線によって配線長が長くなり速度が出ないという結果になる。配線混雑はタイミング条件の厳しい配線が集中することから発生するため、タイミング条件が厳しいパスを減らすことが重要になる。それには機能的に1サイクルで到達しなくてもよいパスには回路設計の時点でFF(フリップフロップ)を入れたり、マルチサイクルパス(物理合成の際に必要なサイクル数)を設定したりすることでタイミング条件を緩和することが可能である。また、配線集中の発生を避けるために、ファンアウト数の多い回路設計を控える、多入力セルの使用を控える、大容量SRAM(Static Random Access Memory)を分割するなどの方法が効果的である。

このような方法を行い、真のクリティカルパスになる箇所を抽出してLVTを使うことで、消費電力とのトレードオフを図ることが可能になる。

3.2 回路規模削減手法

回路規模削減に関しては下流設計ツール(物理合成・レイアウト設計ツール)の実装最適化機能に任せることが有効であるが、微細化によって下流設計ツールの機能だけでは効果的な回路規模削減ができなくなってきている。その一番の要因はLSIに実装できる回路規模が膨大になってきたことである。プロセスが1/2, 1/3, …と微細化すると同一面積に実装できる回路規模は4倍, 9倍, …と2乗で増えてくる。回路規模の増大は配線数の増大につながり、配線方法の組合せは更に増えて、複雑になってくる。その複雑度は、下流設計ツールの進化以上に進んで、従来のトップダウン設計手法のように大規模回路をまとめて下流設計ツールにかけると、非現実的なツール実行の長時間化や、最適化ができずに回路規模が増大するような結果になってしまう。

そのため、回路設計の時点でブロックを小さい単位(数MG以下推奨)になるようにブロック分割し、ブロックごとに下流設計ツールで最適化を行い、その結果を積み上げていくボトムアップ設計手法が必要になってきている。し

かし、単にブロック分割すればよいわけではなく、ボトムアップで積み上げていったときに回路規模削減可能な最適配置を考慮したブロック分割が必要である。

ブロック分割で考慮すべきことの一つ目としては、ブロックのピンペア数(回路規模に対する入出力ピン数)がある。極端にピン数が多い場合、ブロックサイズがピン数だけで決まってしまう、ブロック内の回路占有率(面積に対する回路実装率)が低くなり、ブロックの回路規模が増えてしまうことがある。そのため、ピン数が偏らないようなブロック分割を推奨している。

考慮すべきことの一つ目としては、配線混雑である。配線混雑は3.1節の速度改善手法で述べたような不必要な迂回配線が発生するだけでなく、配線のタイミング条件を満たすために回路配置が制限され、ブロック内の回路占有率が低くなる要因になる。配線混雑を避けるためには、3.1節の速度改善で述べた手法が有効であるが、仮にその配線混雑を避ける対応で上流設計上の回路が増えたとしても、配線混雑度を減らすことによって下流設計後の回路規模が減る可能性は高い。

考慮すべきことの一つ目としては、信号の流れを考慮したブロック分割である。ボトムアップで最適化したブロックは最終的に手置き配置でレイアウトを行うことになるため、入力ピンから出力ピンまでの信号の流れに合わせてブロックを配置していった場合に、回路規模増加の要因になるブロック間の複雑な配線や不規則な配線を作らないようにブロック分割をすることが重要である。また、上流設計のブロック分割で目標の回路規模が実現できない場合、下流設計でブロック分割・統合を行い、階層変更をして下流設計ツールを実行することがあり、この手法によって上流設計に手戻りを発生させないようにすることが可能である。ブロック分割・統合をしやすい回路構成の例を図2に示す。

図2では、ブロックの階層直下はセル置き不可、サブブロック(黄色部分)の入出力にはFFを挿入するなどの構造化記述を行っており、ブロック分割・統合容易化だけでなくサブブロック単体だけで(接続先に関係なく)タイミング判断できるようになるというメリットもある。

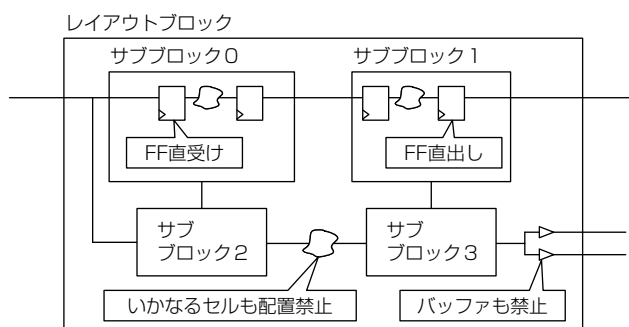


図2. レイアウト設計に優しい回路構成

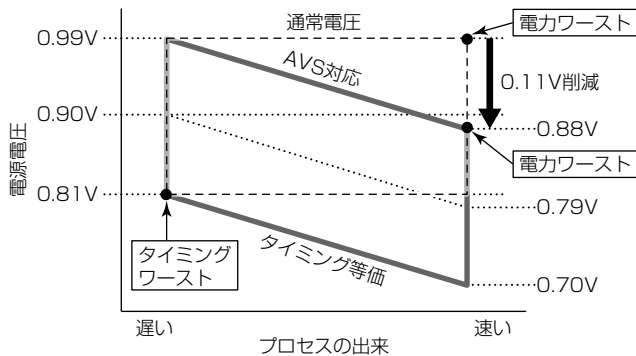


図3. AVSの電源電圧可変イメージ

3.3 消費電力削減手法

近年の微細化プロセスの消費電力削減で有効な手段の一つがAVS(Adaptive Voltage Scaling)手法⁽²⁾である(図3)。LSIの製造上のばらつきや周囲温度によってLSIの動作を保証する最低電圧を変化させることで消費電力削減効果を上げている。AVSの適用箇所は下流設計で判断するが、AVSはタイミングが厳しいパスが存在する回路では電源電圧が下げられず消費電力削減効果が低下するため、回路設計段階からクリティカルパスを発生させないように考慮しておく必要がある。

以前から行われてきた消費電力削減手段として、動作不要な回路のクロック供給を停止することで消費電力を削減する、クロックゲーティング手法がある。クロックゲーティングは下流設計ツールで自動的に回路変更をすることで実現が可能である(信号の遷移が少ないパスにインエーブル信号を付与し信号遷移時だけFFにデータを取り込むようにすることで、論理合成時に信号遷移以外の期間はクロックを止めるよう回路変更する)。しかし、近年の微細化プロセスはクロックゲーティングではリーク電力が下がらないために消費電力削減効果が上がらなくなってきている。

これに対して、回路が動作しない期間はそのブロックの電源を切る、パワーゲーティング手法が近年は主流になってきている。同様に、電源電圧をロジックセルのように下げられずAVS対象外になることがあるSRAMにはパワーゲーティングは有効な電力削減手法であり、SRAMは独自のパワーゲーティング機能が付いているものが増えてきている。

パワーゲーティング手法を使うには回路のブロック単位で動作を停止する期間と停止期間中に他の回路に影響をしない回路構造である必要があり、上流設計の段階からパワーゲーティングを考慮した回路設計が必要である。

また、従来と比較して基本的な電力削減に向けた回路設計指針も変わってきている。従来は回路のFF数を極力減らして回路自体を減らすことで消費電力を減らす手法が一般的であった。しかし、近年の微細化プロセスでは、組合せ回路にLVTを使うことの方が消費電力増加への影響が

多いことから、パイプラインFFを挿入することで、クリティカルパスを回避したり配線混雑を緩和したりした方が総合的に消費電力を削減できるように変わってきている。

4. 微細化プロセスに向けた設計フローの変化

3章で述べたように、微細化プロセスに向けた設計手法は従来とは変わってきており、下流設計のLSI実装を考慮して上流設計をすることが重要である。

3章で述べた設計手法を適用するためには、上流設計開始前に設計指針を規定しフロントローディングを行うことが必要である。しかし、上流設計の段階で3章に述べた内容を全て考慮することは非常に困難であり、方針を見誤ると大きな手戻りへとつながる。そのため、三菱電機は上流設計の途中段階(回路のコーディングが終わって論理検証をする前)で下流設計工程の一部である物理合成やレイアウト設計を行い、回路設計に設計方針の補正等のフィードバックを行う設計フローに変化させる必要があると考えている。

5. むすび

本稿では、近年の半導体微細化プロセスでのLSI設計技術について、LSI開発の下流工程を考慮した性能・回路規模・消費電力の改善技術について述べた。

微細化プロセスの恩恵を十分に得るためには、従来の設計とは異なる設計手法も取り入れていかなければならないことが分かってきた。特に、速度改善と回路規模削減及び消費電力削減では、より複雑なトレードオフ関係が見えてきており、3章、4章で述べたような上流設計からの実装最適化アプローチが重要である。今後はプロセスに応じた設計を行わないと最適解は見出せず、流用回路であっても設計を見直す必要があることを認識しておくべきである。

本稿では当社の設計手法という観点で述べてきたが、下流設計を担当するASICベンダーの選定も重要である。微細化プロセスの経験の少ないベンダーだと工程長期化や電力削減手法の実施不可等があり所望のLSIが実現できない事態に陥る可能性もあることに注意が必要である。

また、本稿では主にASIC開発について述べたが、微細化プロセスの影響はFPGAでも同様であり、今回提案した設計手法はFPGA設計でも有効である。

参考文献

- (1) 平野 進, ほか: 光通信用LSI開発にみる微細化プロセスの対策技術, VLSI設計技術研究会, 118, No.457, VLD2018-110, 103~108 (2019)
- (2) JEITA半導体技術ロードマップ専門委員会(STRJ)設計ワーキンググループ(WG1): SOCの低消費電力設計技術の課題と解決策, STRJ WS, 22 (2009)
https://semicon.jeita.or.jp/STRJ/STRJ/2008/5B_Design.pdf