

低損失化を実現する 新構造SiCトレンチMOSFET

菅原勝俊*
Katsutoshi Sugawara
福井 裕†
Yutaka Fukui
香川泰宏‡
Yasuhiro Kagawa

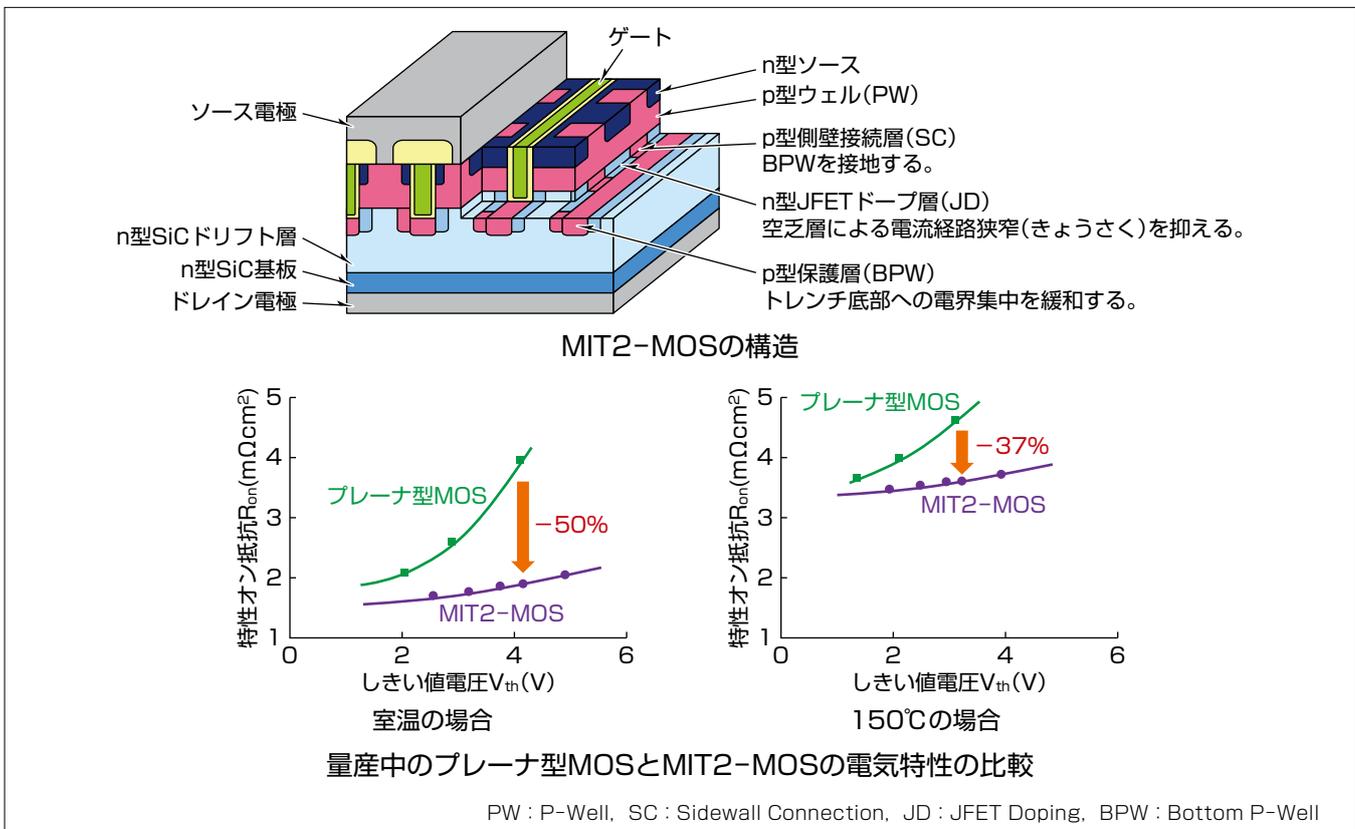
SiC Trench Metal - Oxide - Semiconductor Field - Effect Transistor
with Novel Structure Enabling Lower Losses

要 旨

近年の環境意識の高まりを受けて、パワーエレクトロニクス機器の省エネルギー化が進められている。SiC(シリコンカーバイド)は従来のSi(シリコン)に比べてパワーデバイス材料として大幅に優れた特性を持っており、パワーエレクトロニクス機器の省エネルギー化を実現する次世代材料として注目されてきた。三菱電機ではSiC-MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)、SiC-SBD(Schottky Barrier Diode)の開発及び量産を進めており、家電製品から鉄道製品まで多くのパワーエレクトロニクス機器への適用を進めてきた。

当社のプレーナ型MOSFETは低損失性が特長であるが、更なる性能向上のために高集積化ができるトレンチ型

MOSFETの開発も進めている。しかしながら、トレンチ型MOSFETではトレンチ底部に電界が集中しやすいため、当社ではトレンチ底部にp型保護層を設けて、これを接地する構造を提案してきた。今回、この構造を改善したMIT2-MOS(Multiple Ion-implantation into Tilted Trench sidewall-Metal Oxide Semiconductor)を考案した。MIT2-MOSは高集積化による低損失化が容易であること、簡便なプロセスで製作できることが利点である。今回試作したMIT2-MOSは定格1.2kV(アバランシェ電圧1.5kV)、しきい値電圧4.1Vで特性オン抵抗 $1.9\text{m}\Omega\text{cm}^2$ という高い性能を実現した⁽¹⁾。



MIT2-MOSの構造及び電気特性

トレンチ型SiC-MOSFETではトレンチ底部にかかる電界を緩和するため、底部に電界緩和構造を設けて、これを接地する必要がある。今回開発したMIT2-MOSはこの接地構造にp型側壁接続層を採用し、さらにn型JFET(Junction Field Effect Transistor)ドーピング層を加えた。これによって、定格1.2kV(アバランシェ電圧1.5kV)、しきい値電圧 $V_{th} = 4.1\text{V}$ で現在量産中のプレーナ型MOSFETに比べて、室温で50%、150°Cで37%の特性オン抵抗 R_{on} の削減効果を得た。

1. ま え が き

環境意識の高まりを受けてパワーエレクトロニクス機器の省エネルギーが進められている。その中で、次世代のパワー半導体材料としてSiCが注目されてきた。SiCは従来用いられてきたSiに比べてバンドギャップが大きく、絶縁破壊電界が高いことを始めとして、パワーデバイスとして大幅に優れた性質を持っている。当社ではSiCを用いて、SiC-MOSFETやSiC-SBDの開発及び量産を進めており、これまでに耐圧600Vの家電向けから3.3kVの電鉄向けまで、幅広い耐圧クラスの製品を実用化してきた。

パワーエレクトロニクス機器の省エネルギー化のためには機器に用いられるパワーデバイスの低損失化が重要である。当社ではプレーナ型と呼ばれる平面構造のMOSFETを採用してきた。当社のプレーナ型MOSFETは低抵抗性が特長であるが、その一方でトレンチ型と呼ばれるゲート電極をドリフト層中に埋め込んだ構造のMOSFETは、プレーナ型に比べて単位セルの小型化が可能であり、高集積化による更なる低損失化が期待されている。しかしながら、トレンチ型はトレンチ底部に電界が集中しやすいため、十分な素子信頼性を得るためにはこの電界を緩和する必要がある。当社では、トレンチ底部にp型保護層(BPW)を設けて、これを接地することで電界緩和を行う構造を提案してきた²⁾が、図1(a)に示すように単位セルを間引いてBPWに対するコンタクトを設けるため、高集積化の点で難があった。そこで、今回この接地構造を改善した新たなデバイス構造であるMIT2-MOS(ミツ・モス)を考案した。本稿ではMIT2-MOSの構造及び性能について述べる。

2. MIT2-MOS

2.1 MIT2-MOSの構造

MIT2-MOSはその呼称どおり、三つの注入層によって特徴づけられる。MIT2-MOSの模式図を図1(b)に示す。

一つ目の注入層はトレンチ底部BPWであり、SiCドリフト層にトレンチを開いた後、正対した位置からp型イオン注入を行うことで形成される。このBPWは1章に述べたとおりトレンチ底部にかかる高電界を緩和する効果がある。その一方でBPWの電位が不安定な場合スイッチング損失が増加することと、BPWによって生じる空乏層がPW-BPW間、BPW-BPW間の電流経路狭窄を引き起こして抵抗が増加することの二つの問題を引き起こす。

二つ目の注入層であるSCは前者の問題に対処するためのものであり、開口したトレンチに対して斜め方向からp型

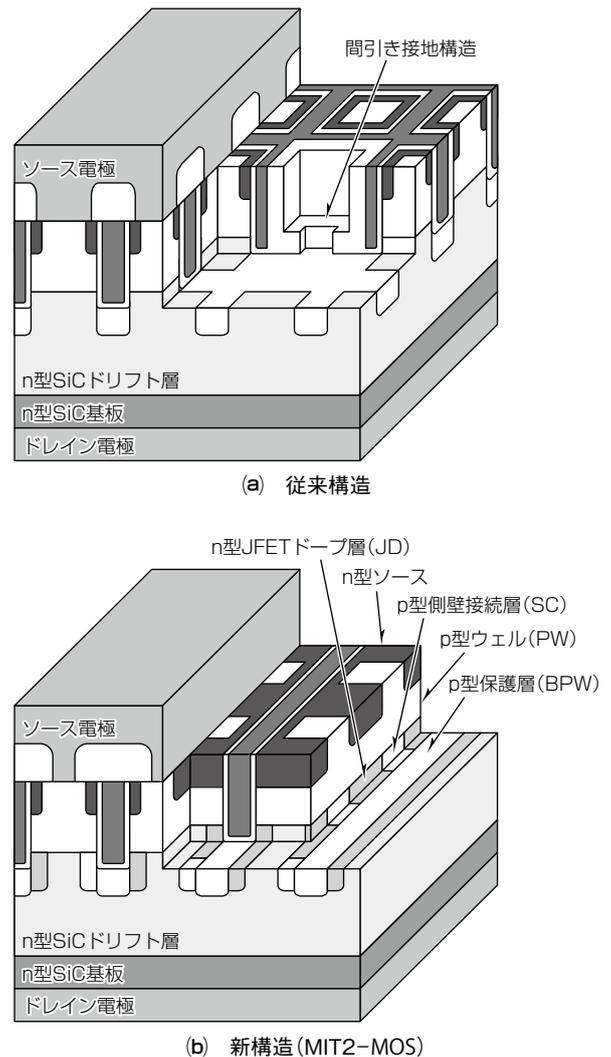


図1. トレンチ型SiC-MOSFETの構造模式図

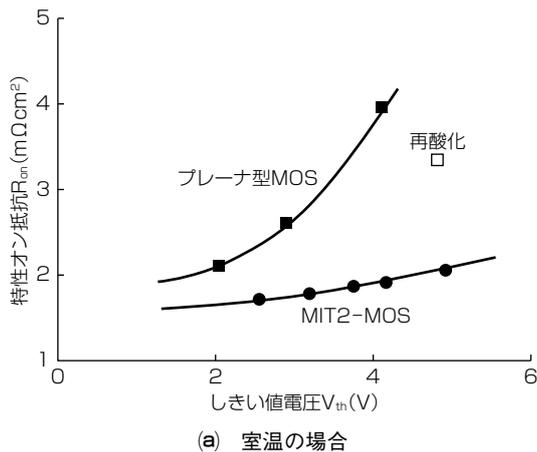
イオン注入を行うことで形成される。SCを介してBPWが接地されることで、BPWの電位が安定してスイッチング損失を低減する効果が得られる³⁾。

三つ目の注入層であるJDは後者の問題に対処するものであり、トレンチに対して斜め方向からn型イオンを注入して形成される。n型SiCドリフト層に比べて高濃度のn層を配置することで、BPWからの空乏層の広がりが抑制され、電流経路狭窄による抵抗増加を防ぐ効果が得られる⁴⁾。

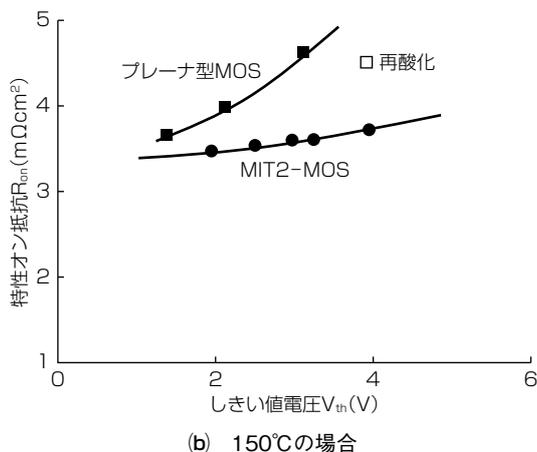
MIT2-MOSはトレンチ壁に対する傾斜イオン注入を行うことで、比較的低エネルギーのイオン注入で製作できる。また、イオン注入後の再エピタキシャル成長も必要なく、全体として比較的簡便なプロセスで製造することが可能である。また、構造がシンプルであるため高集積化しやすいことも利点である。

2.2 MIT2-MOSの静特性

一般にMOSFETのしきい値電圧(V_{th})と特性オン抵抗(R_{on})はトレードオフの関係にある。 R_{on} を下げるためには



(a) 室温の場合



(b) 150°Cの場合

R_{on} はゲート電圧 $V_g=20V$ 、ドレイン/電流密度 $J_{ds}=450A/cm^2$ の値、 V_{th} はドレイン-ソース間電圧 $V_{ds}=10V$ 、ドレイン電流密度 $J_{ds}=100A/cm^2$ の値として定義する。

図2. 特性オン抵抗 R_{on} としきい値電圧 V_{th} の関係

V_{th} を下げればよいが、 V_{th} が低くなるとドレイン-ソース間にリーク電流が流れやすくなる。さらに、温度上昇に伴って V_{th} は減少するため用途によっては高い V_{th} が求められる。図2に R_{on} と V_{th} の関係を示す。素子耐圧は1.2kVを想定しており、実際のアバランシェ電圧は1.5kVである。トレンチ型は従来用いていたプレーナ型に比べて高 V_{th} 領域での R_{on} の増加が抑えられていることが分かる。例えば、 V_{th} が4.1Vでの R_{on} は1.9mΩcm²になった。これはプレーナ型の約半分である。当社では、ゲート酸化膜に再酸化を適用することでプレーナ型でも高 V_{th} 領域での R_{on} 増加を抑えられることを報告しているが⁽⁵⁾、トレンチ型はそれを上回る改善効果が得られる。

一方で、トレンチ型はチャネル幅密度の増加によってプレーナ型よりも単位面積当たりのゲート入力容量 C_{iss} が大きくなる。これに対する性能指標としては図3の特性オン抵抗とゲート入力容量の積 $R_{on}C_{iss}$ が用いられることが多い。この指標ではトレンチ型が若干低く、特性オン抵抗とゲート帰還容量の積 $R_{on}C_{rss}$ はほぼ同等になる。これは同一オン抵抗のチップでは、トレンチ型の方がチップサイズは小さくなり、 C_{iss} は低くなることを示している。

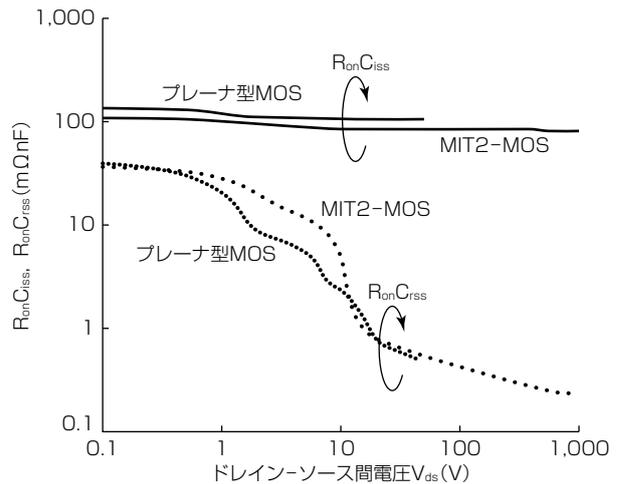


図3. 特性オン抵抗-容量積 $R_{on}C_{iss}$ 及び $R_{on}C_{rss}$ とドレイン-ソース間電圧 V_{ds} の関係

2.3 MIT2-MOSの動特性

動特性の比較を表1に示す。外付けゲート抵抗 R_g を調整して同一の dV/dt で比較した場合、トレンチ型の方がプレーナ型よりも dI/dt が大きくなる。これによって、オン損失(E_{on})は小さくなるが、オフ損失(E_{off})はトレンチ型の方が大きい。オフ側もオン側の dV/dt がそろえば外付けゲート抵抗に変更して、さらに dV/dt 及び dI/dt を大きくした場合には、トレンチ型の E_{on} と E_{off} の和はプレーナ型よりも小さくなる。

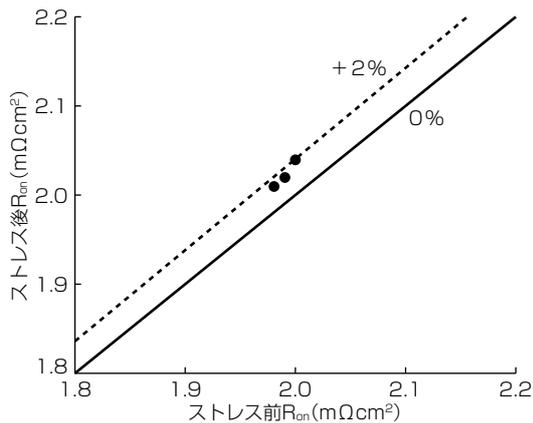
2.4 MIT2-MOSの信頼性

1章に述べたとおり、トレンチ型はプレーナ型に比べてトレンチ底部の電界が大きくなりやすい。また、プレーナ型とはゲート酸化膜が形成される面方位が異なることもあり、トレンチ型では高いゲートストレス印加時に V_{th} がシフトすることが知られている⁽⁶⁾。MIT2-MOSにゲートストレスを印加し、その前後での特性の変化を調べた結果を

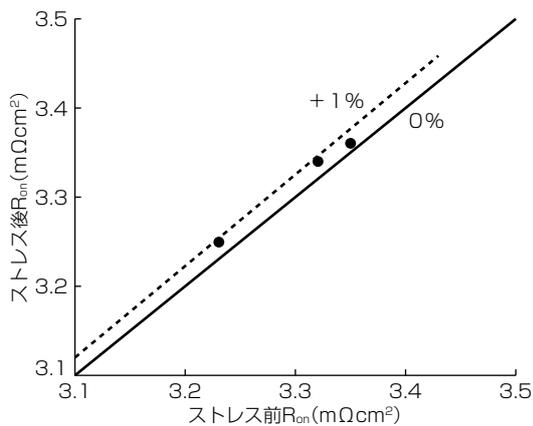
表1. 同一チップサイズのプレーナ型MOSとMIT2-MOSの動特性比較

	プレーナ型MOS	MIT2-MOS		
しきい値電圧 V_{th} (V)	1.8	3.7		
オン時				
ゲート抵抗 R_g (^{注1})		A	B	A
dV/dt (kV/ μ s)	8.0	8.0	6.0	8.0
dI/dt (kA/ μ s)	1.8	2.1	1.7	2.1
オン損失 E_{on} (mJ/P)	1.1	0.8	1.8	0.8
オフ時				
ゲート抵抗 R_g (^{注1})		B	B	A
dV/dt (kV/ μ s)	10.0	10.0	10.0	15.0
dI/dt (kA/ μ s)	0.9	1.1	1.1	2.6
オフ損失 E_{off} (mJ/P)	2.1	2.7	2.7	2.0
$E_{on} + E_{off}$ (mJ/P)	3.2	3.5	4.5	2.8
対プレーナ(%)		+10.9	+40.6	-12.5

(注1) ゲート抵抗 R_g はMOSFET外付けのものを示す。



(a) 室温の場合



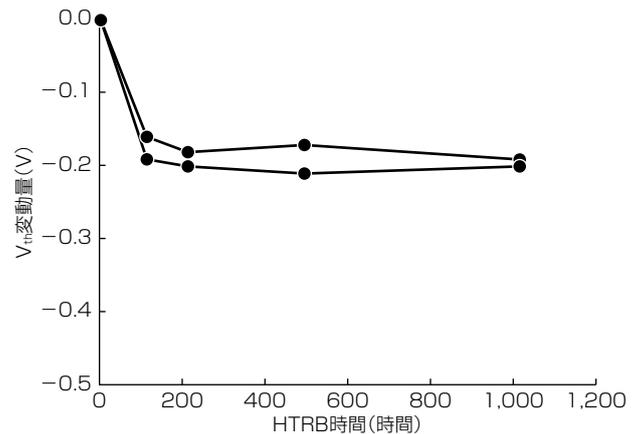
(b) 150°Cの場合

ゲートストレス：ゲート電圧 $V_g=35V$ ，温度 $175^\circ C$ ，10,000秒間

図4. ゲートストレス印加前後での特性オン抵抗 R_{on} の変化

図4に示す。ストレス印加によって V_{th} を $0.23V$ 増加させたとき、 R_{on} の増加は室温で2%程度、 $150^\circ C$ では1%以下にとどまる。これは図2に示した R_{on} と V_{th} の関係で、 V_{th} が $0.23V$ 増加した場合の R_{on} の増加量と同等である。すなわち R_{on} の増加は V_{th} が増加したことによる増加だけにとどまり、ストレス印加による R_{on} そのものの増加は生じないことが分かる。スイッチング損失も同様に V_{th} の増加に沿った変動を示しており、 E_{on} と E_{off} の和はストレス印加前後で変化していない。

V_{th} の変動はゲート酸化膜の状態変化によるものと考えられる。これを確認するため、ストレス印加後の素子2個に対してHTRB(High Temperature Reverse Bias)試験を行った。HTRB試験中に測定した V_{th} の推移を図5に示す。ストレス時間の増加に従って V_{th} は低下していき、200時間経過後はほとんど変化しなくなっている。ストレス開始時点での V_{th} シフト量が $0.23V$ であるのに対して、200時間の時点ではこれより $0.20V$ 減少し、1,000時間までほとんど変化が見られなかった。すなわち、シフト量 $0.23V$ のうち $0.20V$ は一時的なものであり、素子のストレス状態によって変動



HTRB試験条件：ドレインソース間電圧 $V_{ds}=1.080V$ ，温度 $175^\circ C$

図5. HTRB試験中のしきい値電圧 V_{th} の変動

するものであることが分かる。また、1,000時間のHTRB試験で R_{on} やリーク電流の増加は5%以下にとどまっており、 V_{th} シフトが生じたものであってもHTRB試験による劣化は生じないことも確かめられた。

3. む す び

トレンチ底部にかかる電界を緩和するBPW、これを接地するSC、電流経路狭窄を防ぐJDを設けたMIT2-MOSを開発した。開発したMIT2-MOSは定格 $1.2kV$ (アバランシェ電圧 $1.5kV$)、しきい値電圧 $4.1V$ で特性オン抵抗 $1.9m\Omega cm^2$ を示した。これはこれまでに実用化を進めてきたプレーナ型の約半分である。また、ゲートに高いストレスを印加して $0.23V$ の V_{th} シフトを発生させ、静特性、動特性、HTRB信頼性に与える影響を調べたが、どちらも大きな問題は見られないことを確認した。さらに、 $0.23V$ の V_{th} シフトのうち $0.20V$ が一時的なものであることを見いだした。このように、開発したMIT2-MOSが高い性能を持つことを確認した。引き続き量産適用を進めていく。

参考文献

- (1) Sugawara, K., et al.: A Novel Trench SiC-MOSFETs Fabricated by Multiple-Ion-Implantation into Tilted Trench Side Walls (MIT2-MOS), PCIM Europe digital days 2021, 504~508 (2021)
- (2) Kagawa, Y., et al.: 4H-SiC Trench MOSFET with Bottom Oxide Protection, Mater. Sci. Forum 778, 919~922 (2014)
- (3) Fukui, Y., et al.: Effects of Grounding Bottom Oxide Protection Layer in Trench-Gate SiC-MOSFET by Tilted Al Implantation, Mater. Sci. Forum 1004, 764~769 (2020)
- (4) Tanaka, R., et al.: Performance Improvement of Trench-Gate SiC MOSFETs by Localized High-Concentration N-Type Ion Implantation, Mater. Sci. Forum 1004, 770~775 (2020)
- (5) Tanioka, T., et al.: High Performance 4H-SiC MOSFETs with Optimum Design of Active Cell and Re-Oxidation, PCIM Europe 2018, 879~884 (2018)
- (6) Peters, D., et al.: Investigation of threshold voltage stability of SiC MOSFETs, Proc. of 30th ISPSD, 40~43 (2018)