

衛星搭載用Ka帯GaN HEMTの効率化

津波大介*
Daisuke Tsunami
柳生栄治†
Eiji Yagyu
加茂宣卓‡
Yoshitaka Kamo

西口浩平‡
Kohei Nishiguchi
三木耕平§
Kohei Miki

High-efficiency Ka-band GaN High Electron Mobility Transistor for Space Applications

要旨

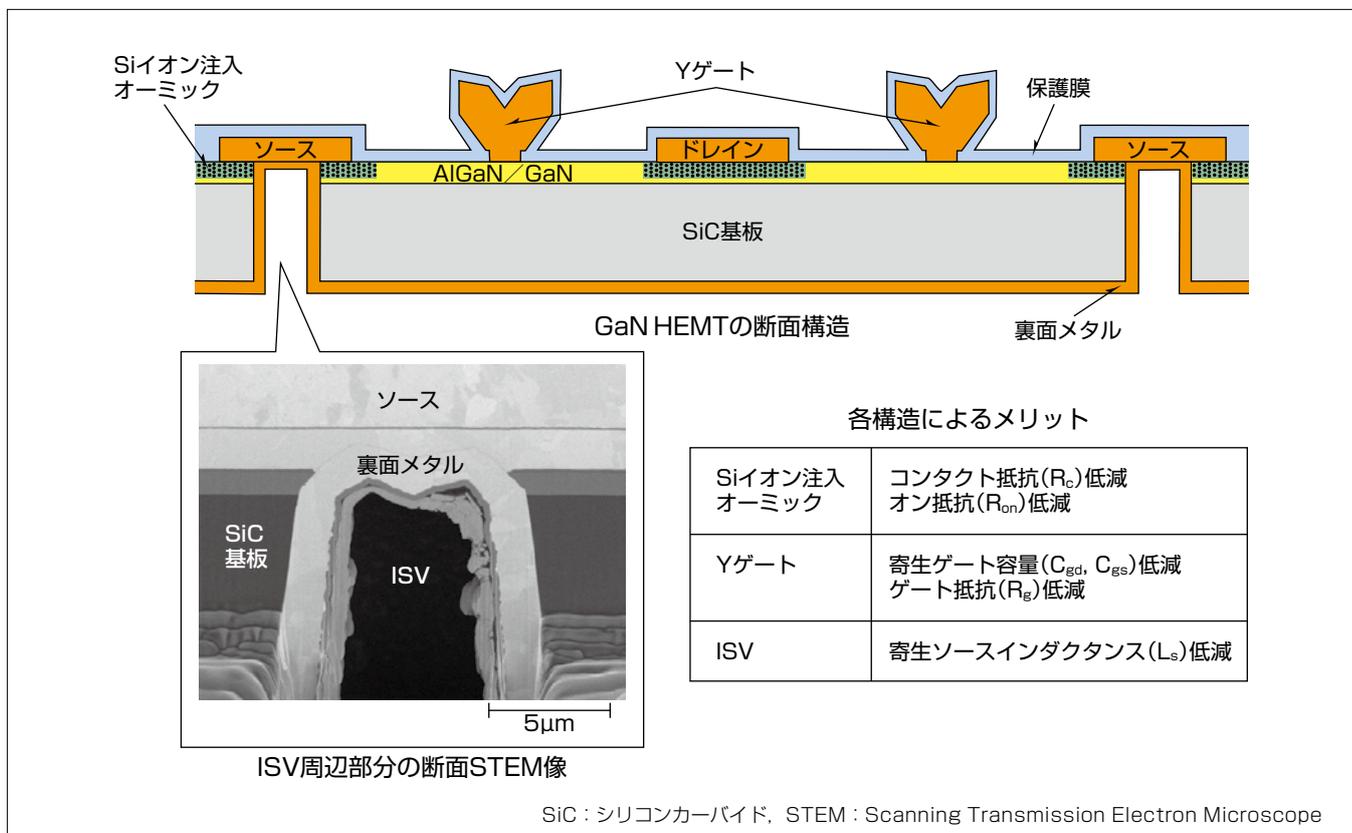
近年、衛星搭載用電力増幅器の小型化・軽量化・長寿命化を目的とした、従来の進行波管増幅器(Traveling Wave Tube Amplifier: TWTA)から GaN(窒化ガリウム)HEMT (High Electron Mobility Transistor)を用いた固体電力増幅器への置き換えが進んでいる。GaN HEMTは従来のGaAs(ガリウムヒ素) HEMTに比べて出力電力を飛躍的に高めることができるが、Ka帯を含むミリ波帯を活用した高速・大容量通信への適用に向けて更なる効率化が求められている。

従来、大電流駆動が可能な高Al(アルミニウム)混晶比を持つAlGaN(窒化アルミニウムガリウム)バリア層に対して、低抵抗なオーミックコンタクトを形成することが困難であったが、Si(シリコン)イオン注入技術を用いて電極/

AlGaNバリア層間の電位障壁を小さくすることで可能にし、コンタクト抵抗とオン抵抗を低減した。また、ゲートの断面形状をY型にすることで低いゲート抵抗を保持したままゲート/基板間で形成される寄生ゲート容量を低減した。さらに、ソース直下に微細ISV(Individual Source Via)を形成することで、ソースとビアホールパッド間の伝送線路による寄生ソースインダクタンスを低減した。

これらによって、ユニットセル当たり1W級の高出力GaN HEMTで、Ka帯動作時の電力付加効率を世界最高(註1)になる60%まで向上させた。開発したGaN HEMTをMMIC (Monolithic Microwave Integrated Circuit)に搭載することで固体電力増幅器の効率化が可能になった。

(注1) 2021年2月5日現在、当社調べ



衛星搭載用Ka帯GaN HEMTの断面構造と特長

Ka帯を超える高周波数帯でGaN HEMTの高効率動作を実現するためには、トランジスタの寄生成分(R, L, C)低減が課題になる。Siイオン注入技術を用いてAlGaNバリア層の一部に選択的にSiを注入し、コンタクト抵抗(R)及びオン抵抗(R)を低減した。さらに、ゲートの断面形状をY型にすることで寄生ゲート容量(C)を低減し、ソース直下に微細ISVを形成することで寄生ソースインダクタンス(L)を低減した。

1. ま え が き

災害時の通信手段確保や地球観測データ量の増加に伴い、Ka帯を含むミリ波帯を活用した高速・大容量の衛星通信の需要が高まっている。従来、衛星搭載用電力増幅器にはTWTAが用いられてきたが、近年、小型化・軽量化・長寿命化を目的として、GaN HEMTを用いた固体電力増幅器への置き換えが進んでおり、固体電力増幅器の更なる高性能化が求められている。

Ka帯を超える高周波帯でHEMTを動作させるためにはゲート長の微細化が必須であり、これまでに三菱電機では、電子線露光技術に比べて高スループット処理が可能なレジストシュリンクプロセスを用いて、0.20 μm 以下の短ゲート長(L_g)を持つGaAs HEMTを実現している⁽¹⁾。この技術をGaN HEMTに展開することでGaN HEMTの高周波動作化を達成⁽²⁾しているが、更なる高効率化のためにはGaN HEMTの寄生成分低減が課題であった。

今回、Siイオン注入技術を用いることで高Al混晶比を持つAlGaN/GaN HEMTのコンタクト抵抗(R_c)とオン抵抗(R_{on})を低減した。また、ゲート断面形状をY型にすることで低いゲート抵抗(R_g)を保持しつつ寄生ゲート容量(C_g)を低減した。さらに、ソース直下に微細ISVを形成することで寄生ソースインダクタンス(L_s)を低減した。これらによって、Ka帯で動作可能な高出力GaN HEMTの高効率化を実現した。

本稿では、開発したGaN HEMTの素子構造、評価結果について述べる。

2. 等価回路パラメータの抽出

素子構造の最適化に当たり、ネットワークアナライザを用いて各素子のSパラメータを測定し、**図1**の小信号等価回路とフィッティングプログラムを用いて等価回路パラメータを抽出した。特に記載のない限り、ユニットゲート幅 $W_{gu} = 52\mu\text{m} \times 8$ 本の1セルトランジスタを用い

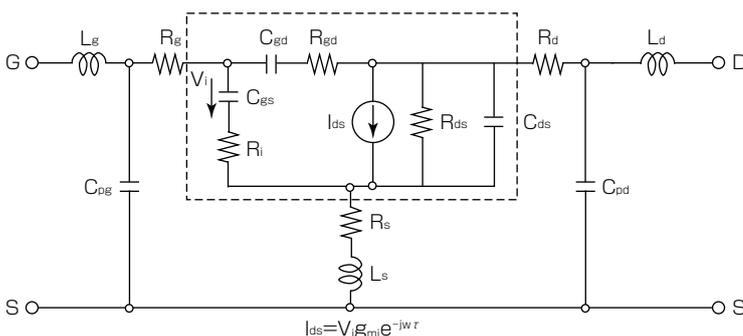


図1. HEMTの小信号等価回路

て、0.5GHzから35GHzの周波数範囲で測定した。等価回路パラメータは点線枠で囲まれたHEMTの真性成分とそれ以外の外因成分からなる。外因成分は電極パッドや伝送線路によって生じた寄生容量や寄生インダクタンスからなり、真性成分とあらかじめ分離した。 C_g はゲート-ソース間容量(C_{gs})とゲート-ドレイン間容量(C_{gd})に分けられる。本稿では、高周波動作化に寄与する R_g 、 C_{gs} 、 L_s と、高利得化・高効率化に寄与する C_{gd} に着目し、素子構造を最適化した。

3. 素子構造

3.1 Siイオン注入オーミック

電力密度(Power Density : PD)及び電力付加効率(Power Added Efficiency : PAE)を向上させるためには、オン抵抗低減が有効であり、キャリア濃度(N_s)を高めることで実現できる。GaN HEMTの場合、 N_s はAlGaN/GaN界面に分極効果で生じる二次元電子ガス(2 Dimensional Electron Gas : 2DEG)濃度によって定まるため、AlGaNバリア層のAl混晶比を高めることが一般的に行われる。今回開発した素子では、30%を超える高Al混晶比のAlGaNバリア層を用いることにした。しかしながら、AlGaNバリア層のバンドギャップが大きくなることに起因して、ソース、ドレイン直下に低抵抗なオーミックコンタクトを形成することが困難になった。そこで、ソース、ドレイン直下のAlGaNバリア層内に選択的にSiイオンを注入し、窒素雰囲気下での活性化熱処理を行うことでn型のAlGaNバリア層を形成した。さらに、AlGaNバリア層上に電極を形成し、再度熱処理を加えることでオーミックコンタクトを実現した。TLM(Transfer Length Method)法によって得られた R_c は $0.19\Omega \cdot \text{mm}$ と十分低い値が得られた。**図2**に作製した素子のI-V特性を示す。飽和ドレイン電流(I_{max})は $1.68\text{A}/\text{mm}$ と高く、 R_{on} は $1.65\Omega \cdot \text{mm}$ と低い値が得られ

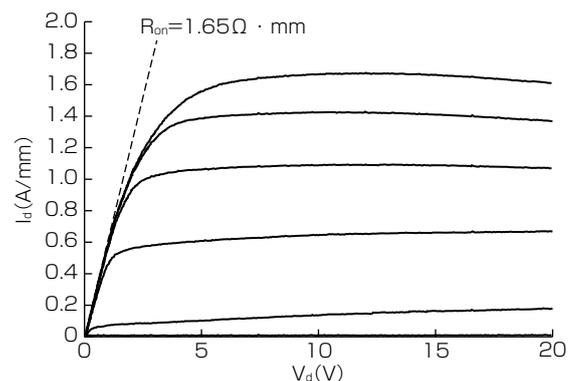


図2. I-V特性

た。なお、Siイオンを注入せずに作製した素子では、オーミックコンタクトを形成できず、ドレイン電流が全く流れなかった。

3.2 Y型ゲート構造

図3(a)にT型ゲートの断面構造を、図3(b)にY型ゲートの断面構造を示す。どちらの構造も高耐圧化のために電極部分が保護膜上に乗り上げた形状(ゲートフィールドプレート)を持っている。これらの構造では、ゲート容量はゲート直下の2DEGとの間で形成される真性容量とゲートフィールドプレートのオーバーラップ部分に起因した寄生容量で構成される。真性容量低減は短 L_g 化によって達成できるが、寄生容量低減はゲートフィールドプレートのオーバーラップ長(L_{ov})を短くする必要がある(図3(c))。

T型ゲートは一般的に蒸着リフトオフプロセスを用いて形成されるが、ゲート蒸着時にレジスト下にメタルが回り込むため、ゲート端断面は順テーパ形状になる。このため、寄生容量低減を目的に L_{ov} を短くすると、ゲートヘッド長(L_{gh})も同時に短くなり、ゲート断面積が小さくなる結果、ゲート抵抗(R_g)は大きくなる(図4)。

この課題を解決するため、Y型の断面形状を持つゲート構造を開発した(図3(b))。Y型ゲートでは L_{ov} と独立に L_{gh} を設定できるため、 L_{gh} を十分大きくすることで、低い R_g を保持したまま C_g を低減できる。試作したY型ゲートの R_g はT型ゲート比の40%以下まで低減した(図4)。一方、

L_{ov} を半減することで、 C_{gs} と C_{gd} は従来比の約80%まで低減した(図5、図6)。この結果、最大安定利得(Maximum Stable Gain : MSG)は0.9dB向上した(図7)。

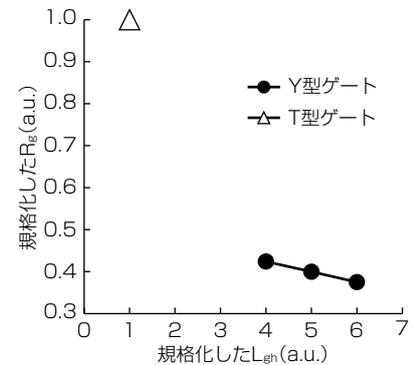


図4. R_g 比較

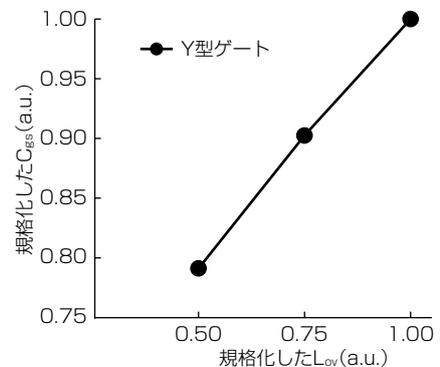


図5. C_{gs} 比較

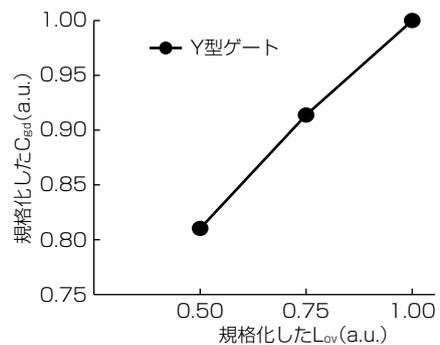


図6. C_{gd} 比較

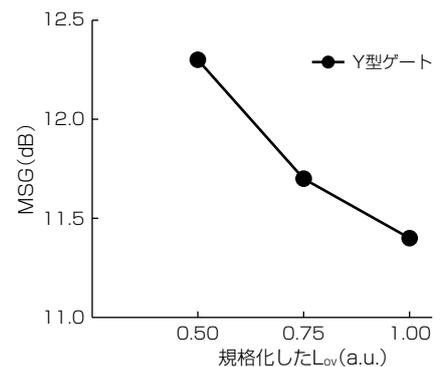


図7. MSG比較

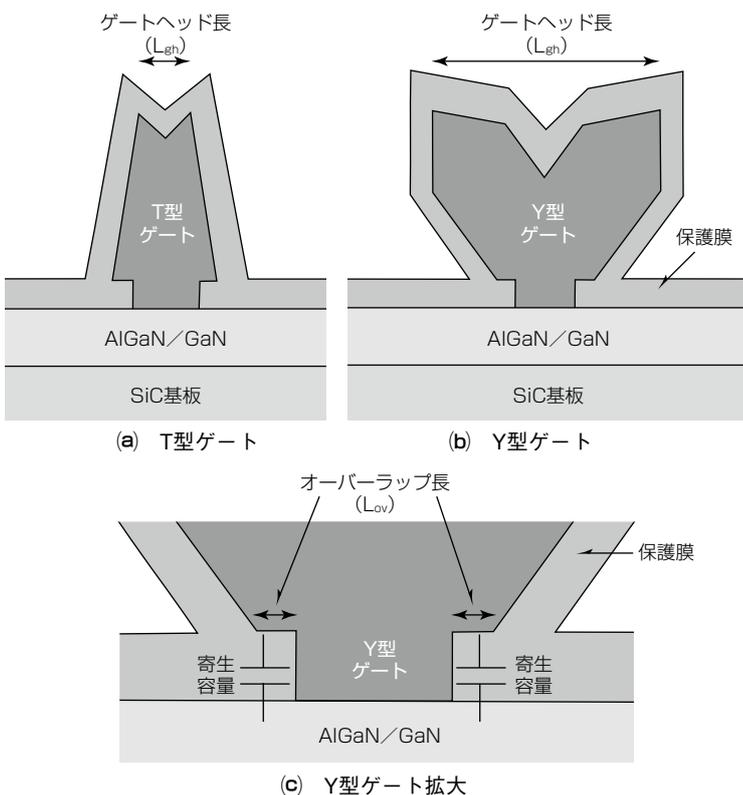


図3. ゲート断面構造

3.3 ISV構造

図8にソース接続方式の異なる2種類の素子レイアウトを示す。図8(a)の2-Via HEMTは最外側のソースにビアホールを設けた構造で、中央付近にあるソースはソースバスラインを介してビアホールに接地されるため、伝送線路による寄生成分 L_s が加わる。 L_s の増加は最大有能利得(Maximum Available Gain : MAG)を低下させるとともに、高周波特性の指標になるMSG/MAG変換点(f_k)を低下させるため、高周波動作の妨げになっていた。

そこで、今回開発したGaN HEMTではソースバスラインを設けず、ソース直下にビアホールを形成するISV構造を採用した(図8(b))。ここで、ソース直下にあるビアホールのサイズが大きい場合には、各ソースの電極サイズを大きくしなければならず、チップサイズが必然的に大きくなる。また、各ゲートフィンガ間で入力電圧の位相差が大きくなり、利得が低下する。これらを考慮して、ソース直下の開口幅が $10\mu\text{m}$ 以下の微細ISVを形成するためのプロセス技術を確立した。図9にISV周辺部の断面STEM像を示す。ソースがISVを介して裏面メタルと接続できていることが分かる。

図10に小信号特性の比較結果を示す。2-Via HEMTの L_s は 5.5pH であり、 f_k は 36.3GHz であった。一方、ISV HEMTでは、 L_s は 0pH になり、 f_k が 41.7GHz まで向上し

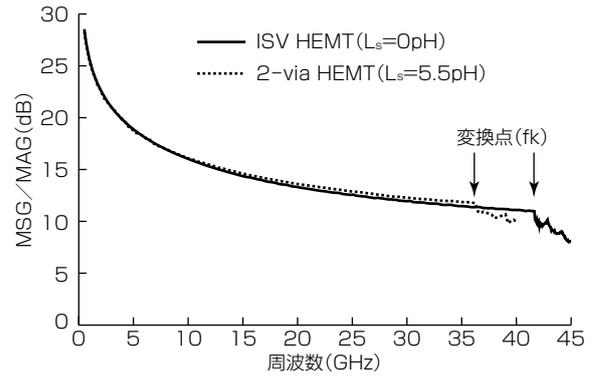


図10. 小信号特性の比較

た。これはこの素子がミリ波帯でも高利得に動作可能であることを示している。

4. 大信号特性の評価結果

最適化した素子構造に対して、PAEが最大になる大信号特性の測定条件を調査した。測定には整合回路付きの1セルトランジスタ(ユニットゲート幅 $W_{\text{gu}} = 52\mu\text{m} \times 8$ 本)を用いた。測定条件は $I_{\text{dq}} = 50\text{mA}/\text{mm}$ 、周波数 $= 28\text{GHz}$ 、CW(Continuous Wave)動作、効率整合とした。図11にPAEのドレイン電圧(V_d)依存性を示す。PAEは V_d 増加に伴って上昇し、 $V_d = 28\text{V}$ で最大になり、その後、僅かに下降した。これは V_d 増加とともにゲート直下の空乏層がドレイン側に広がることで C_{gd} が減少する一方で、電流コラプスの影響が大きくなり、 R_{on} が低下するためである。一方、PDは V_d とともに線形に増加した(図12)。

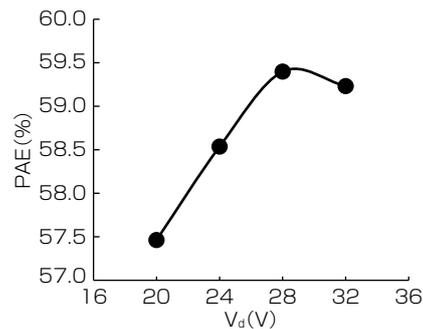


図11. PAEの V_d 依存性

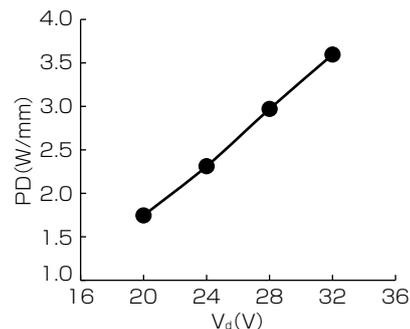


図12. PDの V_d 依存性

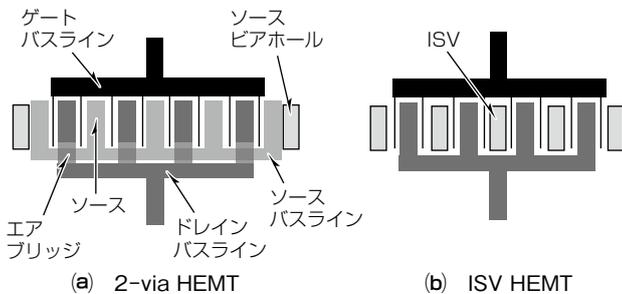


図8. 素子レイアウト

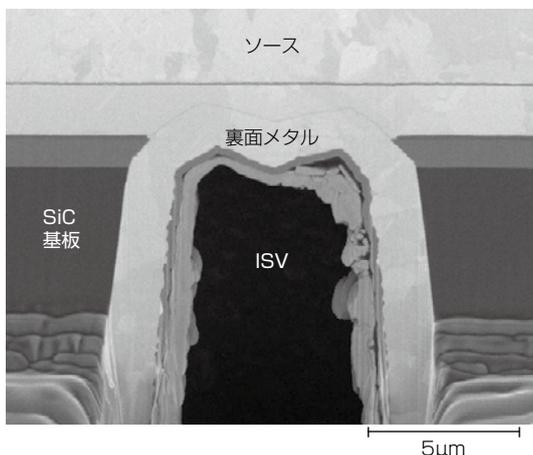


図9. ISV周辺部の断面STEM像

続いて、アイドル電流(I_{dq})の最適化を行った。図13に示すとおり、 I_{dq} を50mA/mmから絞っていくと、動作級がAB級からC級に近づくため、PAEが向上する。一方、入力電力に対する△利得の平坦(へいたん)性は I_{dq} =12.5mA/mmで大きく悪化したため、 V_d =28V、 I_{dq} =25mA/mmの条件を選定した(図14)。

図15に測定条件最適化後の大信号特性(効率整合)を示す。PAEは入力電力20.4dBmのときに最大で60.3%、 P_d は3.1W/mm、利得は10.7dB、出力電力は31.1dBm

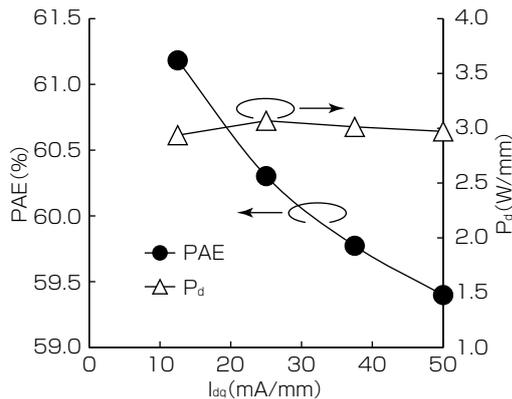


図13. PAEの I_{dq} 依存性

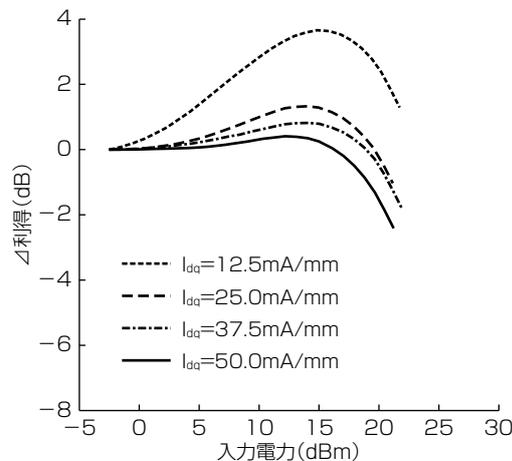


図14. △利得の入力電力依存性

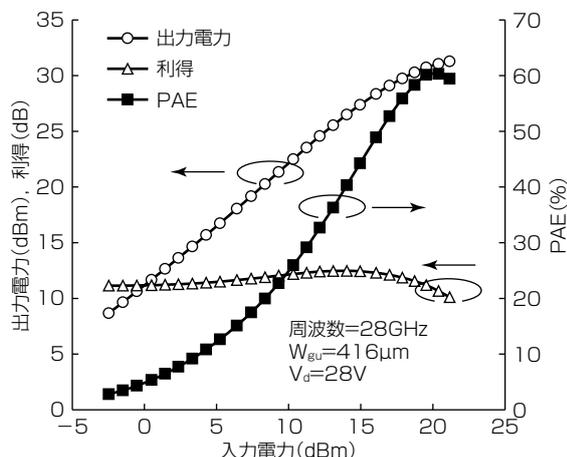


図15. 大信号特性(効率整合)

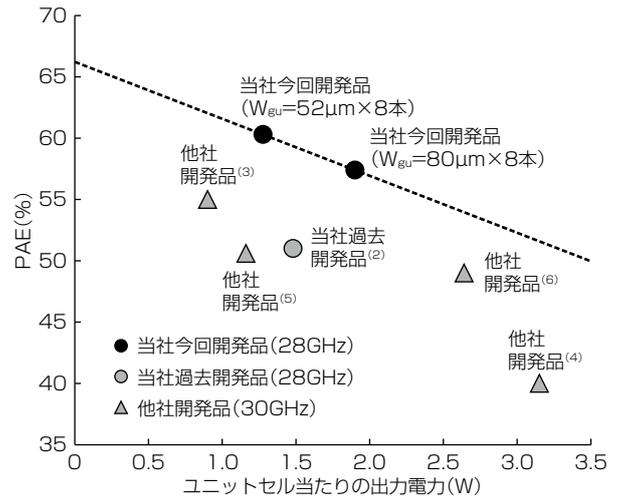


図16. 大信号特性の比較

(1.3W)であった。なお、出力電力整合条件下では、最大出力電力が33.8dBm(2.4W)まで増加し、 P_d は5.8W/mm、PAEは50.1%であった。

図16にGaN HEMTのユニットセル当たりの出力電力とPAEの他社開発品との性能比較を示す⁽²⁾⁽³⁾⁽⁴⁾⁽⁵⁾⁽⁶⁾。当社が今回開発したKa帯高出力GaN HEMTが最も高いPAEを持っていることが分かる。

5. むすび

小信号等価回路モデルを用いてGaN HEMTの寄生成分を評価し、素子構造を最適化した。Siイオン注入技術を用いてコンタクト抵抗を含むオン抵抗を低減し、ゲート断面をY型にすることで低いゲート抵抗を保持したまま寄生ゲート容量を低減し、微細ISV構造によって寄生ソースインダクタンスを低減した。これらによって、Ka帯動作、ユニットセル当たり1W級を持つ高出力GaN HEMTで、60%を超えるPAEを達成した。開発したGaN HEMTをMMICに搭載することで、電力増幅器の高効率化が可能になった。

参考文献

- (1) 上野貴寛, ほか: GaAs-HEMTの高スループット生産に向けた短ゲート形成プロセス, 三菱電機技報, **93**, No.3, 206~210 (2019)
- (2) Yamaguchi, Y., et al.: A CW 20W Ka-band GaN high power MMIC amplifier with a gate pitch designed by using one-finger large signal models, IEEE CSICS, DOI: 10.1109/CSICS.2017.8240422 (2017)
- (3) Estella, N., et al.: High-efficiency, Ka-band GaN power amplifiers, IEEE MTT-S IMS, 568~571 (2019)
- (4) Roberg, M., et al.: 40W Ka-band single and dual output GaN MMIC power amplifiers on SiC, IEEE BCICTS, 140~143 (2018)
- (5) Nayak, S., et al.: 0.15μm GaN MMIC Manufacturing Technology for 2-50 GHz Power Applications, CS MANTECH, 43~46 (2015)
- (6) Din, S., et al.: High power and high efficiency Ka band power amplifier, IEEE MTT-S IMS, DOI: 10.1109/MWSYM.2015.7166776 (2015)