

GaAs-HEMTの高スループット生産に向けた短ゲート形成プロセス

上野 貴寛* 西澤 弘一郎*
尾上 和之*
相原 育貴*

Short-gate Formation Process for High-throughput Production of GaAs-HEMT

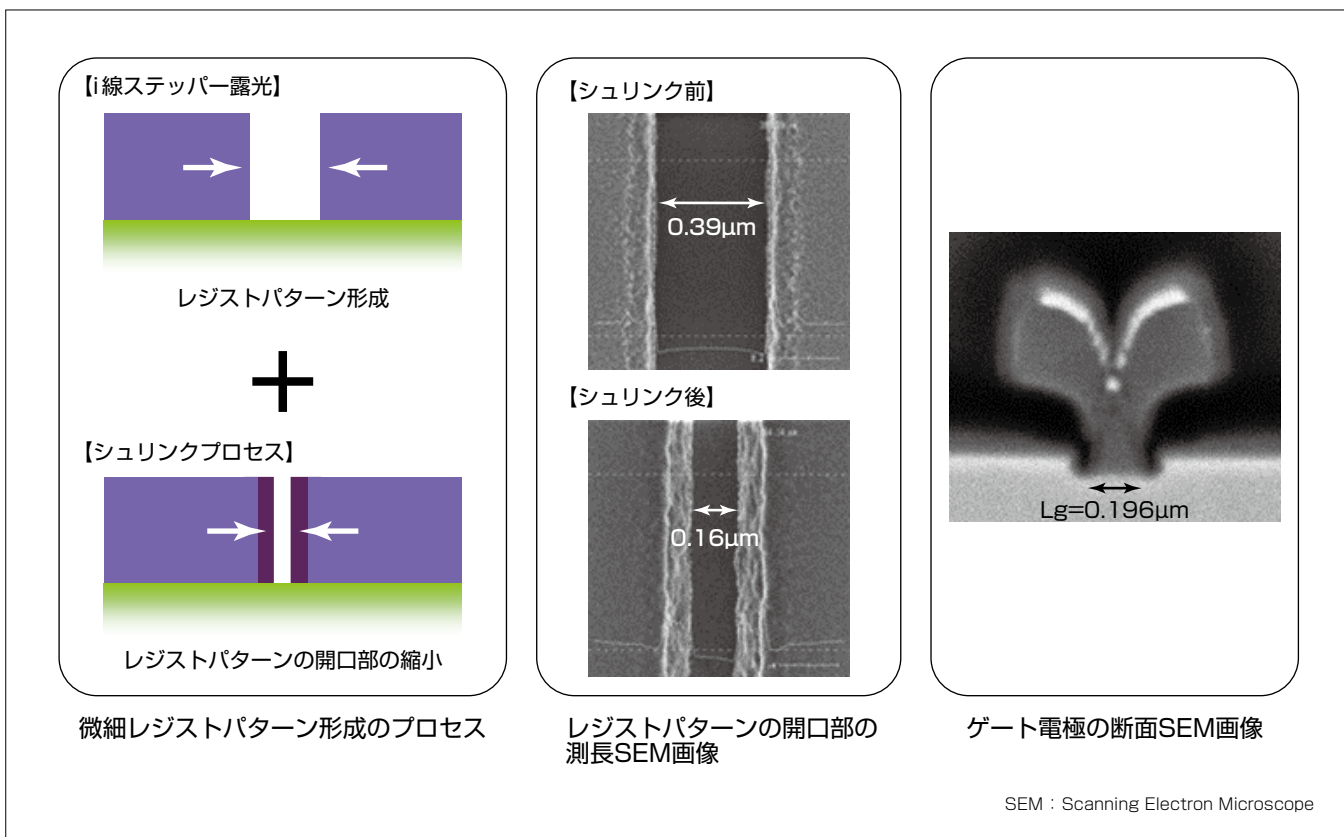
Takahiro Ueno, Kazuyuki Onoe, Yasuki Aihara, Koichiro Nishizawa

要 旨

マイクロ・ミリ波デバイス用に適用されるGaAs(ヒ化ガリウム)高電子移動度トランジスタ(High Electron Mobility Transistor: HEMT)は、優れた高周波特性と低雑音特性を持つが、更なる高周波特性の改善のためにはゲート長(Lg)の短縮が有効である。Lgの短縮に最も有効な手法の一つとして電子線(Electron Beam: EB)露光技術を用いて短Lgを形成することが知られているが、ウェーハ上のゲートパターンを電子ビームで順次直接描画するため、ウェーハ上の複数個のゲートパターンを一括して露光できるi線ステッパー露光技術よりもスループットが非常に低く、生産要求数の変動に柔軟に対応するのが難しい。このスループットを大幅に改善するために、i線ステッパー露

光で形成したレジストパターンの開口部をパターンシュリンク剤を用いて縮小するシュリンクプロセス手法を用いて、Lg=0.196μmのリセス型HEMTゲートを形成する技術を開発した。

この技術を用いることで、開口部を0.39μmから0.16μmまで縮小し、Lg=0.196μmのゲート電極の形成を達成した。Lgばらつき(3σ)は0.010μmと、EB露光時のLgばらつき0.040μmに比べ非常に小さく、スループットはEB露光と比較して4.5倍に向上した。また、電気特性と信頼性は、EB露光を用いたHEMTと同等の結果が得られた。今回開発した技術を用いて、製品の工期短縮に貢献するとともに、今後も更なる短Lg化による高周波特性の改善を目指す。



i線ステッパー露光とシュリンクプロセスを組み合わせた短Lgゲート形成プロセス

EB描画法による微細レジストパターン形成の代替として、i線ステッパー露光によるレジストパターン形成とシュリンクプロセスを組み合わせた微細レジストパターン形成方法を開発した。i線ステッパーで0.39μmのレジストパターンの開口部を形成し、シュリンクプロセスによって開口部が0.16μmへ縮小した。このプロセスを適用し、Lg=0.196μmのゲート電極の形成に成功した。

1. ま え が き

GaAs HEMTは、優れた高周波特性と低雑音特性を持っており、衛星放送や車載レーダ等、マイクロ・ミリ波デバイスで広く使用されている。HEMTの高周波特性を向上させるためには、より高い最大発振周波数(f_{max})や電流遮断周波数(f_T)を実現することが重要である。そのためにはゲート容量の低減やトランスコンダクタンス(g_m)の増加が非常に効果的であり、ゲート長(L_g)の短縮が不可欠である。

短 L_g の形成には、微細なレジストパターンを形成する必要があるが、ゲート長がi線ステッパーの解像限界(365nm)以下の場合には電子ビーム露光法(EB描画法)を用いてパターンを形成するのが一般的である。EB描画法の利点は、電子ビームの波長が短いため、高分解能でありサブミクロンオーダーのパターンを形成できる点である(図1)。一方、ゲートのパターンに対して電子ビームで順次、直接描画する方式であるため、スループットが低いという欠点があり、大量生産には適していない。EB描画法を用いない微細パターン形成手法としてサイドウォールプロセスやサーマルフロープロセスがこれまでに提案されているが⁽¹⁾⁽²⁾、これらのプロセスには、 L_g の均一性よく形成することが容易ではないという問題がある。

今回、EB描画法を用いないで短 L_g を形成するために、i線ステッパー露光とパターンシュリンク剤を組み合わせて、 $L_g=0.196\mu\text{m}$ のゲート電極を形成するプロセス技術を開発した。

本稿では、開発したプロセス技術及び試作したHEMTの L_g ばらつきや電気特性について述べる。

2. プロセスフロー

2.1 EB描画法によるゲート形成方法

EB描画法を用いた一般的なゲート形成のプロセスフローを図2に示す。EB描画法では、下層レジストとしてEBレジストを用いて、レジストパターンを形成する。EB描画を用いるため、微細なレジストパターンを形成することが可能である。さらにその上層にレジストパターンを形成し、リセス形成、メタル成膜、レジスト除去の工程を経てゲート電極を形成する。

2.2 i線ステッパー露光とシュリンクプロセスを組み合わせた微細レジストパターン形成方法

EB描画法による微細レジストパターン形成の代替として、i線ステッパー露光とシュリンクプロセスを組み合わせた方法に着目した。まず、i線ステッパー露光によってレジストパターンを形成する。ここで、i線ステッパーの解像度内の寸法で開口部を形成することが可能である。露光は複数個のデバイスを一括して行うため、スループット

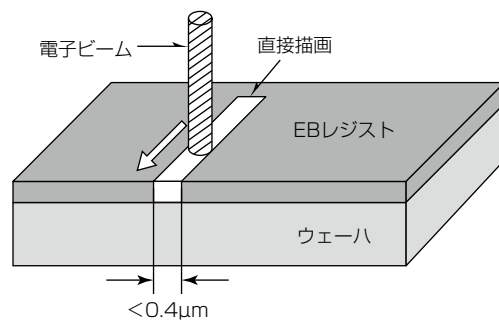


図1. EB描画法の模式図

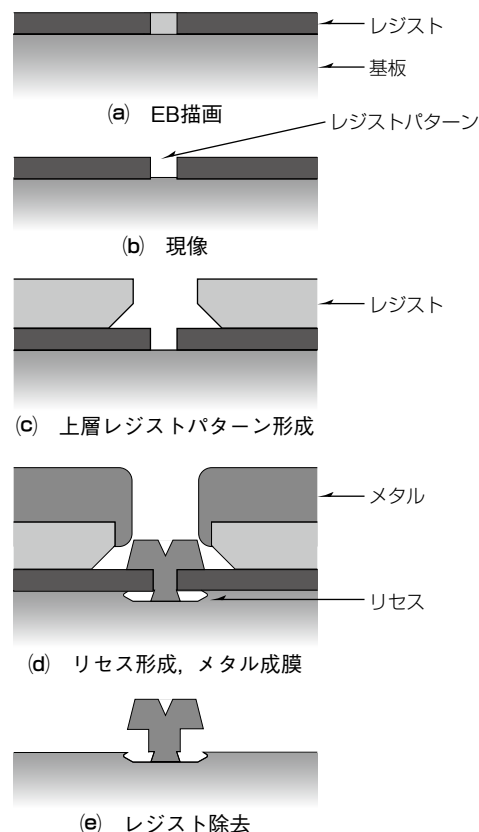


図2. EB描画法を用いたゲート形成方法

はEB描画法に比べて非常に高い。次に、レジストと熱反応し、レジストが成長するパターンシュリンク剤を用いてレジストパターンの開口部を縮小する。その結果、i線ステッパーの解像限界よりも細いパターンを形成することが可能になる(図3)。

次に、シュリンクプロセスの詳細フローについて図4を用いて述べる。i線ステッパー露光でレジストパターン形成後(図4(a))、シュリンク剤をレジスト表面に塗布する(図4(b))。その後、ウエーハをホットプレート上でバークする(図4(c))。このとき、バークによってシュリンク剤とレジストが架橋反応し、レジストが成長する。最後に、シュリンク剤の未成長部を純水で溶解して除去する(図4(d))。以上によって、レジストパターンの開口部を縮小することが可能である。さらに図4(b)から図4(d)までのシュリンク処理を繰り返すことで開口部を所望の幅に縮小することが

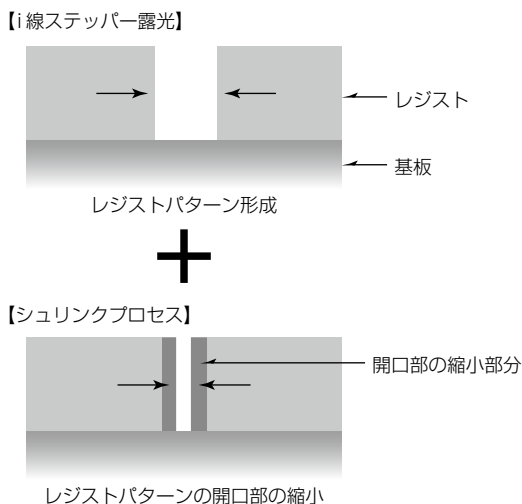


図3. シュリンクプロセスによる微細レジストパターン形成方法

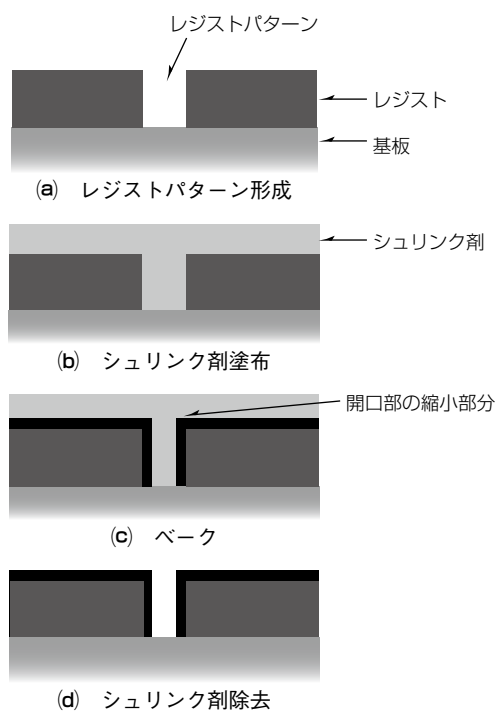


図4. シュリンクプロセスフロー

可能である。開口部の縮小後はEB描画法のプロセスと同様のプロセスで短Lgゲート電極を形成する。

3. 実験

2章で述べたEB描画法、及びシュリンクプロセスを用いて、 $L_g = 0.2\mu\text{m}$ 狙いのゲート電極を作製した(以下“EB描画品”, “シュリンク品”という)。シュリンク品についてはレジストパターンの開口部とゲート電極の断面を走査型電子顕微鏡(Scanning Electron Microscope : SEM)で観察した。EB描画品及びプロセス品共に、面内のLgの分布を測定した。また、HEMTのSパラメータを測定し、Sパラメータの $\angle S_{11}$ 、雑音指数(Noise Figure : NF)及び付随利得(Gs)を評価した。信頼性評価のため、高温DC動作寿命試験(試験条件：ドレイン-ソース電圧(V_{ds}) = 3 V,

ドレイン電流(I_d) = 133.3mA/mm, 温度(T_a) = 125°C, 時間 = 1,000hr)を実施した。

4. 実験結果

4.1 スループットの向上

EB描画法とシュリンクプロセスのスループットを比較した結果を図5に示す。タクト時間はEB描画法よりシュリンクプロセスの方が短く、スループットはシュリンクプロセスの方がEB描画法より4.5倍早くなることを確認した。

4.2 SEM観察結果

図6にシュリンク処理前後のレジストパターンの開口部の測長SEM像を示す。シュリンクプロセスの1回のシュリンク量(シュリンク前後の開口寸法差)を調べるため、測長SEMを用いて開口部を測長した。1回のシュリンク量は $0.03\sim 0.10\mu\text{m}$ であり、シュリンクプロセスを数回繰り返すことで、開口部が $0.39\mu\text{m}$ から $0.16\mu\text{m}$ まで縮小した。シュリンク後の開口部にレジストスカム残渣(ざんさ)やパターン形成不良はなく、良好なパターン形状が得られた。図7にシュリンク品のゲート電極の断面SEM画像を示す。図7に示すように、電極形状はEB描画品のゲート電極と同等であり、 $L_g = 0.196\mu\text{m}$ と、所望の長さで形成されている。

4.3 Lgのばらつき

図8にウェーハ面内のLgの分布を示す。図8(a)は従来のEB描画で作製したHEMT(以下“EB描画品”という。)と、図8(b)は今回開発したシュリンクプロセスを用いて作製したHEMT(以下“シュリンク品”という。)のLgのウェーハマップである。EB描画品は、ウェーハの外周部のLgがウェーハの中央よりも細かい結果であった。一方、シュリンク品では、ウェーハ面内のLgは均一であった。

図9にEB描画品とシュリンク品のLgのヒストグラムを示す。EB描画品のLgの平均値と 3σ は、それぞれ $0.216\mu\text{m}$ 及び $0.040\mu\text{m}$ であった。一方、シュリンク品のLgの平均値と 3σ は、 $0.196\mu\text{m}$ 及び $0.010\mu\text{m}$ であり、寸法ばらつきはシュリンク品の方が小さい結果であった。

図10は、シュリンクプロセスを繰り返したときの面内のレジストパターンの開口部の寸法のばらつき(3σ)を示す。シュリンク回数が多いほど、開口部の寸法のばらつきが小さいことが確認できる。これはシュリンク量が開口部の寸法に依存しているためと考えられ、シュリンクプロセスを繰り返すことで一定の値に収束していることを示唆している。そのため、シュリンク品のLgのばらつきは小さかったと考えられる。

4.4 HEMTの電気特性結果

図11にEB描画品及びシュリンク品のHEMTのSパラメータから算出した $\angle S_{11}$, NF, Gsの結果を示す。 $\angle S_{11}$ の平均値はEB描画品よりもシュリンク品の方が大きかった。

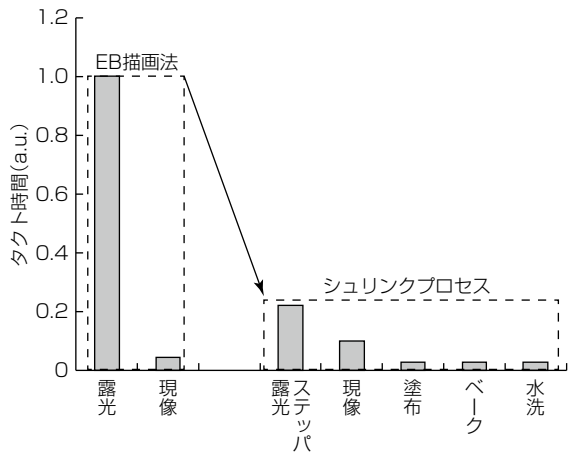
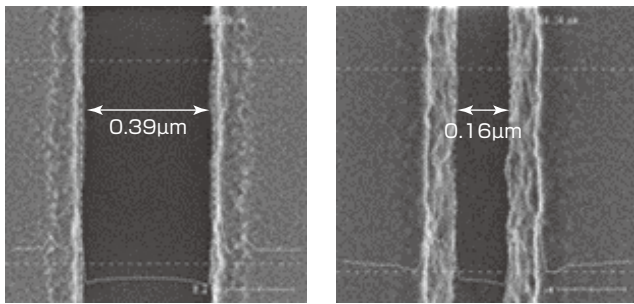


図5. スループットの比較



(a) シュリンク前 (b) シュリンク後
図6. レジストパターンの開口部の測長SEM画像

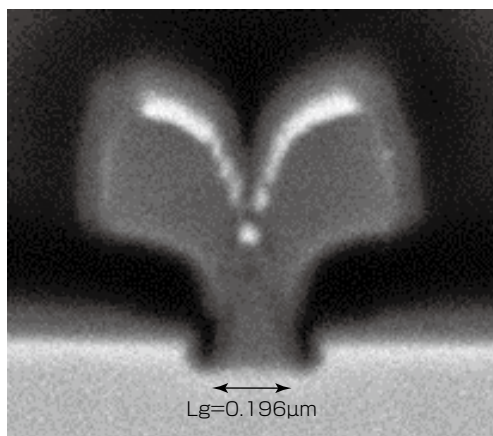
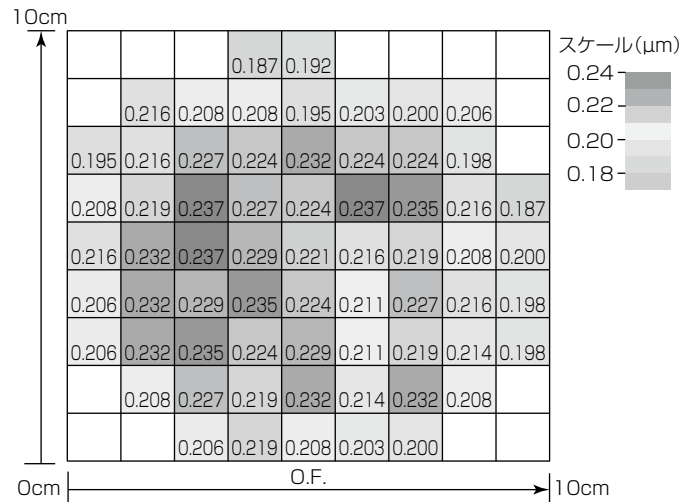


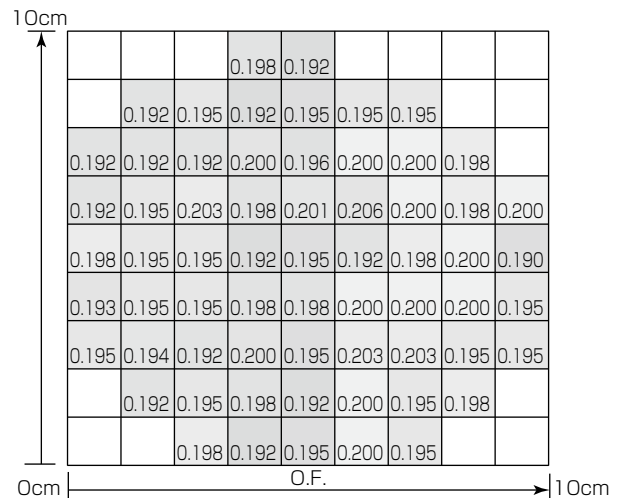
図7. ゲート電極の断面SEM画像

これはLgの平均値がEB描画品よりシュリンク品の方が小さく、Cgsが小さくなったことに起因していると考えられる。また、Cgsが小さくなったことでシュリンク品のNFが小さく、また、Gsが大きくなったと考えられる。さらに、各特性値のばらつきは描画品よりもシュリンク品の方が小さかった。これは、シュリンク品の方がLgばらつきが小さかったためだと考えられる。これらの結果は、電気特性に関しては同等で、ばらつきに関してはシュリンク品の方が小さいことを示し、開発したシュリンクプロセスの有効性を示している。

図12にHEMTの高温DC動作寿命試験の最大ドレイン電流の変化率(ΔI_{max})の結果を示す。500時間後及び



(a) EB描画品



(b) シュリンク品

図8. Lgのウェーハ面内分布

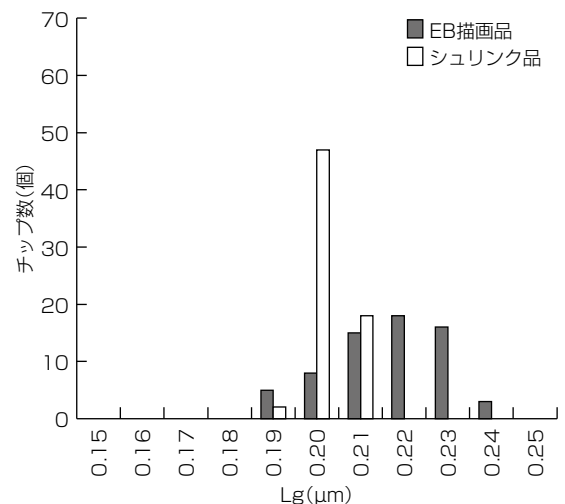


図9. Lgのヒストグラム

1,000時間後に、 ΔI_{max} はEB描画品とシュリンク品、双方共に変化しなかった。また、飽和ドレイン電流(I_{dss})やゲートソース遮断電圧(V_p)の変化率も低く、実用上問題ない結果が得られた。この結果から、EB描画品とシュリンク品は電気特性的にも信頼性的にも同等であると言える。

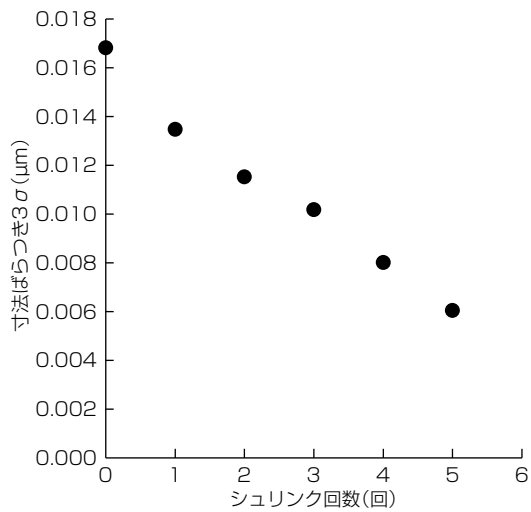
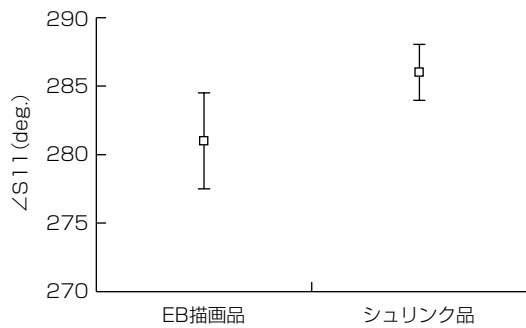
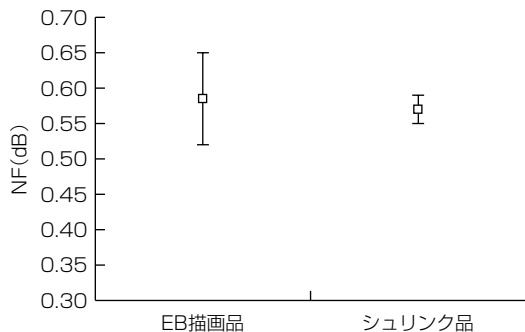


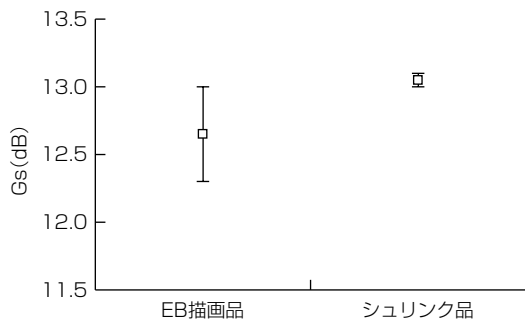
図10. 開口部の寸法ばらつきのシュリンク回数依存性



(a) ∠S11

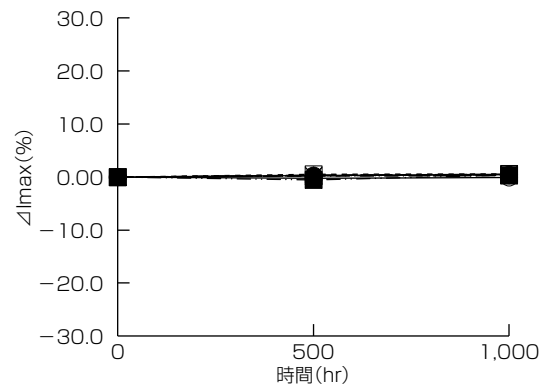


(b) NF

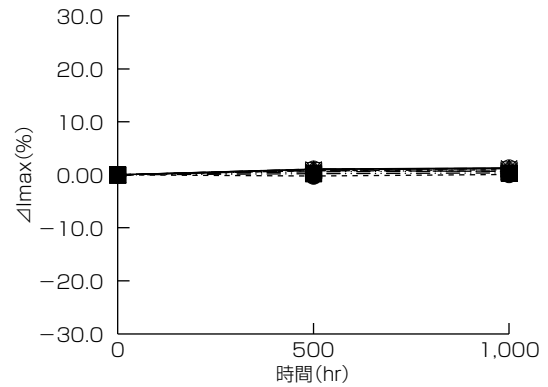


(c) Gs

図11. HEMTの電気特性



(a) EB描画品



(b) シュリンク品

図12. I_maxの変化率

5. む す び

EB描画法によるゲート形成プロセスの代替として、高スループットのi線ステッパー露光とシュリンクプロセスを組み合わせた短ゲートを形成する技術を開発した。この技術を用いて $L_g = 0.196\mu\text{m}$ のゲートパターンの形成を達成し、そのばらつき(3σ)は $0.010\mu\text{m}$ と、EB露光品の $0.040\mu\text{m}$ に比べ非常に小さく、スループットはEB露光品に比べ4.5倍向上した。また、電気特性と信頼性評価の結果、EB露光品と同等の特性が得られた。今回開発した技術を用いて、製品の工期短縮に貢献するとともに、今後も更なる短 L_g 化による高周波特性の改善を目指す。

参 考 文 献

- (1) Ping, A. T., et al.: A High-Performance $0.13\text{-}\mu\text{m}$ AlGaAs/InGaAs pHEMT Process Using Sidewall Spacer Technology, CS MANTECH Conference (2005)
- (2) Yuan, C. -G., et al.: 0.15 Micron Gate 6-inch pHEMT Technology by Using I-Line Stepper, CS MANTECH Conference (2009)