

HEMTの高周波特性改善のための中空形成プロセス

西澤弘一郎* 安藤直人*
前田和弘* 久留須 整*
角野 翼*

Cavity Formation Process for Improvement of High Frequency Characteristics of HEMTs

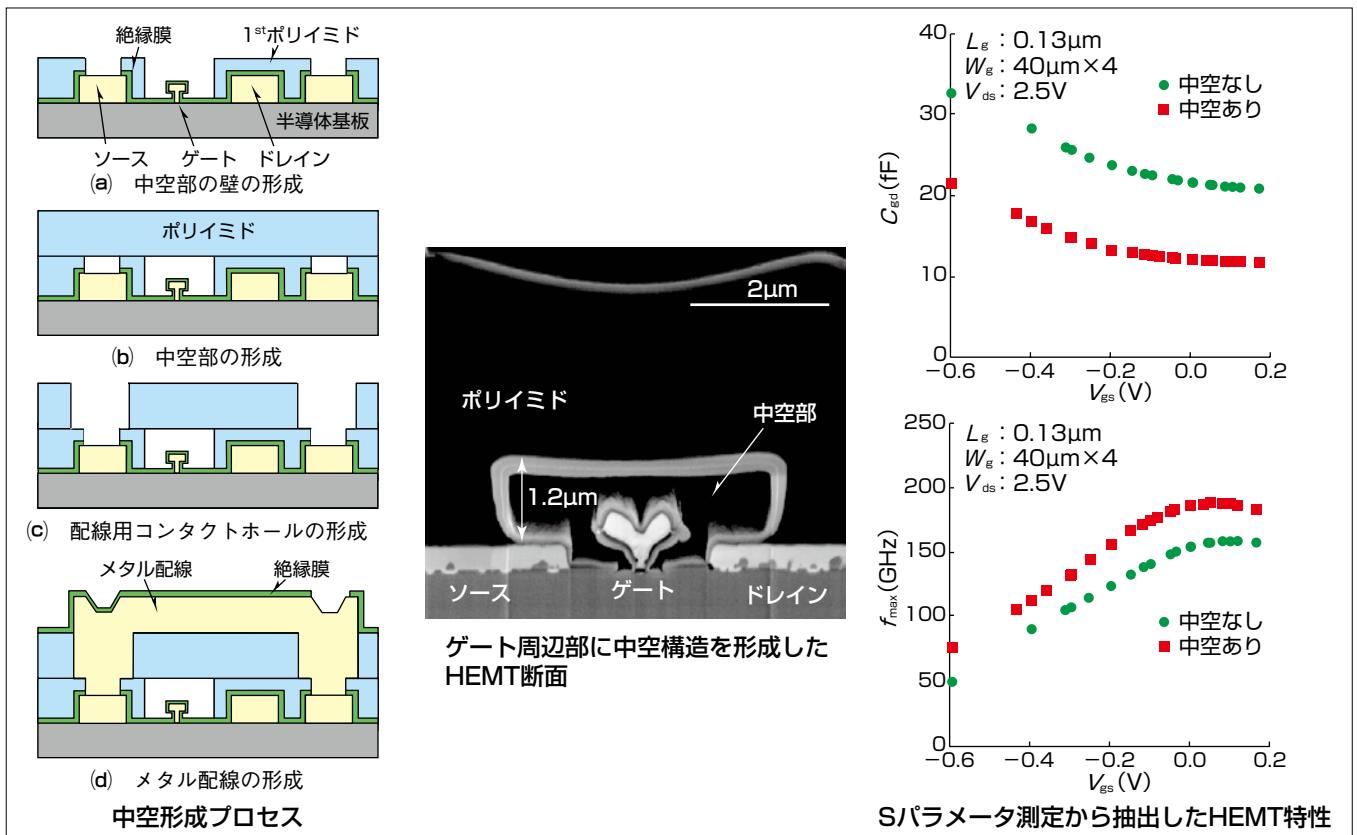
Koichiro Nishizawa, Kazuhiro Maeda, Tasuku Sumino, Naoto Ando, Hitoshi Kurusu

要 旨

GaAs(ヒ化ガリウム)高電子移動度トランジスタ(High Electron Mobility Transistor: HEMT)は、優れた高周波特性と低雑音特性を持つため、衛星通信の受信地上アンテナや衛星に搭載される送受信モジュール、自動車の衝突防止レーダなどに広く用いられている。

HEMTは、モノリシックマイクロ波回路(Monolithic Microwave Integrated Circuit: MMIC)の構成要素として半導体チップ上に形成され、従来、ワイヤボンダ実装されてきた。しかし、近年の高密度実装化の要求に伴い、ウェーハプロセスで再配線及びバンプ構造を形成し、実装基板にフリップチップで直接実装するWLCSP(Wafer Level Chip Scale Package)に対応する必要性が高まってきた。このWLCSPの場合、再配線工程でHEMTのゲート電極部が樹脂膜に覆われるため、ゲート容量が増大して利得が悪化する問題があった。

今回、ゲート電極周辺の樹脂膜に中空部を設けるプロセスを開発し、利得低下の抑制を検討した。HEMT上への樹脂膜の形成を2段階に分け、HEMTのゲート電極周辺をパターニングによって除去する工程と、シート状にした樹脂膜を上から貼り合わせる工程を順次行うことによって、ゲート電極部に中空構造を形成することに成功した。この結果、ゲート電極周辺に樹脂膜が充填された場合と比較して、HEMTのゲート容量 C_{gd} の低減によって、最大発振周波数 f_{max} 値は32GHzの改善と、77GHzでの最大安定利得は2.2dB改善することを確認した。



HEMTゲート部の中空形成プロセスと高周波特性の改善

HEMTゲート部の中空形成プロセスは、電極形成後、感光性ポリイミドをパターニングして、感光性のシート状のポリイミドをウェーハに貼り付けることによって中空部を形成し、配線用のコンタクトホールを形成して最後にメタル配線を形成する。このプロセスによって作製したHEMTのゲート断面を中央に示す。HEMT特性の測定によって、ゲート電極周辺に樹脂膜が充填された場合と比較して、 C_{gd} の低減と f_{max} 値の改善を確認した。

1. ま え が き

GaAs HEMTは、非常に良好な応答速度と低雑音の特性を持つため、衛星通信の受信地上アンテナや衛星に搭載される送受信モジュール、自動車の衝突防止レーダなどに広く利用されている。

HEMTは、MMICの構成要素として半導体チップ上に形成され、従来、ワイヤボンド実装されてきた。しかし、近年の高密度実装化の要求に伴い、ウェーハプロセスで再配線及びバンプ構造を形成し、実装基板にフリップチップで直接実装するWLCSPに対応する必要性が高まってきた。このWLCSPの場合、再配線工程でHEMTのゲート電極部が樹脂膜に覆われるため、ゲート容量が増大して利得が悪化する問題があった。そこでゲート電極周辺の樹脂膜に中空部を設けるプロセスを開発し、利得低下の抑制を検討した。

2. 構造検討シミュレーション

2.1 シミュレーション条件

ゲート周辺部への中空構造形成によるゲート容量 C_{gd} の低減効果をシミュレーションによって見積もった。シミュレータ(ANSYS社製Maxwell^(注1))を用いて、二次元モデルを電磁界解析することによって C_{gd} を算出した。なお、ここで算出した C_{gd} は電磁界のシミュレーションだけに基づくため、半導体の空乏層に起因する成分は含んでいない。解析モデルは、図1に示す二次元構造で、(a)中空なしの有機膜に電極が覆われた構造と、(b)ゲート下部を中空化しそれ以外の周囲は有機膜で覆われた構造と、(c)ゲート周り全体を中空化した構造の3仕様で行った。

(注1) Maxwellは、ANSYS Inc.の登録商標である。

2.2 シミュレーション結果

見積もった C_{gd} は、図2に示すとおりとなった。(a)中空なしの構造を基準として、(b)ゲート下部を空洞化することで、 C_{gd} は2%の低減であるが、(c)ゲート周り全体を中空化することで13%低減することを確認した。

3. 中空形成プロセス

3.1 プロセスフロー

ゲート電極周辺の中空形成の方法として、ゲート周辺に犠牲層を形成して後工程で除去する製造方法が提案されている⁽¹⁾。しかし、この方法では中空部に対して犠牲層除去のための穴をあけ、犠牲層除去後にその穴を埋める必要があるため、プロセスが複雑になる問題があった。そこで我々は、犠牲層を用いない中空形成方法を提案した⁽²⁾。図3に、HEMTのゲート周辺部の断面模式図を用いて中空形成プロセスを示す。HEMTのソース、ゲート、ドレインの各電極を形成した後、感光性ポリイミドをパターニング

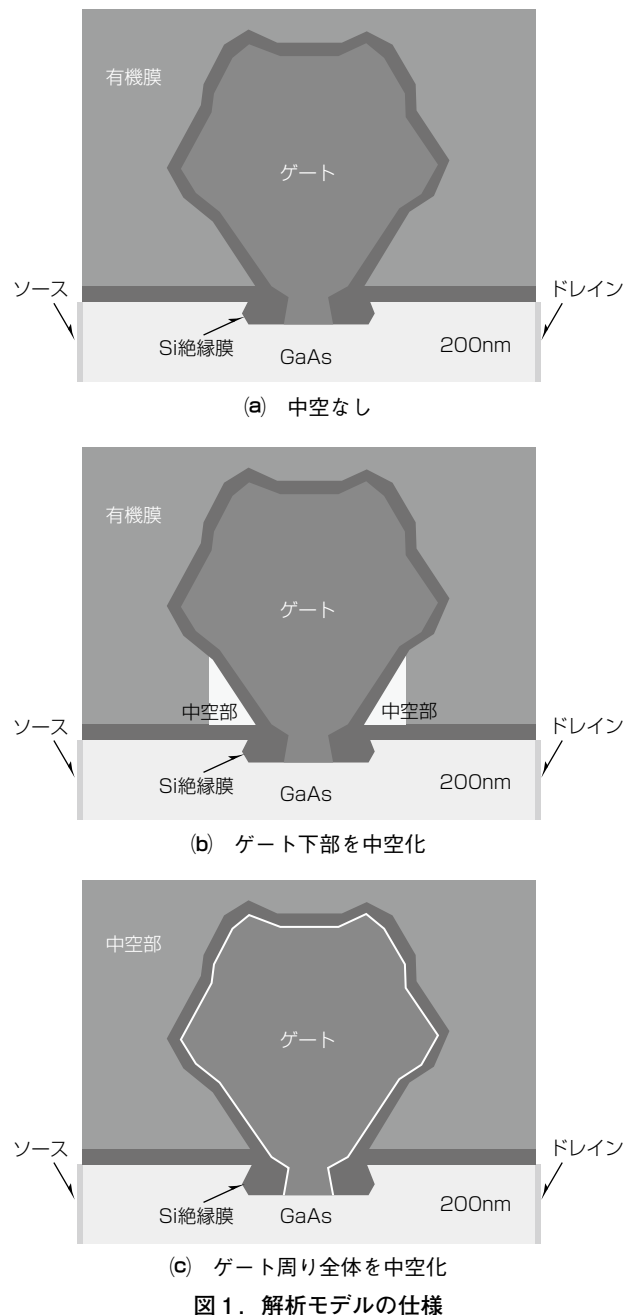


図1. 解析モデルの仕様

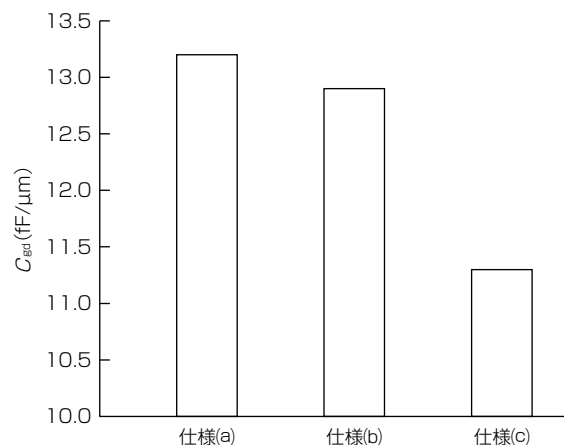
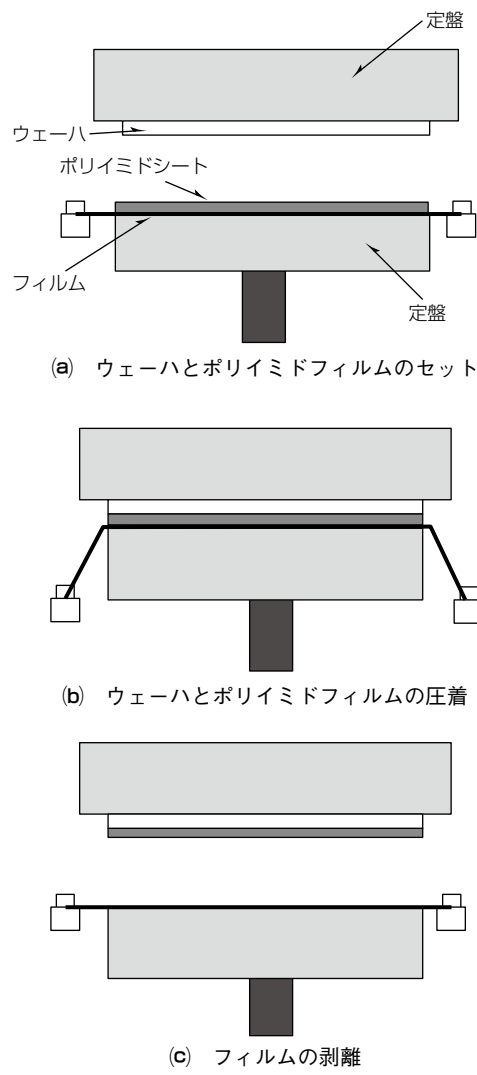
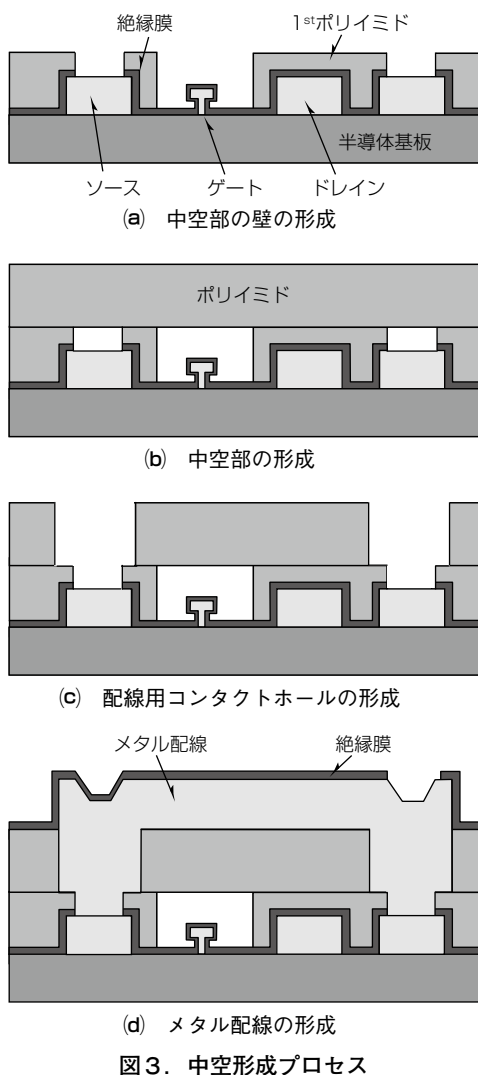


図2. C_{gd} のシミュレーション結果

して、中空部の壁を形成する(図3(a))。次に、感光性のポリイミドをウェーハに貼り付けると、中空部が形成される



(図3(b))。さらにポリイミドをパターニングして配線用のコンタクトホールを形成する(図3(c))。最後にメタル配線を形成する(図3(d))。このうち、中空部を形成するキーププロセスは(b)のポリイミドを貼り付けるプロセスとなり、図4のフローで処理を行う。平面、平行精度の良い二つの定盤を持つ貼付け装置で、間にウェーハとポリイミドフィルムをセットする(図4(a))。下部定盤を上部定盤側に平行を保ったまま接触させてウェーハとポリイミドフィルムを圧着する(図4(b))。このとき、両定盤は温度制御しており、材料が接着しやすい温度にコントロールされ、接合圧力も強度と分布の制御を行う。最後に、下部定盤を離すとポリイミドフィルムのポリイミドシートだけがウェーハ上に接着し、フィルムは剥がされる(図4(c))。

3.2 パラメータの最適化

中空部の構造パラメータとして、①壁となる1stポリイミド厚、②中空部の開口幅、③1stポリイミドとポリイミドシートの接着する領域の面積、④ポリイミドシートの厚の四つの構造パラメータについて検討を行った(図5、表1)。

①の1stポリイミド厚は薄いとポリイミドシートが埋まりこみ中空部が確保できず、厚いとパターニングが困難とな

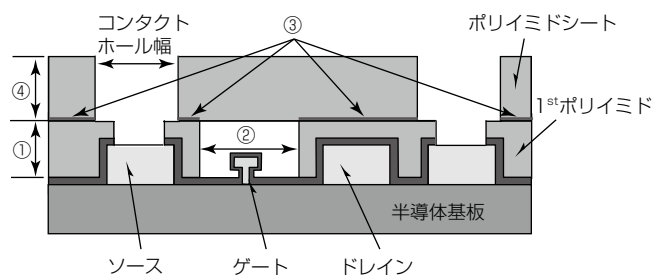


表1. 中空構造検討パラメータ

構造パラメータ	レンジ	制約条件
① 1 st ポリイミド厚	1 ~ 3 μm	・解像度 ・中空部の埋まりこみ
② 中空部開口幅	1 ~ 4 μm	・ソース・ドレイン電極の間隔 ・中空部の埋まりこみ
③ 1 st ポリイミドパターン面積(接着部面積)	—	・1 st ポリイミドとポリイミドシートの密着性
④ ポリイミドシート厚	2 ~ 10 μm	・解像度 ・コンタクトホール幅

り、トレードオフであった。②の中空部開口幅は、狭いほどパターニングが困難となり、広げるとソース・ドレイン

電極間の距離に制約を受けるため、これもトレードオフとなっていた。③の1stポリイミドパターン面積は広いほど有効であるため、抜きパターンは最小限にした。④のポリイミドシート厚は、厚い場合にはコンタクトホールのパターニングが困難であった。これらの構造パラメータについて検討を行い、構造パラメータを決定した。

4. 評価結果

4.1 構造評価結果

図6にゲート周辺に形成した中空部の断面SEM(Scanning Electron Microscope)像を示す。1stポリイミドのゲート部の高さは、電極上から1.7 μm 厚さで設計したが、ポリイミドシート貼付けによって形成した中空部の高さは、電極上から1.2 μm と30%程度低かった。この差は、中空部でのポリイミドシートの沈み込みによるもので、貼付け時の圧力や温度などの条件やシートの物性などによって変化するため、これらを考慮した設計にした。図7には中空部の高さが不足して埋まりこみが発生した例を示す。2章のシミュレーションで示したとおり、ゲート上部が埋まり

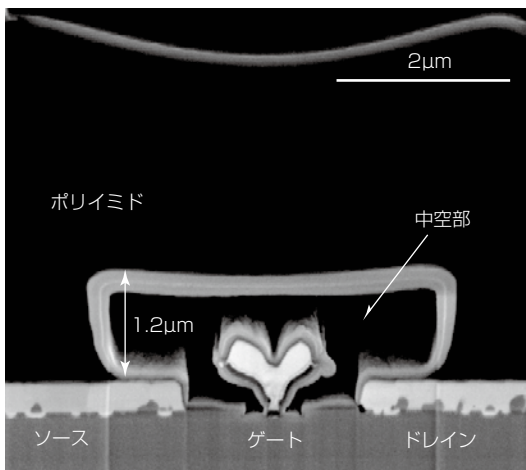


図6. ゲート周辺の中空部断面

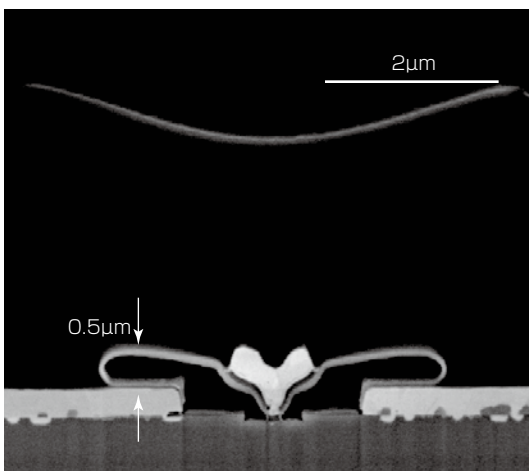


図7. 中空部の埋まりこみ

こんだ状態では、特性の向上は望めないため十分にマージンを確保した。

4.2 特性評価結果

デガスなどの中空プロセスのトランジスタ特性への影響を調査するため、中空構造を形成する前後でのDC特性評価結果を行った(図8, 図9)。 $I_d - V_{gs}$ 特性及び $I_d - V_{ds}$ 特性の中空形成前後での特性劣化は見られないことを確認した。

次に、小信号RF(Radio Frequency)特性の比較を行った。ゲート周辺に中空を形成した構造と中空のないポリイミドの充填された構造のHEMTを測定したSパラメータから等価回路抽出を行い、ゲート容量 C_{gs} 、 C_{gd} の比較を行った(図10, 図11)。なお、トランジスタサイズはゲート幅 $W_g = 40\mu\text{m} \times 4$ で、測定条件は、ドレイン・ソース間電圧 $V_{ds} = 2.5\text{V}$ である。中空形成によってゲート・ソース間電圧 $V_{gs} = 0.0\text{V}$ での C_{gs} と C_{gd} はそれぞれ、12%、44%

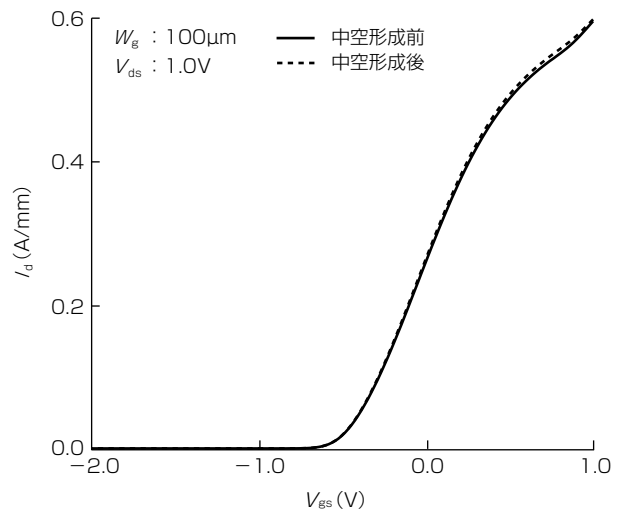


図8. 中空形成前後での $I_d - V_{gs}$ 特性

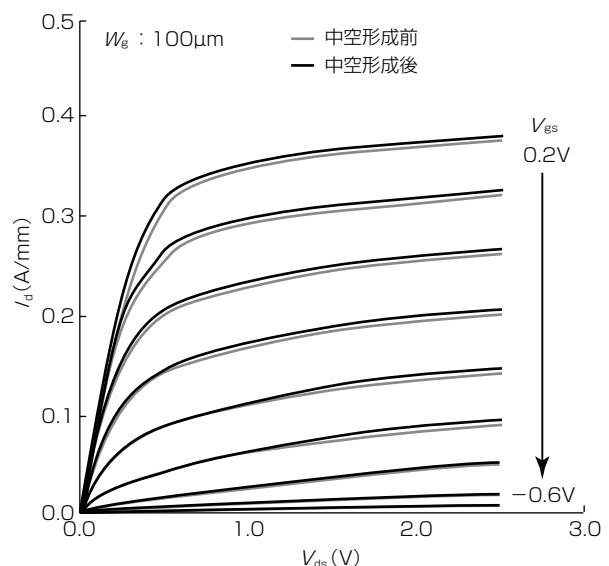


図9. 中空形成前後での $I_d - V_{ds}$ 特性

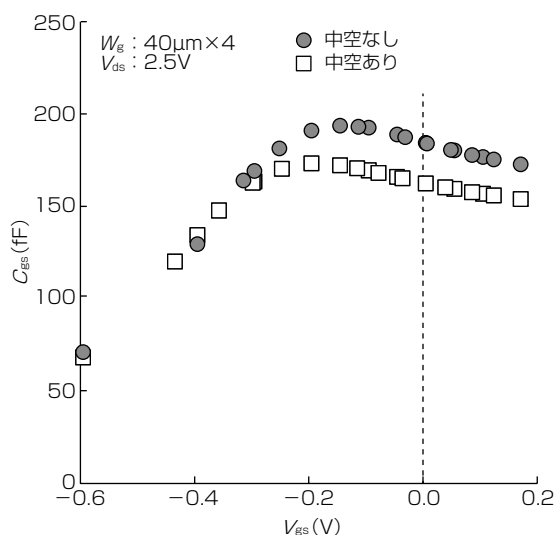


図10. C_{gs} 比較

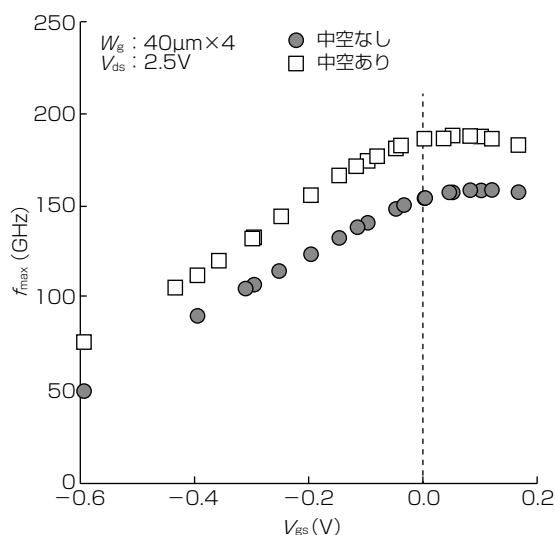


図12. f_{max} 値の V_{gs} 依存性

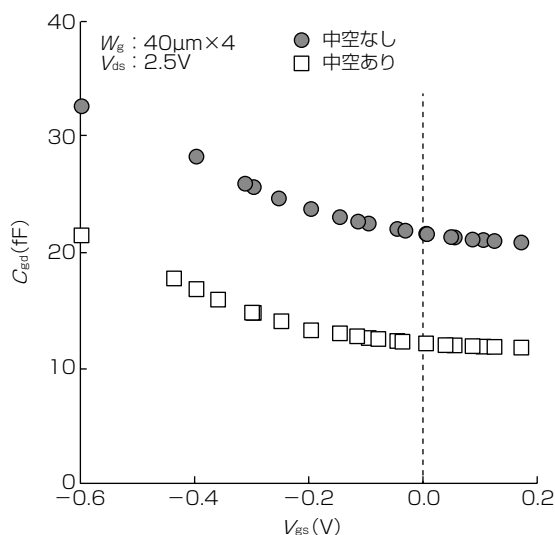


図11. C_{gd} 比較

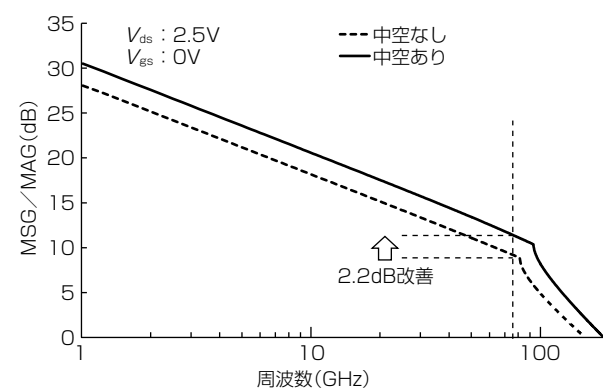


図13. MSG/MAGの周波数特性

5. む す び

HEMTを用いたMMICのWLCSPで、ゲート容量が増大する問題に対応するため、HEMTのゲート電極周辺の樹脂膜に中空部を設けるプロセスの開発を行った。電磁界シミュレーションによってゲート周辺中空構造によるゲート寄生容量の低減効果を見積もった。ポリイミドシートを貼り付けるプロセスを用いて、ゲート周辺の中空化を実現した。評価の結果、 C_{gd} を44%低減し、 $V_{gs} = 0.0V$ での f_{max} 値は32GHzの改善を、77GHzでのMSGは2.2dBの改善を確認した。

参 考 文 献

- (1) Makiyama, K., et al.: Improvement of circuit-speed of HEMTs IC by reducing the parasitic capacitance, IEDM Tech. Dig., 727~730 (2003)
- (2) Maeda, K., et al.: Improvement of High Frequency Characteristics of HEMTs with Novel Cavity Structure using STP Technology, CSW2017, Session A5.6 (2017)

と大幅に減少し、中空構造がゲート容量の低減に有効であることを確認した。この結果は2章のシミュレーションの見積りよりもかなり高くなっているが、シミュレーションのモデルではリセス部のSi(シリコン)絶縁膜構造が実際とは異なっており(図1, 図6), その影響と推測する。図12, 図13は、前記等価回路を用いてシミュレーションした、最大発振周波数 f_{max} 値の V_{gs} 依存性と $V_{gs} = 0V$ での最大安定利得(Maximum Stable Gain : MSG)と最大有能利得(Maximum Available Gain : MAG)の周波数特性である。

図12から、 $V_{gs} = 0.0V$ での f_{max} 値は157GHzから189GHzに、図13から77GHzでのMSGは約2.2dB改善していることが分かる。これらの結果は、本稿で述べた高周波化に対する中空ゲート構造の有効性を示している。