

技術試験衛星9号機搭載用 通信ミッション

永易孝幸* 須永輝巳***
石原秀樹**
宮崎幸一**

Communication Mission for Engineering Test Satellite 9

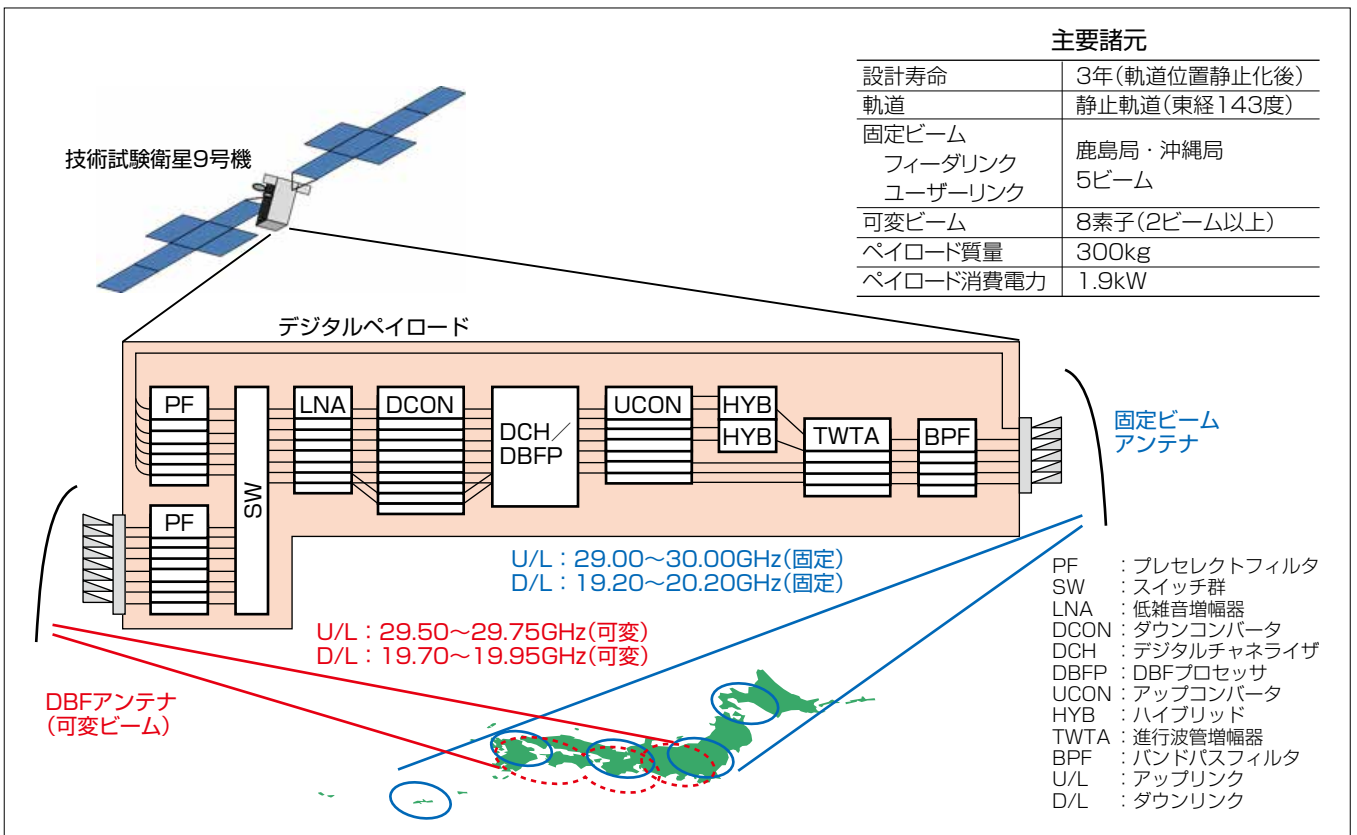
Takayuki Nagayasu, Hideki Ishihara, Kouichi Miyazaki, Terumi Sunaga

要旨

世界の衛星市場では、HTS(High Throughput Satellite)による大容量化に加えて、デジタルチャネライザ及びDBF(Digital Beam Forming)技術の導入によって、周波数とビーム割当てのフレキシビリティ化が進められている。海外メーカーではチャネライザやDBFプロセッサの開発を精力的に進めている。

技術試験衛星9号機は、国内の宇宙産業の国際競争力強化及び防災通信等の社会インフラの実用化を目的として、当社で開発するデジタルチャネライザとDBFプロセッサ⁽¹⁾⁽²⁾から構成されるデジタルペイロードの軌道上実証を計画している。このペイロードは、デジタルチャネライザ処理を行う固定ビーム通信ミッションとDBF処理を行う可変

ビーム通信ミッションから構成され、各ミッションは異なる受信アンテナを備えるが、大半の機器を共通使用する。デジタルチャネライザは、入出力8ポート、総処理帯域幅2GHzを、分波合波ユニット、SW・DBFユニット、制御ユニット、電源ユニットの4ユニットによって実現する。DBFプロセッサは、SW・DBFユニットで分波した2.5MHz帯域幅の各サブキャリアに対して励振係数を掛けて合成することによって、サブキャリアごとにビーム形成できるので、例えば125MHz×2ビームの運用を可能にする。デジタルチャネライザとDBFプロセッサは、同一機器を使用し、その処理を地上コマンドによって切り替えることによって実現する。



技術試験衛星9号機搭載のデジタルペイロードと主要諸元

技術試験衛星9号機に搭載するデジタルペイロードは、鹿島局と沖縄局を含む日本列島上の5ビームを覆域としたアップリンク通信及びダウンリンク通信を行う固定ビーム通信ミッションと、関東から九州までの地域を覆域として、柔軟にビームを形成するアップリンク通信を行う可変ビーム通信ミッションから構成される。可変ビーム通信ミッションのダウンリンクは固定ビーム通信ミッションのダウンリンクを使用する。

1. ま え が き

世界の衛星市場では、HTSによる大容量化に加えて、デジタルチャネライザ及びDBF技術の導入によって、周波数とビーム割当てのフレキシビリティ化が進められており、海外メーカーではデジタルチャネライザやDBFプロセッサの開発を精力的に進めている。このような衛星市場の状況を背景として、技術試験衛星9号機は、国内の宇宙産業の国際競争力強化及び防災通信等の社会インフラの実用化を目的としており、当社で開発するデジタルチャネライザとDBFプロセッサ⁽¹⁾⁽²⁾から構成されるデジタルペイロードを搭載し、軌道上実証を計画している。

本稿では、2章で技術試験衛星9号機に搭載するデジタルペイロードの全体構成、主要構成機器、主要諸元について述べる。3章では、デジタルチャネライザとDBFプロセッサの主要諸元と各構成ユニットについて述べる。4章では、デジタルチャネライザの部分試作装置を使用した動作検証で、異なるポートから入力した信号の配置変更と合成ができることを確認し、設計に問題がないことを明らかにする⁽³⁾。

2. デジタルペイロードの構成

技術試験衛星9号機に搭載するデジタルペイロードは、固定ビーム通信ミッション及び可変ビーム通信ミッションから構成される。固定ビーム通信ミッションは、鹿島局と沖縄局を含む日本列島上の5ビームを覆域としたアップリンク通信及びダウンリンク通信を行う。一方、可変ビーム通信ミッションは、関東から九州までの地域を覆域として、柔軟にビームを形成するアップリンク通信を行い、ダウンリンク通信は固定ビーム通信ミッションのダウンリンクを使用する。

図1に技術試験衛星9号機に搭載するデジタルペイロードの構成を、表1及び表2にデジタルペイロードの主要機器リストと主要諸元を示す。各アンテナは、反射鏡、アン

テナ駆動機構、保持解放機構、一次放射器から構成される。両アンテナから入力した信号は、プレセレクトフィルタで帯域外の干渉をフィルタリングして、後段のスイッチで入力する信号を排他的に切り替える。両ミッションで、スイッチから後段の機器は共通使用して、固定ビームアンテナから送信を行う。ただし、デジタル処理機器は、固定ビーム通信ミッションの場合、デジタルチャネライザとして処理を行い、可変ビーム通信ミッションの場合、DBFプロセッサとして処理を行う。

表1. デジタルペイロードの主要機器リスト

機器	数量
プレセレクトフィルタ(PF)	15
低雑音増幅器(LNA)	8
ダウンコンバータ	10
デジタルチャネライザとDBFプロセッサ	1式
アップコンバータ	7
ハイブリッド(HYB)	2
進行波管増幅器(TWTA)	5
バンドパスフィルタ(BPF)	5
同軸スイッチ	19
導波管スイッチ	25
固定ビームアンテナ	1式
DBFアンテナ	1式

表2. デジタルペイロードの主要諸元

項目	設計値
設計寿命	3年(軌道位置静止化後)
軌道	静止軌道(東経143度)
周波数	U/L(固定/可変) 29.00~30.00GHz/29.50~29.75GHz D/L(固定/可変) 19.20~20.20GHz/19.70~19.95GHz
固定ビーム	フィーダリンク 鹿島局・沖縄局 ユーザーリンク 5ビーム
可変ビーム	U/L 8素子(125MHz×2ビーム) D/L 5素子(125MHz×2ビーム)
TWTA出力	130W
G/T(固定/可変)	6.7dB/K以上/-0.2dB/K以上
EIRP(固定/可変)	56.2dBW以上/56.2dBW以上
ペイロード質量	300kg
ペイロード消費電力	1.9kW(飽和動作)

G/T: アンテナ利得/等価雑音温度, EIRP: 等価等方輻射電力

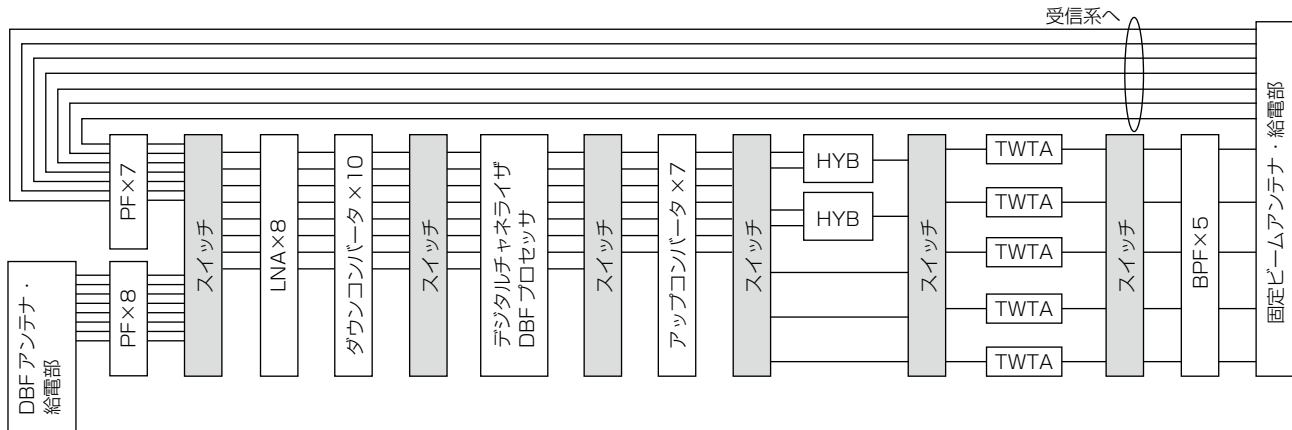


図1. デジタルペイロードの構成

3. デジタルチャネライザとDBFプロセッサ

図2及び表3にデジタルチャネライザとDBFプロセッサの外観イメージ及び主要諸元を示す。デジタルチャネライザとDBFプロセッサは、分波合波ユニット、SW・DBFユニット、制御ユニット及び電源ユニットから構成され、動作モードは、地上からのコマンドによって、SW・DBFユニットの処理を変えることによって切り替える。また、今回開発したデジタルチャネライザは8ポートとしているが、将来的には64ポートに拡張可能な構成とした。

3.1 分波合波ユニット

分波合波ユニットは、図3に示す分波・合波処理を行うASIC(Application Specific Integrated Circuit), ADC

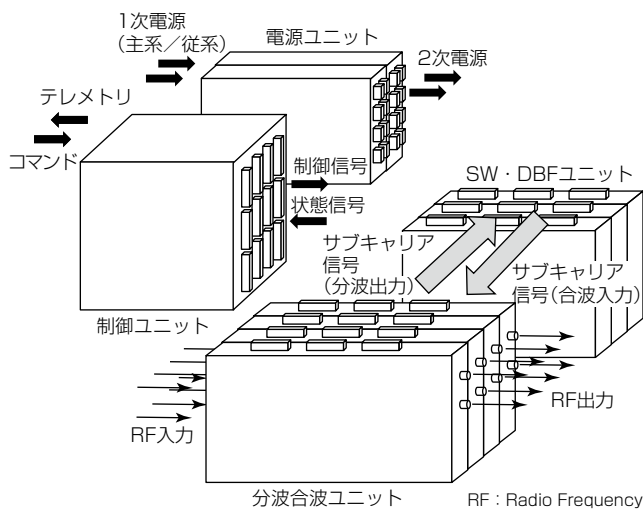


図2. デジタルチャネライザ/DBFプロセッサの外観イメージ

表3. デジタルチャネライザの主要諸元

項目	設計値
ポート数(入力/出力)	8ポート/8ポート
入出力帯域幅	最大500MHz/2ポート
総処理帯域幅	最大2GHz
サブキャリア数	200サブキャリア/2ポート
サブキャリア帯域幅	2.5MHz
質量	52kg
消費電力	206W

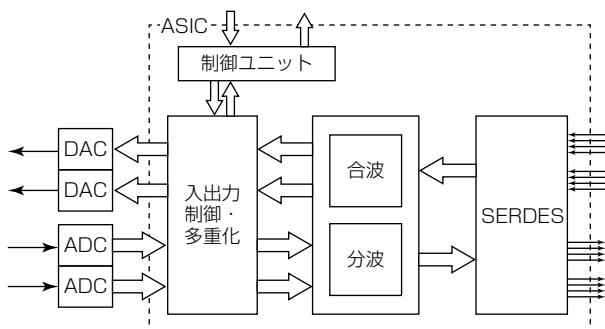


図3. 分波合波ユニットの構成

(Analog/Digital Converter) 及びDAC(Digital/Analog Converter)によってデジタル信号処理を行う。各ポートで、250MHz帯域幅の入力信号は、A/D変換後、2.5MHz帯域幅の100サブチャネルに分波し、全800サブチャネルの信号をSERDES(SERializer/DESerializer)でSW・DBFユニットにインタフェースする。一方、SW・DBFユニットから出力される全サブチャネル信号を100サブチャネルごとに250MHzの信号に合波し、D/A変換して各ポートから出力する。

3.2 SW・DBFユニット

デジタルチャネライザは、図4に示すようにSW・DBFユニットを800×800のスイッチマトリックスとして処理を行う。一方、DBFプロセッサは、図5に示すようにサブキャリアごとに受信励振係数を乗算して合成し、100×100のスイッチマトリックスによって並び替えた後、各送信素子に対応した送信励振係数を掛けた8ポート×100サブキャリアの信号を分波合波ユニットにSERDESでインタフェースする。両処理は、同じFPGA(Field Programmable Gate Array)で実現して、地上コマンドで処理を切り替える。

3.3 制御ユニット

制御ユニットは、他のユニットの制御を行い、バス機器とのインタフェースとして、標準インタフェースであるMILSTD-1553Bデータバスを採用している。それによって、搭載機器がデータバスに直接接続となり、可変長パケットでのテレメトリ・コマンドのインタフェースに対応している。

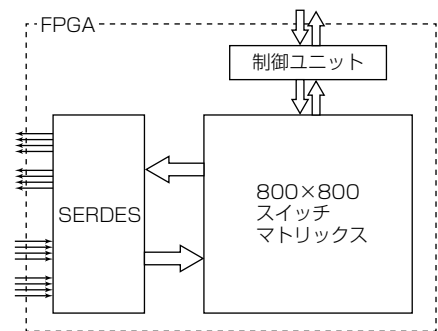


図4. SW・DBFユニットの構成 (デジタルチャネライザ動作時)

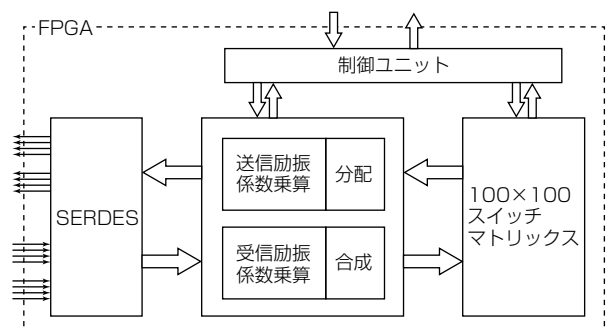


図5. SW・DBFユニットの構成(DBFプロセッサ動作時)

3.4 電源ユニット

電源ユニットは、分波合波ユニットとSW・DBFユニットに電源供給する。

4. デジタルチャネライザの試作・検証

ASICの製造開始前に、ASIC回路を模擬したFPGAを使用して実速度による動作検証を実施した⁽³⁾。図6及び図7は、動作検証のために製造したデジタルチャネライザの部分試作装置と検証シナリオである。部分試作装置は、ASIC回路を複数のFPGAに分割して実装し、実際の動作速度と同じ、サンプリング1.5Gsps/3Gsps、内部並列処理速度187.5MHz/375MHzで動作する。

検証では、S1・S2の変調波を別々のポートから入力して、合成した周波数スペクトラムが期待どおりに出力されることを確認する。変調波S1として中心周波数(f_c)1.795GHz、80Msps(占有帯域幅(BW)100MHz)のQPSK(Quadrature Phase Shift Keying)信号、変調波S2として中心周波数1.955GHz、100Msps(占有帯域幅125MHz)のQPSK信号を部分試作装置の異なるポートから入力して、スイッチマ



図6. デジタルチャネライザ部分試作装置

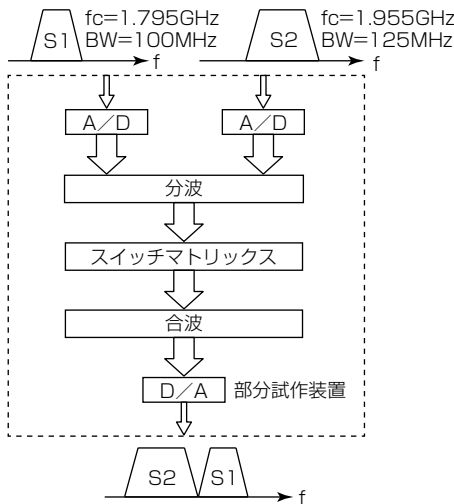


図7. 部分試作装置による検証シナリオ

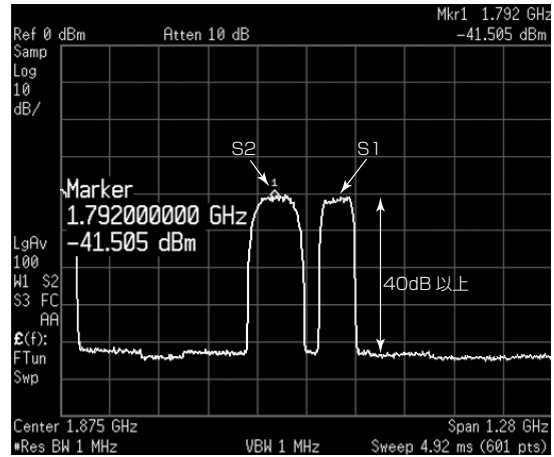


図8. 動作検証結果(D/A出力の周波数スペクトラム)

トリックスで周波数の並びを入れ替えてから合波して同じポートから出力する。図8は、D/A変換後のS1・S2の合成スペクトラムを、スペクトラムアナライザで確認したものである。S1とS2の配置が入れ替わり、デジタルチャネライザで生じるノイズレベルが、変調波レベルに対して40dB以上低いことが確認できる。

5. むすび

技術試験衛星9号機に搭載するデジタルパイロードの全体構成と仕様、分波合波ユニット、SW・DBFユニット、制御ユニット、電源ユニットの4ユニットから構成するデジタルチャネライザとDBFプロセッサの仕様について明らかにした。また、デジタルチャネライザの部分試作装置による検証試験結果を示し、現在開発中のデジタルチャネライザの設計に問題がないことを明らかにした。

この研究の成果の一部は、総務省委託研究“ニーズに合わせて通信容量や利用地域を柔軟に変更可能なハイスループット衛星通信システム技術の研究開発”及び“Ka帯広帯域デジタルビームフォーミング機能による周波数利用高効率化技術の研究開発”に基づいて実施したものである。

参考文献

- (1) 草野正明, ほか: Ka帯広帯域デジタルビームフォーミング機能による周波数利用高効率化技術の研究開発一回線設計一, 2018年電子情報通信学会総合大会, B-3-12 (2018)
- (2) 尾野仁深, ほか: Ka帯広帯域デジタルビームフォーミング機能による周波数利用高効率化技術の研究開発一DBFプロセッサの基本設計一, 2018年電子情報通信学会ソサエティ大会, B-3-14 (2018)
- (3) 角田聡泰, ほか: 技術試験衛星9号機搭載デジタルチャネライザの部分試作評価, 2018年電子情報通信学会ソサエティ大会, B-3-10 (2018)