

自動車機器 Automotive Equipment

エンジンクランク軸搭載用48V-ISGシステム

Crankshaft-mounted Integrated Starter-generator System for 48V Hybrid Vehicles

2021年の燃費規制強化に対応して欧州から比較的安価な48Vのマイルドハイブリッドが提案されており、今後その普及が見込まれている。この48V規格に対応した小型・軽量と高効率を両立させたエンジンクランク軸搭載用48V-ISG (Integrated Starter Generator) システムを開発した。

このシステムはエンジンクランク軸に薄型のモータを搭載し、減速エネルギー回生、トルクアシストやアイドルストップなど電動駆動によって燃費を改善する。また、ベルト駆動式オルタネータで課題となるベルトの伝達トルク制約がないため、アイドリング回転でも高出力発電が可能で、エアコンなど補機類の電動化による消費電力増大にも対応できる。

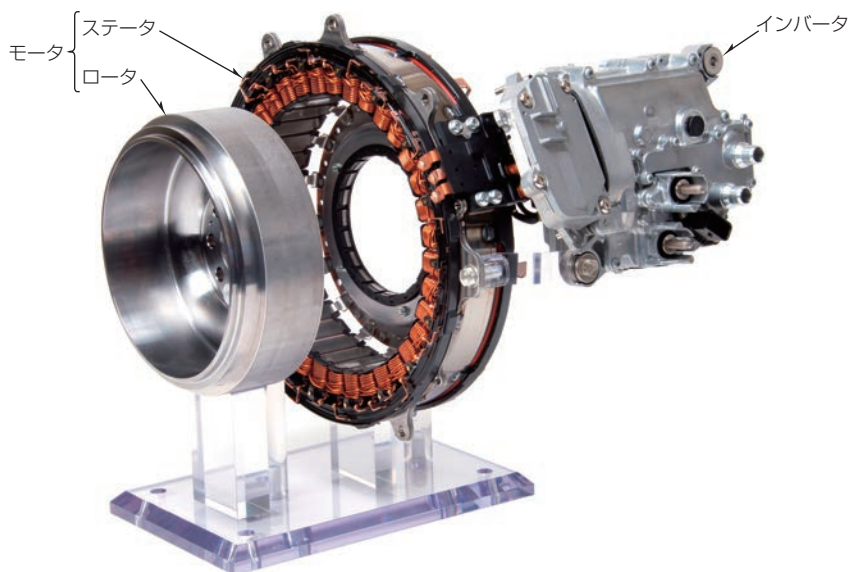
まず、今回開発したモータの特長を述べる。このシステムは48V規格に対応するため、一般的なハイブリッド車に比べて、低電圧大電流設計となることからコイル線径が大きくなり巻線密度を高めることが難しい。この課題に対して、当社の“ポキポキモータ”で培った分割コア巻線技術を採用し、コイル巻線の太線化と高密度な巻線を両立させた。同時に、コアとコイルの絶縁を従来の樹脂ボビンから絶縁紙とすることでコイル-コア間の放熱性向上を図るとともに、コアフレームに冷却水路を直接形成し、コアから冷却水への熱抵抗も低減して冷却性能を向上させた。既存車両とのレイアウトの互換性を保つため、多極設計によってステータ磁気回路幅を狭くする一方でロータ径を大きくし、トルク密度を高めることで薄型モータを実現した。

また、安全の観点からユーザーがモータとインバータをつなぐAC接続部に触れないようにする必要があり、インバータケースをモータハウジングにマウントすることが求められる。しかし、大電流によるAC端子部のサイズアップによってインバータケースが大きくなり、車両への搭載が困難であった。そこで、AC接続部を2組に分けて端子を小さくしつつ、端子配列を工夫して接続部を小型化し、この問題を解決した。

次にインバータの特長を述べる。モータとインバータの一体化によって、インバータはエンジン周辺に搭載され、熱に対して過酷な環境となる。熱の課題に対しては、半導体チップを当社独自のパワーモジュール構造であるTPM (Transfer molded Power Module) にして耐熱性を向上させるとともに、平滑コンデンサを水冷化している。

制御系については、モータが多極機のため高速回転での制御が難しくなるが、複数コア搭載マイコンのソフトウェアアーキテクチャを工夫し、処理負荷を最小化することで制御安定性を確保した。さらに、過電圧や過電流に対するインバータ保護、各種フェールセーフ機能、そして複数コア間でのソフトウェア動作監視や別体LSI (Large Scale Integration) とマイコンとの相互監視などを織り込み、機能安全規格を満足している。

今後は開発した48V-ISGシステムを市場に展開するとともに、更なる小型軽量化に向けた開発を行い、自動車の燃費改善によるCO₂抑制に貢献していく。



48V-ISGシステム

自動車機器 Automotive Equipment

統合インストルメントパネル

Integrated Instrument Panel

1. 背景

自動車のインパネ(インストルメントパネル)では、従来のスピードメータや警告灯に加えて、IVI(In-Vehicle Infotainment:カーナビゲーション、AV等の車内エンタテインメント機能)や運転支援機能等の情報表示も求められている。このため多くの製品が液晶ディスプレイを内蔵しており、高価格帯の車種等では機械式メータを廃したフル液晶インパネも増えている。一方、IVI用SoC(System on a Chip:システムLSI)の高性能化に伴い、従来は別のSoCで制御していたインパネとIVIを、1つのSoCで制御可能となりつつある。これらを受け、インパネとIVIを統合した新しいHMI(Human Machine Interface)の実現と、ハードウェアの統合によるコスト削減に向け、メーカー各社が統合インパネの開発に取り組んでいる。今回当社は、次世代製品向け統合インパネプラットフォームとその試作機を開発した。

2. 統合インパネの開発

今回試作した統合インパネと従来システムの構成比較を図1に示す。従来システムはIVIとインパネを別のECU(Electronic Control Unit)で構成していた。統合インパネでは、IVIとインパネのソフトウェアをハイパーバイザを用いて1つのSoCで実行する。試作機の仕様を表1に、外観を図2に示す。

(1) インパネ・IVI連携支援機能

従来システムでは、インパネからIVIを操作するための“インパネIVI HMI”はインパネECUにあり、操作要求はCAN^(注)通信によってIVI ECUに伝送していた(図1の①ECU間通信)。通信路の帯域は限られており、IVIからインパネへの地図画像等の伝送・表示は困難であった。統合インパネでは、新開発のグローバルウィンドウマネー

ジャーによって、Linux^(注)側の“インパネIVI HMI”をメータと統合してインパネディスプレイに表示できる。これによってセンターディスプレイと同様に、地図画像等を含むHMIを表示できる。またIVIとインパネ間の通信も、同一SoC上で高速・低遅延で行える(図1の②OS間通信)。

(2) インパネ機能とIVI機能の分離実行機能

インパネとIVIでは、求められる安全基準や性能が異なる。各機能をソフトウェア的に分離して実行し、相互干渉を排除することで、それぞれの要求基準を保障する分離実行機能を開発した。機能を次の3種類に分け、種類に応じて処理優先度やメモリ割当て量をハイパーバイザの機構を使い管理する。

- ①機能安全に対応する機能：ブレーキの警告灯等の安全にかかわる機能。関係するハードウェアやソフトウェアを他の機能から分離。RTOS(Real-Time Operating System)上で高優先度で実行。固定メモリ割当て。
- ②高速起動・リアルタイム性の必要な機能：スピードメータの60回/秒の表示更新等、処理時間の保障が必要な機能。RTOS上で中優先度で実行。固定メモリ割当て。
- ③その他の機能：IVI機能。Linux上で低優先度で実行。動的メモリ割当て。

3. まとめ

統合インパネプラットフォームとそれを用いた試作機を開発し、製品の実現性を確認した。このプラットフォームは2018年以降の製品に順次展開する予定である。



図2. 統合インパネ試作機

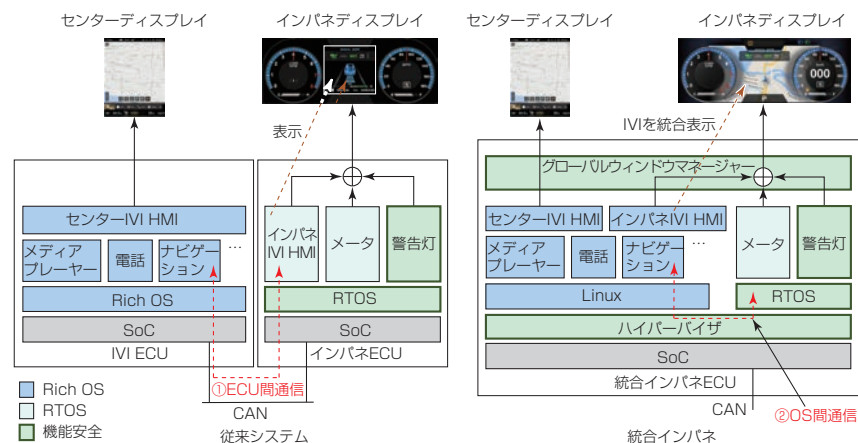


図1. 従来システムと統合インパネの比較

表1. 統合インパネ試作機の仕様

| 項目 | 仕様 |
|------------|---|
| CPU | ARM ^(注) Cortex ^(注) -A57 Quad core |
| RAM | 4 GBytes |
| ストレージ | e・MMC 16GBytes USBメモリ (USB音楽再生用) |
| センターディスプレイ | 768×1024ピクセル(縦型) タッチパネル(2点タッチ対応) |
| インパネディスプレイ | 1920×720ピクセル |

RAM : Random Access Memory
e・MMC : embedded MultiMediaCard