

省電力化を推進する SiC-MOSFET技術

友久伸吾* 日野史郎***
田中梨菜* 川原洸太郎***
香川泰宏**

SiC-MOSFET Technologies for Promoting Power Saving

Shingo Tomohisa, Rina Tanaka, Yasuhiro Kagawa, Shiro Hino, Kotaro Kawahara

要旨

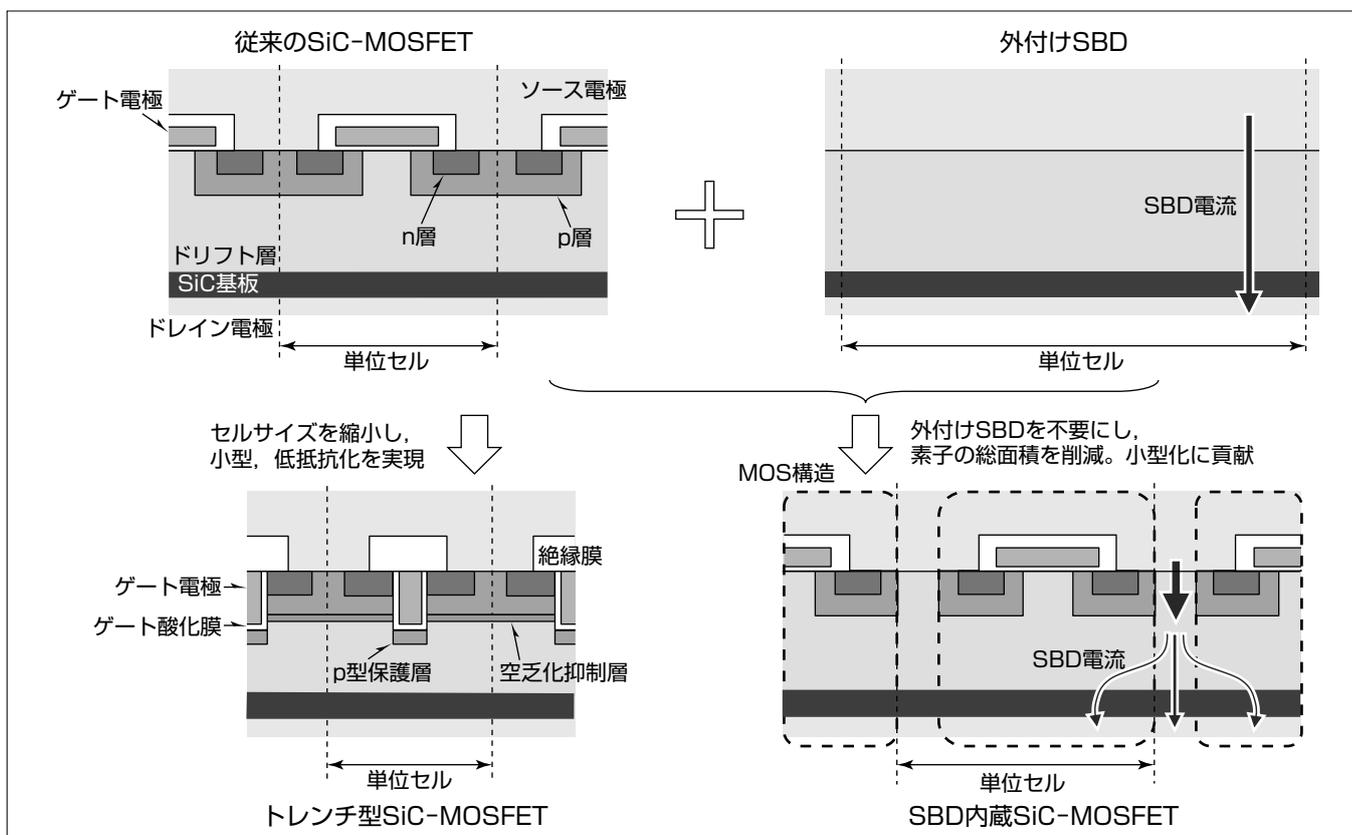
パワーエレクトロニクス機器に一層の省電力化をもたらすSiC(シリコンカーバイド)-MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)は、従来のSi(シリコン)パワーデバイスに比べて素子抵抗を低くでき、損失低減、省電力化が可能である。幅広い耐圧や用途に適した特性が必要であり、新しい構造の開発が進められている。三菱電機では、実用化を目指して、トレンチ型SiC-MOSFETとSBD(Schottky Barrier Diode)内蔵SiC-MOSFETを開発中である。

トレンチ型SiC-MOSFETは、従来のプレーナー型より単位セルの縮小が可能のため、多くの電流を制御でき、素子抵抗低減が期待できる。当社は独自のp型保護層を適用し、トレンチ型の課題であるゲート酸化膜への電界集中を

抑制している。さらに、その接地化や空乏層制御によって、短絡耐量向上と素子抵抗低減を実現した。

インバータなどで必要となる外付けのSBDはパワーモジュールでMOSFETと並列接続され、高耐圧になるほど素子面積は大きくなる。SBD内蔵SiC-MOSFETでは、MOS構造を利用して耐圧と大きなSBD電流を実現している。その結果、6.5kV耐圧素子で、MOSFETの3倍程度の面積が必要な外付けSBDを不要とし、素子面積の削減が可能であることを確認した。

今後、これらの新規素子に対し、各種パワーエレクトロニクス機器への適用を目指して、信頼性確認とモジュール動作実証を進め、省電力化に貢献していく。



新構造SiC-MOSFETの断面模式図

トレンチ型SiC-MOSFETでは、ゲート電極を埋め込むことによって素子の小型化を可能にするるとともに、p型保護層の適用によるゲート酸化膜電界低減を実現した。また、外付けが必要であったSBDを省スペースでSiC-MOSFETに内蔵させる技術を開発し、6.5kV耐圧構成で、MOSFETに対して3倍程度の素子面積が必要な外付けSBDを不要にできることを確認した。

1. ま え が き

パワーエレクトロニクス機器に一層の省エネルギー化をもたらすSiC-MOSFETの開発を進めている。SiC-MOSFETは従来のSiパワーデバイスに比べて素子抵抗を低くできることから、損失低減、省電力化が可能であり、600Vから3,300Vの耐圧領域で既に実用化されている。具体的には、鉄道車両向けインバータなどへ適用可能な高耐圧・大容量プレーナ型SiC-MOSFETや過電流検知に必要な電流センシング機能を内蔵させた高機能SiC-MOSFETなどが開発されてきた。SiC-MOSFETの素子抵抗は、機器の電力損失につながるため、その低減が求められているが、幅広い用途に対応するためには多様な特性要求に適した構造設計が必要であり、開発が進められている。

図1(a)は、SiC-MOSFETの素子抵抗の構成を断面構造に対して示した模式図であり、図1(b)は素子抵抗の主な構成割合を耐圧ごとに簡単に比較した例である。ドリフト層抵抗(R_{drift})は耐圧によって大きく変化し、チャンネル抵抗(R_{ch})及び基板抵抗(R_{sub})は耐圧による変化は小さい。このように低耐圧素子ではチャンネル抵抗、高耐圧素子ではドリフト層抵抗の割合が大きいことから、各要素抵抗を低減した場合の全体抵抗への寄与は耐圧によって異なる。それらを考慮しながら、本稿では、実用化を目指して開発しているトレンチ型SiC-MOSFETとSBD内蔵SiC-MOSFETについて述べる。

プレーナ型SiC-MOSFETに比べて小型・低損失化が期待できるトレンチ型SiC-MOSFETは、単位セルを縮小できるため、チャンネル密度の向上が可能であり、チャンネル抵抗の割合が大きい低耐圧用途で高い効果が得られると期待されている。

SBD内蔵SiC-MOSFETは、インバータなどで必要となる外付けのSBDをMOSFET内に組み込んだ素子である。高耐圧になるほど必要となるSBDの素子サイズは大きくなるため、高耐圧時のメリットが大きいと期待している構造であり、本稿では6.5kV耐圧素子について述べる。

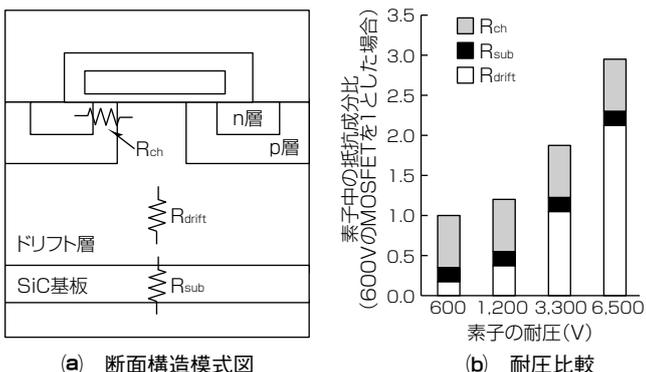


図1. SiC-MOSFETの抵抗構成例

2. トレンチ型SiC-MOSFET

2.1 トレンチ型SiC-MOSFETの構造

これまで開発を進めてきたトレンチ型SiC-MOSFETの斜視模式図及びソース電極形成前の走査型電子顕微鏡(SEM)像を図2に示す。大きな特徴は、トレンチ底部に形成されている“p型保護層”とセルを間引きしてこのp型保護層とソース電極を接続する“保護層接地セル”である。p型保護層は、トレンチ底部のゲート酸化膜に対する電界を緩和するためにトレンチ底に形成されている。トレンチエッチング後に注入工程を行うため、大幅な工程増なく選択的に形成できる。また、このp型保護層は活性セルを間引いて形成される保護層接地セルによってソース電極と接続され、電気的に接地されている。

2.2 トレンチ型SiC-MOSFETの特性

保護層接地セルの適用によって図3に示すように、ゲート酸化膜への電界緩和と短絡耐量の向上が期待される。図3(a)は、ドレイン電圧とゲート酸化膜に生じる最大酸化膜電界の関係をシミュレーションした結果である。p型保護層の接地によって600Vのドレイン電圧でのゲート酸化膜の最大電界は約60%低減され、寿命を含めた信頼性向上に対する効果が期待される⁽¹⁾。

保護層接地セルは活性セルを間引いて作成するため、チャンネル密度が減少し、素子抵抗は増加する。しかしなが

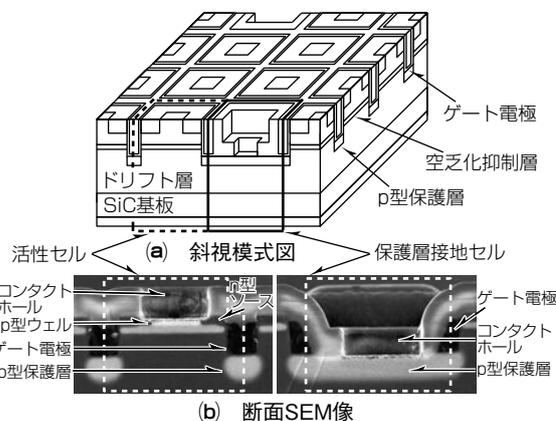


図2. 開発したトレンチ型SiC-MOSFETの構造図

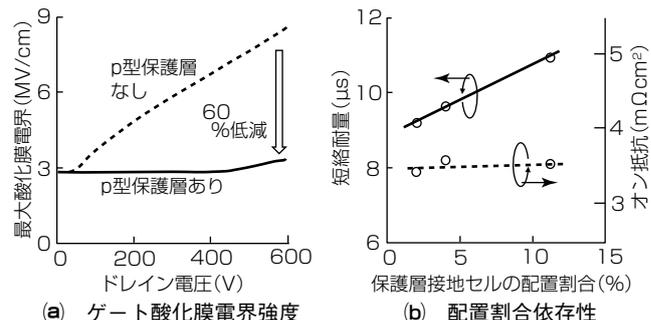


図3. p型保護層と接地セルの効果

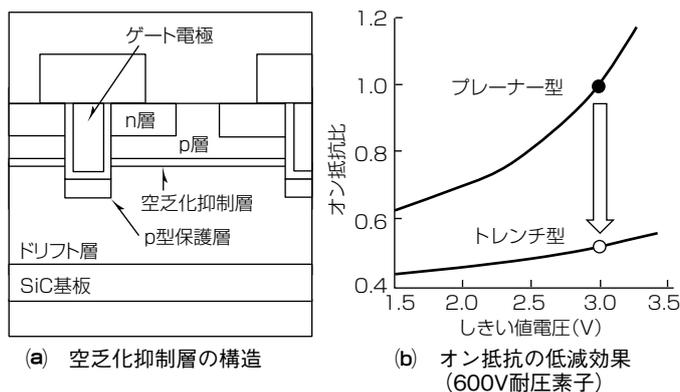


図4. 空乏化抑制層の効果

ら、素子抵抗とトレードオフ関係にある短絡耐量を改善することが可能になる。短絡耐量は負荷短絡の発生によって素子に大電流が流れた場合に、短絡事故発生から素子破壊にいたるまでの時間で議論されることが多く、回路的に検知され電流が遮断されるまでの時間よりも長いことが必要である。図3(b)は保護層接地セルの配置割合を変化させた際の短絡耐量及びオン抵抗の変化を示したものである。保護層接地セル割合の増加に伴って短絡耐量も増加していき、配置割合11%で約11μsに達した。これは短絡発生が回路によって検知され、電流が遮断されるまでに十分な時間である。この場合でもオン抵抗の増加は僅かに抑えられており、保護層接地セルの適用による抵抗増は限定的である。発光解析から、短絡時の素子破壊箇所は保護層接地セルから遠い部分に集中していることが明らかとなっている。保護層接地セルの配置割合が増加することで、過渡応答時に流れる変位電流の経路が短くなり、ゲート酸化膜にかかる電界を抑制できているものと考えられる⁽²⁾。

トレンチ底にp型保護層を設けることで、空乏層の広がりによる電流経路の狭窄(きょうさく)が生じ、抵抗増を引き起こす。その対策として、p型ウェルの下に適切なn型層(空乏化抑制層)を導入する構造を開発している。図4(a)は、その構造の断面模式図であり、図4(b)はオン抵抗比をプレーナー型と比較したものである。600V耐圧素子での比較の結果、空乏化抑制層を導入したトレンチ型では、しきい値電圧3.0Vでプレーナー型より45%オン抵抗を低減させることができる。

このように、チャンネル抵抗の占める割合の大きな低耐圧用途で低抵抗化が期待されるトレンチ構造に対し、ゲート酸化膜電界緩和及び短絡耐量向上の取組みを示した。高い信頼性を保持しつつ、小型・低損失化の実現が期待される。

3. SBD内蔵SiC-MOSFET

この章では、チャンネル部の抵抗低減が大きな効果をもたらす低耐圧用途と異なり、ドリフト層の抵抗が大きな割合を占める高耐圧用途で有用なSBD内蔵技術について述べる。

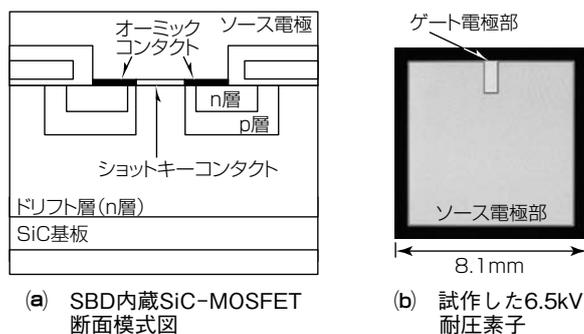


図5. SBD内蔵SiC-MOSFET

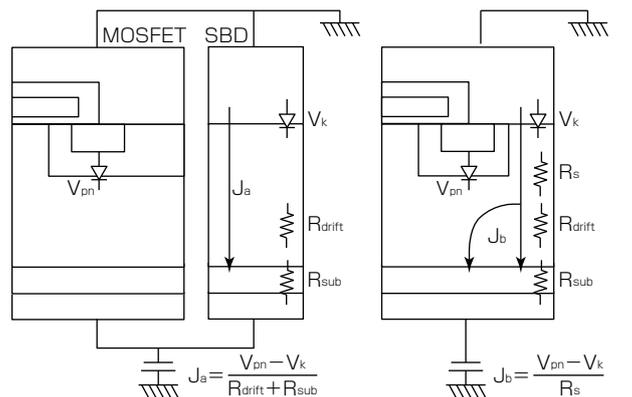


図6. 電流経路の模式図

3.1 SBD内蔵SiC-MOSFETの構造

SiC-MOSFETでは、基板やドリフト層に結晶欠陥が存在している。ボディダイオードと呼ばれるpn接合部を通じて流れるバイポーラ電流は、SiC膜中に存在している欠陥を拡大し、耐圧低下などの特性劣化を引き起こす原因となることが知られている⁽³⁾。その対策として、MOSFETに並列にSBDを接続することでMOSFET内に流れるバイポーラ電流を抑制することや、マージンを持った素子設計や良品選別、又は欠陥の少ない高品質な基板の活用などが対策とされているが、いずれもコスト増などの課題を伴う。

当社はこの課題に対し、MOSFETにSBDの機能を搭載させ、バイポーラ電流を抑制させるSBD内蔵構造を考案した。図5は素子断面構造と試作した8.1mm角の6.5kV耐圧素子の外観を示す⁽⁴⁾。ソース電極は、同一コンタクトホール内でオーミックコンタクトとショットキーコンタクトを持つ構造となっており、工程増を抑制している。

MOSFETにSBDを内蔵させる場合には、SBD部分に十分な電流が流れることに加えて、ボディダイオード部に電流が流れないことと、十分な素子面積削減効果が得られることが要求される。

図6は、SBDを外付けした場合と開発したSBD内蔵素子の場合の電流経路を示した模式図である。V_{pn}は先に述べたバイポーラ電流が流れ始めるpn接合部の電圧であり、V_kはショットキー接合部に発生する電圧である。R_sは

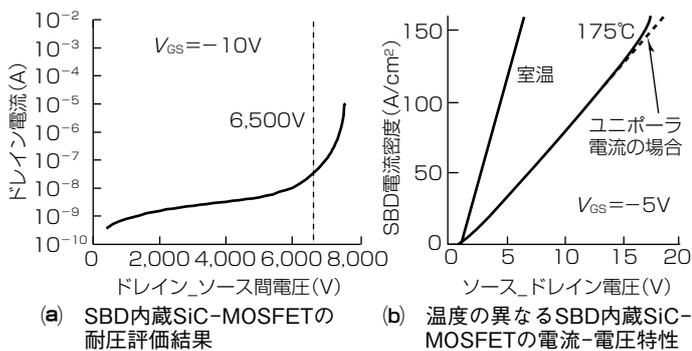


図7. SBD内蔵SiC-MOSFETの特性

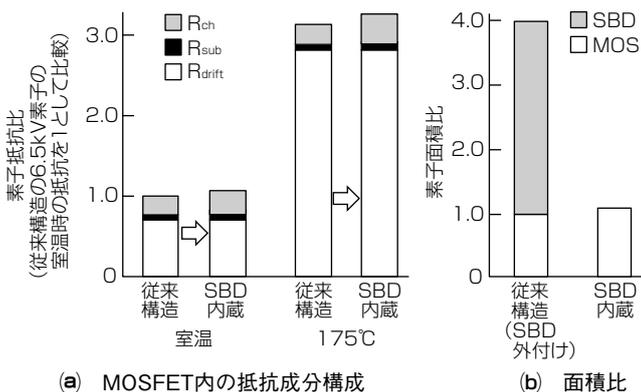


図8. SBD内蔵SiC-MOSFETと従来構成の比較

SBD内蔵でのJFET(Junction Field Effect Transistor)抵抗を示す。それぞれの場合にショットキー接続部を通して流れるユニポーラ電流は、図中の J_a 、 J_b となる。言い換えると、 J_a 、 J_b 以上の電流を流す場合にpnダイオード部にバイポーラ電流が流れることになり、この J_a 、 J_b を大きくすることが重要となる。図中に示すように、外付けSBDではドリフト層の抵抗が影響するため、高耐圧素子では大きな面積が必要となる。一方、SBD内蔵の場合にはドリフト層の抵抗に依存しないため、高耐圧でも R_s を抑制することで素子面積の増大を抑制できる。

3.2 SBD内蔵SiC-MOSFETの特性

図7は、SBD内蔵SiC-MOSFETの耐圧評価結果と室温及び175°Cでの電流-電圧特性を示す。リーク電流も抑制した6.5kV以上の十分な耐圧が得られていることが分かる。175°Cでも10V以上の電圧までバイポーラ電流が発生しておらず、ユニポーラ電流として流せる最大電流密度は120A/cm²程度であり、十分な電流密度と言える。

SBDを内蔵することによって単位セルが大きくなりチャンネル密度が減少するため、抵抗は増加することになる。しかしながら、図1に示したように、高耐圧素子ではドリフト抵抗(R_{drift})の占める割合が大きく、チャンネル抵抗の割合は小さいため、SBDを内蔵することによって生じるチャンネル抵抗の増加の影響は小さい。図8は6.5kV耐圧SBD内蔵SiC-MOSFETのオン抵抗についてSBDを

内蔵していない従来のMOSFETと比較したものである。室温、175°Cのどちらの場合でも抵抗増加は10%程度である。同程度のユニポーラ電流を流すためには、外付けSBDではMOSFETの3倍程度の素子面積が必要なることから、素子サイズの縮小効果は非常に大きい(図8(b))。

このように、SBD内蔵SiC-MOSFETで、所望のSBD特性が得られ、課題であったボディダイオードへのバイポーラ電流抑制が可能であることが確認できた。このようなSBD内蔵SiC-MOSFETに対し、通電劣化特性やモジュール動作特性の評価を進めている。今までのところ、SBDを内蔵することによるMOSFETの信頼性劣化は確認されておらず、良好な結果が得られており、実用化に向けて開発を推進している。

4. むすび

パワーエレクトロニクス機器の低損失化の実現を目指して開発中である2種の新しい構造のSiC-MOSFETについて述べた。

600V耐圧トレンチ型SiC-MOSFETでは、p型保護層とその接地構造及び空乏化抑制層の導入によって、短絡耐量向上と抵抗低減を実現した。

一方、高耐圧化時の課題である厚膜SiC層へのバイポーラ電流による特性劣化対策となるSBD内蔵技術を6.5kV耐圧MOSFET素子で実現し、SBDを外付けする場合と比較して約10%の素子抵抗増でSBDを不要化できることを確認した。

幅広い耐圧のSiC素子に対し、それぞれの課題や効果を見極めた新構造の開発を進めている。今後はこれらの実用化を図るとともに、更なる高性能・高信頼のSiCデバイス開発を進め、パワーエレクトロニクス機器の省電力化実現に貢献していく。

この研究の一部は、国立研究開発法人新エネルギー・産業技術総合研究開発機構(NEDO)から委託された“低炭素社会を実現する次世代パワーエレクトロニクスプロジェクト／高出力密度・高耐圧SiCパワーモジュールの開発”によってなされたものである。

参考文献

- (1) Kagawa, Y., et al.: Materials Science Forum, **919**, 778~780 (2013)
- (2) Tanaka, R., et al.: IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD), 75 (2014)
- (3) Bergman, P., et al.: Materials Science Forum, **389**, 9~14 (2002)
- (4) Kawahara, K., et al.: IEEE 29th International Symposium on Power Semiconductor Devices & IC's (ISPSD), 41 (2017)