

デバイスモデルによるSiC-MOSFET 過渡特性の高精度シミュレーション技術

椋木康滋* 葛本昌樹†
堀口剛司** 赤木泰文†
中山 靖***

Precise Simulation Technology for Transient Properties of SiC-MOSFETs with New Device Model
Yasushige Mukunoki, Takeshi Horiguchi, Yasushi Nakayama, Masaki Kuzumoto, Hirofumi Akagi

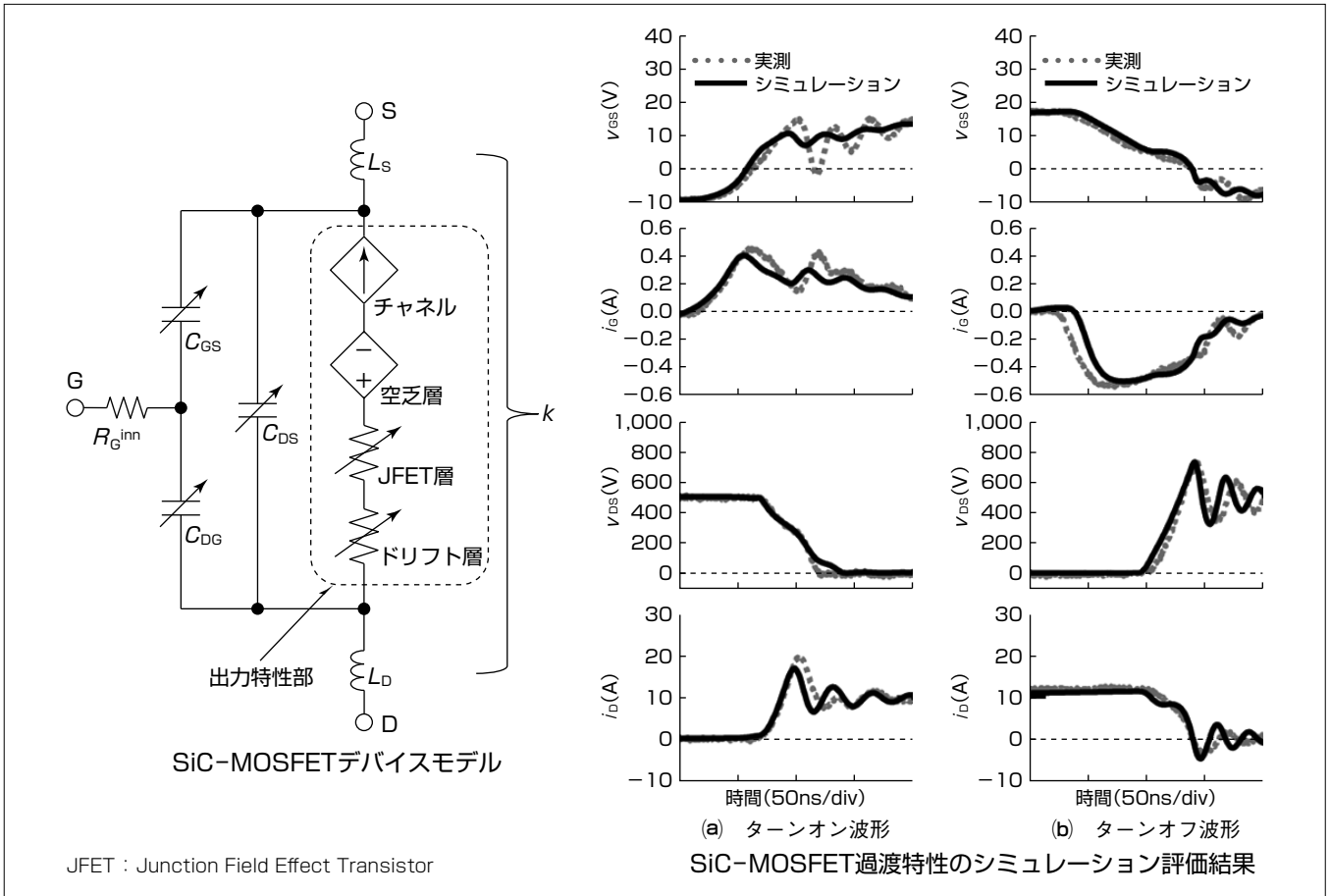
要 旨

SiC-MOSFET (Silicon Carbide-Metal-Oxide-Semiconductor Field-Effect Transistor) 搭載電力変換器の製品適用拡大に伴い、SiC-MOSFETのデバイスモデル研究が注目されている。デバイスモデルを活用することで回路動作波形、損失解析等が可能となり、製品開発の加速が期待できる。これまで欧米を中心にデバイスモデル研究が発表されてきたが、ゲート回路動作波形、スイッチング動作での高周波特性のシミュレーション精度等の課題が残っていた。

今回三菱電機が東京工業大学との共同研究で開発したSiC-MOSFETデバイスモデルは、物理に基づいた出力特性のモデルをベースに、パッケージ内部の内蔵ゲート抵抗($R_{G^{inn}}$)及び主回路寄生インダクタンス(L_s, L_D)、結合

係数(k)、出力特性部、内部寄生容量(C_{DG}, C_{GS}, C_{DS})を考慮して構成した。デバイスモデルの過渡特性は誘導性負荷スイッチング試験によって、そのシミュレーション精度を検証した。その結果、既存のデバイスモデルでは十分に考察できなかったゲート回路動作波形を良好に表現できた。また、主回路のスイッチング動作では高周波特性に影響する電圧時間変動率、電流時間変動率ともに高精度なシミュレーション結果を確認した。これらの高周波特性のシミュレーション技術は、SiC-MOSFETの高速スイッチング動作での電磁ノイズ問題への適応が期待できる。

このデバイスモデルによってゲート回路・主回路の高精度解析が可能となり、SiC-MOSFET搭載のパワエレクトロニクス全体解析に有用な解析技術の実現に貢献できると考える。



SiC-MOSFETデバイスモデルと過渡特性の波形比較

左はSiC-MOSFETデバイスの等価回路モデルである。開発したデバイスモデルは内蔵ゲート抵抗、寄生インダクタンス、結合係数、出力特性部、内部寄生容量で構築している。右は誘導性負荷での過渡特性のシミュレーション評価結果である。(a)にターンオン動作、(b)にターンオフ動作時のゲート・ソース間電圧波形(v_{GS})、ゲート電流波形(i_G)、ドレイン・ソース間電圧波形(v_{DS})、ドレイン電流波形(i_D)を示す。

1. ま え が き

SiC-MOSFET搭載電力変換器の製品適用拡大に伴い、SiC-MOSFETのデバイスモデル研究が注目されている。本稿で述べるデバイスモデルとは、回路シミュレータ上で動作する等価回路モデルを指す。デバイスモデルを活用することでデバイスの回路動作波形、デバイス損失等の解析が可能となり製品設計と開発の加速が期待できる。これまでも多くのSiC-MOSFETモデルが報告されてきた⁽¹⁾。しかし、デバイス駆動を決定するゲート回路動作波形のシミュレーションや、デバイスから発生する高周波ノイズの原因となる高周波特性の再現に課題があった。

本稿では、東京工業大学との共同研究で開発したSiC-MOSFETデバイスモデルについて述べる。このデバイスモデルはゲート回路動作波形、高周波特性の高精度シミュレーションを可能とする。2章でデバイスモデルの構築、3章でスイッチング動作のシミュレーション評価について述べる。

2. SiC-MOSFETデバイスモデルの構築

2.1 デバイスモデル

今回の研究対象はディスクリットSiC-MOSFET(1.2-kV, 36-A, TO-247パッケージ)である。図1にデバイスの等価回路モデルを示す。デバイスモデルは3種の電極端子(ドレイン端子(D)、ゲート端子(G)、ソース端子(S))、内蔵ゲート抵抗($R_{G^{inn}}$)、主回路端子の2種の寄生インダクタンス(L_D , L_S)及び結合係数(k)、出力特性部、各外部端子間の寄生容量(C_{DG} , C_{GS} , C_{DS})から構成した。またデバイスを駆動するゲートドライブ回路も等価回路によってモデル化した。図1に、本稿で使用する電圧記号(ゲート・ソース間電圧(V_{GS})、ドレイン・ゲート間電圧(V_{DG})、ドレイン・ソース間電圧(V_{DS}))、及び電流記号(ゲート電流(i_G)、ドレイン電流(i_D))を併記する。

2.1.1 内蔵ゲート抵抗のモデル化

内蔵ゲート抵抗はSiC-MOSFETデバイスのゲート電極

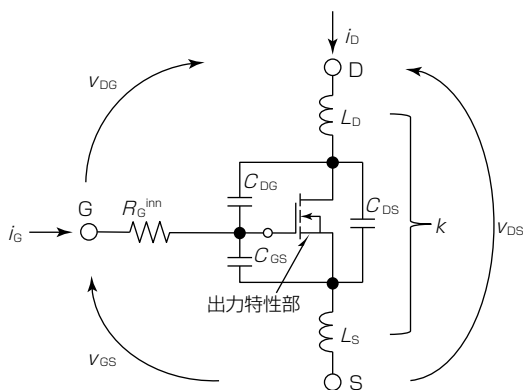


図1. SiC-MOSFETデバイスの等価回路モデル

に直列に配置され、SiC-MOSFETのゲート回路動作に影響する。このモデルでは内蔵ゲート抵抗をデバイス内部寄生容量の抵抗成分としてLCRメータで測定して $R_{G^{inn}} = 3.6\Omega$ と評価した。

2.1.2 主回路端子寄生インダクタンスのモデル化

主回路端子の寄生インダクタンスはデバイスモデル研究で実験評価が困難な構成要素である。本稿ではインピーダンス特性(LC共振特性)を利用した実測手法を考案し、この寄生インダクタンスを評価した⁽²⁾。図2に寄生インダクタンスの実測手法を示す。図2(a)及び(b)に示すように、この手法ではTO-247パッケージ背面のドレイン電極面と測定用端子間に、銅版と絶縁紙で形成される容量(C^{ext})を接続する。このときのインピーダンス特性(LC共振特性)経路を図2(c)に示す。経路1のインピーダンス特性から $C^{ext} = 1.7nF$ とドレイン側寄生インダクタンスの直列共振周波数を測定し、 $L_D = 3.6nH$ を算出した。経路2のインピーダンス特性から、追加容量とソース側寄生インダクタンスの直列共振周波数を測定し、 $L_S = 5.7nH$ を算出した。最後に経路3のインピーダンス特性から L_D と L_S 間の結合係数 $k = 0.72$ を算出した。

2.1.3 出力特性部のモデル化

出力特性部のモデル化は、低 V_{DS} 領域と高 V_{DS} 領域で分

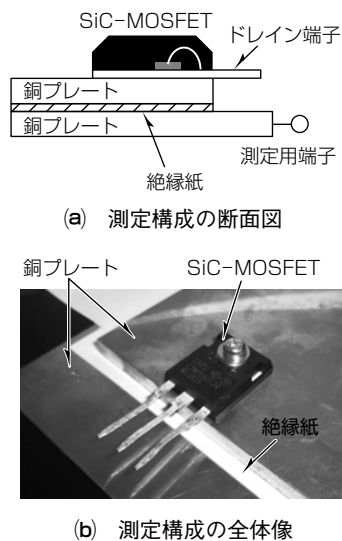


図2. 主回路端子寄生インダクタンスの実測手順

割して実施した。低 V_{DS} 領域では図3(a)に示すデバイスの断面構造とMOSFETの動作式から物理モデルを構築した⁽³⁾。図3(b)に出力特性部の等価回路モデルを示す。図3(c)にカーブトレーサによる実測結果と、物理モデルによるシミュレーション比較を示す。図3(c)から低 V_{DS} 領域の出力特性を物理モデルで高精度にシミュレーション可能であることを確認した。高 V_{DS} 領域の出力特性は、ターンオフ時のスイッチング波形の解析から導出した。この解析では V_{GS} 値の読み取りに際し、内蔵ゲート抵抗による電圧降下分を補正した。補正した各 V_{GS} 値での(V_{DS} , i_D)をターンオフ波形から読んだ実測結果と、シミュレーション比較を示す。今回のモデリングでは実測結果を踏まえ、2次関数式で近似した。これらの出力特性部をアナログビヘイビア式でモデル化した。

2.1.4 デバイス内部寄生容量のモデル化

デバイスの内部寄生容量は、デバイスのスイッチング特性に影響の大きい因子である。内部寄生容量は各端子間に C_{DG} , C_{GS} , C_{DS} の3種類が存在する。 C_{DG} はこの3種類でスイッチング特性への影響が最も大きい容量である。一方で C_{DG} はほかと比較し、極めて微小な容量値のため直

接、実測評価することは困難であった。今回の研究ではスイッチング動作時のミラー期間でのゲート電流波形を解析し、 C_{DG} 容量値を実測評価した。ミラー期間ではゲート電流は C_{DG} を流れる、この期間のゲート電流からゲート電荷を算出し、 V_{DG} で微分することで C_{DG} 容量値を算出できる。さらにゲート電源電圧を可変にし、 V_{GS} 依存性も調査した。図4に示す C_{DG} 容量特性を、出力特性部と同様にアナログビヘイビア式で表現してモデル化した。

ほかの内部寄生容量 C_{GS} , C_{DS} はLCRメータで測定し、測定結果をテーブルデータとしてモデル化した。図5に C_{GS} 容量特性、 C_{DS} 容量特性を示す。

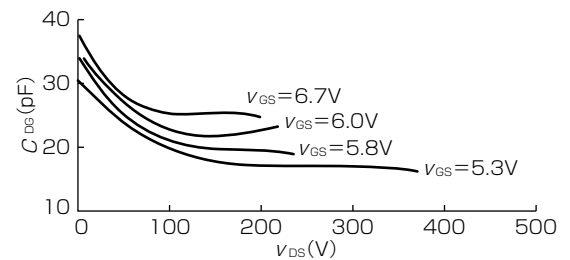
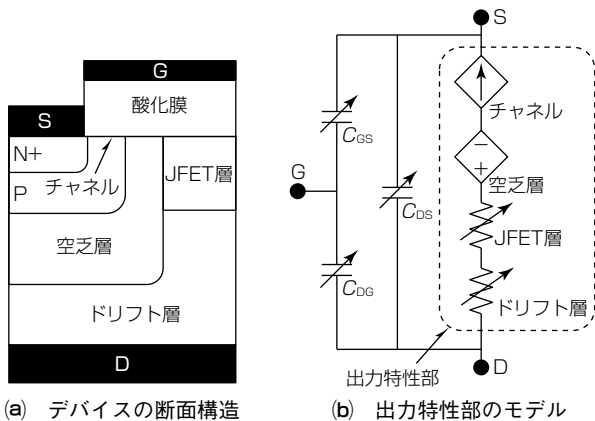
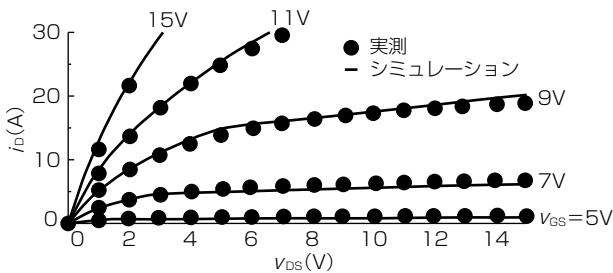


図4. C_{DG} 容量特性

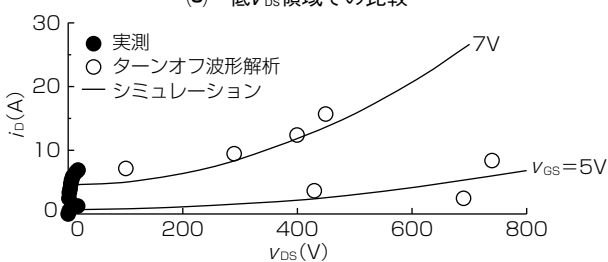


(a) デバイスの断面構造

(b) 出力特性部のモデル

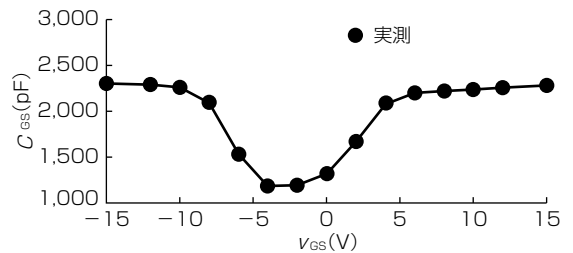


(c) 低 V_{DS} 領域での比較

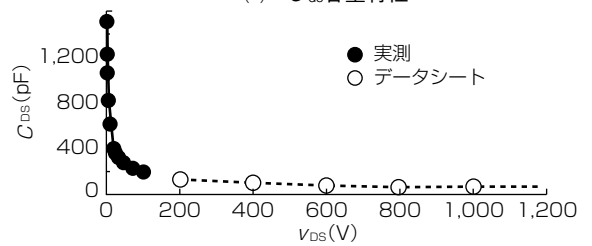


(d) 高 V_{DS} 領域での比較

図3. 出力特性部のモデル



(a) C_{GS} 容量特性



(b) C_{DS} 容量特性

図5. C_{GS} ・ C_{DS} 容量特性

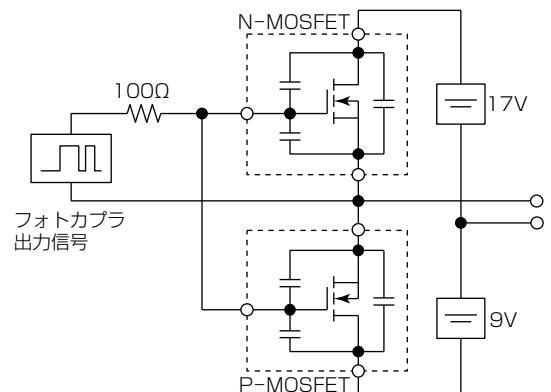


図6. ゲートドライブ回路の等価回路モデル

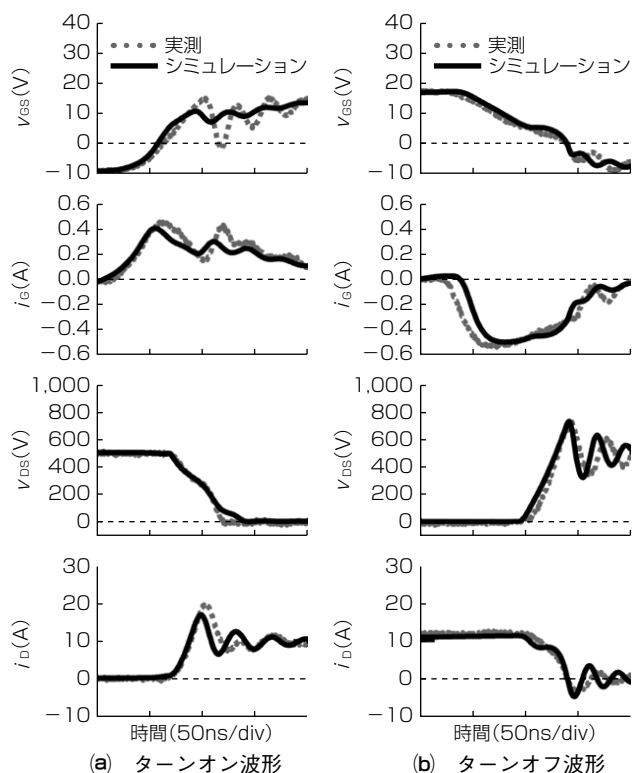


図7. スイッチング動作のシミュレーション評価結果

2.1.5 ゲートドライブ回路のモデル化

今回の研究ではデバイスを駆動するゲートドライブ回路も、等価回路でモデル化した⁽⁴⁾。ゲートドライブ回路はGDU-40(日本パルス工業株)を使用した。図6にゲートドライブ回路の等価回路モデルを示す。フォトカプラ出力信号は実測データを利用した。N-MOSFET, P-MOSFETはデバイスモデルでモデル化する。ハイサイド電源(17V), ローサイド電源(9V)は理想電源モデルでモデル化した。

3. シミュレーション評価

スイッチング動作のシミュレーション評価は、誘導性スイッチング試験を対象とした。図7に負荷電流10Aでのスイッチング動作のシミュレーション評価結果を示す。図7(a)にターンオン波形を示す。vgsの波形比較ではミラー期間までは良好な整合を示すものの、ミラー期間以降は、実測波形で顕著な電圧振動を観察した。この差異はシミュレーションで未検討である還流ダイオードのリカバリー効果、及び主電流からの放射ノイズの影響が考えられる。ゲート電流の波形比較でも、vgsと同様にミラー期間までは良好な整合を、ミラー期間以降は、実測波形で顕著な

電流振動を観察した。vdsとidの波形比較でも実測波形とシミュレーション波形は良好に整合し、電圧時間変動率(dvds/dt), 電流時間変動率(did/dt)は誤差10%程度を示した。図7(b)にターンオフ波形を示す。vgs波形比較ではシミュレーションと実測で良好な整合を確認した。ゲート電流の波形比較では、負電流の開始タイミングで差異があるが、以降の波形は整合した。vdsとidの波形比較でも実測波形とシミュレーション波形は良好に整合し、電圧時間変動率(dvds/dt), 電流時間変動率(did/dt)はターンオンと同程度の誤差10%程度を示した。

4. むすび

今回開発したSiC-MOSFETデバイスモデルは、パッケージ内部の内蔵ゲート抵抗, 寄生インダクタンス, 結合係数, 出力特性部, デバイス内部寄生容量で構築した。内蔵ゲート抵抗, 寄生インダクタンス, 結合係数, は実測で評価し, モデル化した。出力特性部はデバイス断面構造とMOSFET動作式から物理モデルを構築した。デバイス内部寄生容量も実測で評価し, モデル化した。またデバイスを駆動するゲートドライブ回路にも着眼し, 等価回路モデルを構築した。誘導性スイッチング動作を対象としたシミュレーション評価では, ゲート回路動作, 主回路動作とも良好な整合を確認した。このデバイスモデルによってゲート回路開発, 主回路動作の詳細解析が可能になると期待する。

参考文献

- (1) Mantooth, H.A., et al.: Modeling of Wide Bandgap Power Semiconductor Devices-Part I, IEEE Trans. Power Electron., 62, No.2, 423~433 (2015)
- (2) 昆野賢太郎, ほか: LC共振を利用したSiC-MOSFETの寄生インダクタンスの評価方法, 電気学会全国大会 (2017)
- (3) Mukunoki, Y., et al.: Characterization and Modeling of a 1.2-kV 30-A Silicon-Carbide MOSFET, IEEE Trans. Electron Devices, 63, No.11, 4339~4345 (2016)
- (4) 中村悠太, ほか: ゲートドライブ回路モデルを考慮したSiC-MOSFET過渡特性のシミュレーション検討, 電気学会電子デバイス/半導体電力変換合同研究会資料, EDD-16-65/SPC-16-152, 13~18 (2016)