

古橋 壯之\* 渡部 毅代登\*\*  
 谷岡 寿一\*\*  
 酒井 伸次\*\*

# 超小型DIIPM用SiC-MOSFET

SiC-MOSFET for Super-mini DIIPM

Masayuki Furuhashi, Toshikazu Tanioka, Shinji Sakai, Kiyoto Watabe

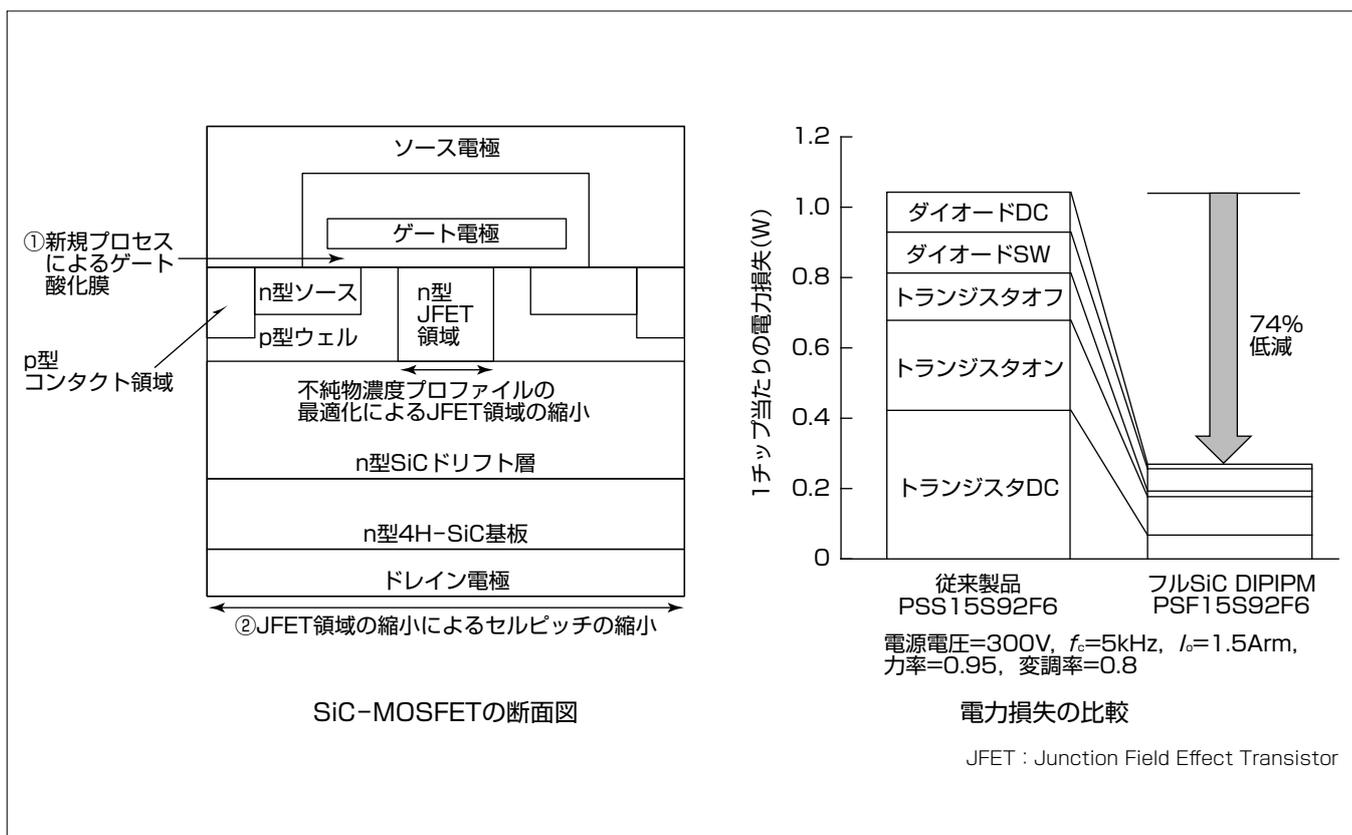
## 要 旨

近年の省エネルギー志向を受けて、エアコンの通年エネルギー消費効率の向上が望まれている。三菱電機では、エアコンを始めとする家電機器に向けたパワー半導体モジュールの新製品として、フルSiC DIIPM(Silicon Carbide Dual In-line Package Intelligent Power Module)を製品化した。

このモジュールを構成するSiC-MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)は、当社が新たに開発したゲート酸化膜形成プロセスとセルピッチ縮小技術の組合せによって、従来のSiC-MOSFETでは成し得なかった高しきい値電圧と低オン抵抗を両立させた。しきい値電圧は4V以上であり、標準のオン抵抗はゲート電圧18Vのとき、73mΩ程度である。また高しきい値電圧が得

られたことで、従来のフルSiCインバータで必要とされてきたゲート負バイアス回路を削除でき、SiC-MOSFETを現在の主流である超小型DIIPM“Ver. 6シリーズ”と同じパッケージに搭載することが可能になった。このSiC-MOSFETを搭載したDIIPMの電力損失は従来製品に比べて、74%低減することを確認した。また動作周波数を50kHzまで上昇できるなど低損失化以外のメリットも得られる。

今回、DIIPMに適用するSiC-MOSFETを開発したことで、SiC-MOSFETと従来製品との間に互換性が生まれた。このデバイスが広く採用されることで、産業用途だけでなく、家電機器でもSiC-MOSFETが広く普及することが期待される。



## SiC-MOSFETの断面図とDIIPMでの電力損失低減効果

新規に開発したSiC-MOSFETでは、当社で独自に開発したゲート酸化膜形成プロセスとセルピッチ縮小技術の組合せによって、高しきい値電圧と低オン抵抗の両立を実現した。これによってパワーモジュールでゲート負バイアス回路の削減を可能にし、従来製品との互換性が得られた。SiC-MOSFETを採用することによって、DIIPMの電力損失が従来製品に比べて74%低減することを実証した。

## 1. ま え が き

当社のDIIPMはパワーチップと、駆動・保護機能を持つ制御用ICチップを内蔵したトランスファーモールド構造のIPMであり、これまでもエアコン、洗濯機、冷蔵庫等の家電機器に適用することによって、インバータユニットの小型化と省エネルギー化に貢献してきた<sup>(1)</sup>。近年、地球環境保護意識の高まりから、世界的にも省エネルギー化がより一層重要視されている。省エネルギーでリードする日本の空調機器業界では新たな省エネルギー基準であるAPF(Annual Performance Factor：通年エネルギー消費効率)が導入され、軽負荷時など実際の使用状態に近いエアコンの運転効率の向上が求められた。このようなニーズに対応するため、当社では2010年にインバータを構成する整流素子にSiC-SBD(Schottky Barrier Diode)を採用したハイブリッドDIIPMを製品化した。ハイブリッドDIIPMの電力損失は従来製品に比べて30%低く、これを搭載したエアコンはインバータ損失を15%低減し、省エネ大賞の獲得に至った。今回、家電機器の更なる省エネルギー化に貢献するため、フルSiC DIIPMの製品化に向けて、インバータを構成するSiC-MOSFETを開発した。

## 2. SiC-MOSFET の開発

### 2.1 SiC-MOSFET採用の条件

SiCは絶縁破壊電界が大きいことや熱伝導率が高いことから、次世代のパワーデバイス材料として盛んに研究開発が行われている。当社では特に大容量の電力変換が必要な鉄道や電力系統への応用を期待し、10年以上にわたりSiC-MOSFETの開発を行ってきた。SiCはパワーデバイス材料としては非常に魅力的であるが、SiC-MOS界面の界面準位密度が高く、チャンネルでのキャリア移動度は結晶での移動度に比べて極めて低い。これはチャンネルを構成するpウェルのアクセプタ濃度が高くなると更に顕著になる。このため、SiC-MOSFETにはしきい値電圧とチャンネル抵抗の間にトレードオフが存在し、これまで高しきい値電圧と低オン抵抗を両立させることは困難であった。現在普及しているSiC-MOSFETでは、SiCを利用する最大のメリットである低オン抵抗を得るためにしきい値電圧は比較的低く設計されている。したがって、SiC-MOSFETの多くはノーマリーオフデバイスであるものの、回路内で生じるノイズによって誤動作が生じる可能性がある。このため、従来鉄道用や産業用のSiCインバータでは、パワーモジュール内にゲート負バイアス回路を設け、オフ時の誤動作を防いでいる。一方、フルSiC DIIPMの製品化には、従来の超小型DIIPMと外形サイズやピン数などの互換性を保つことが必須であった。このため、デバイスの駆動にゲート負バイアス回路が不要なSiC-MOSFETの開発が求められた。

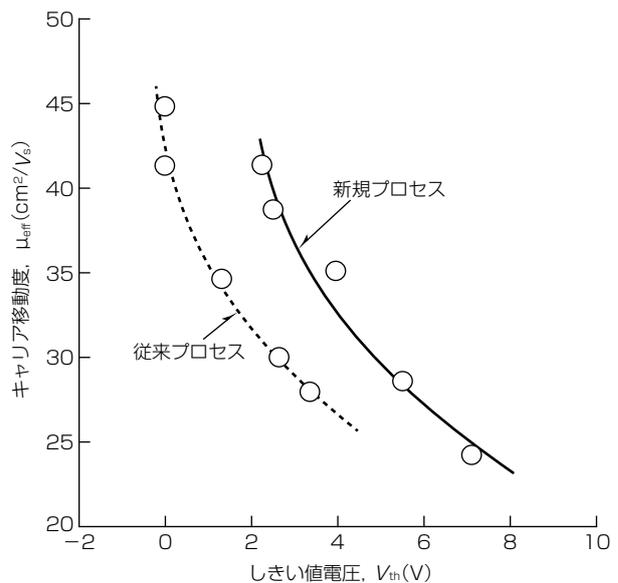


図1. しきい値電圧とチャンネルでのキャリア移動度の関係

### 2.2 しきい値電圧とオン抵抗のトレードオフ改善

当社では、SiC-MOSFETの高しきい値電圧化を実現するために、しきい値電圧とオン抵抗のトレードオフを改善する新たなゲート酸化膜形成プロセスを開発した<sup>(2)</sup>。通常のゲート酸化膜の形成プロセスでは、ゲート酸化膜を熱酸化によって成長させた後、窒化処理によってSiC-MOS界面の欠陥準位を不活性化させる。これによってチャンネルでのキャリア移動度を向上させる。この窒化処理工程の後、ポリシリコンを堆積し、ゲート電極を形成する。新規プロセスでは、窒化処理とポリシリコンの堆積工程の間に、ウェット雰囲気での熱処理を加えた。図1にMOSFET TEG(Test Element Group)の評価によって得られたしきい値電圧とチャンネルでのキャリア移動度の関係を示す。MOSFET TEGのチャンネル長は10 $\mu$ mであり、このグラフでのしきい値電圧はゲート電圧-ドレイン電流特性を外挿することによって得られた値である。従来プロセスを適用した場合、キャリア移動度が35 $cm^2/Vs$ でのしきい値電圧は1.3Vである。一方、新規プロセスを適用した場合、同じキャリア移動度でしきい値電圧は4.0V程度に上昇する。この技術は2012年から生産を開始したフルSiC DIPFC(Dual In-line Package Power Factor Correction)“PSF20L91A6-A”を構成するSiC-MOSFETに先行して適用している。

## 3. SiC-MOSFETの特性

新規プロセスによってゲート酸化膜を形成し、pウェルのアクセプタ濃度を調整することによって、室温でのしきい値電圧が4.0Vを超えるSiC-MOSFETを実現した。図2にしきい値電圧の温度依存性を示す。一般的に高温になるとSiC-MOSFETのしきい値電圧は低くなるが、このSiC-MOSFETは150 $^{\circ}$ Cでも3.5V程度のしきい値電圧を確保する。

図3にSiC-MOSFETの逆バイアス特性を示す。ゲー

ト・ソース間電圧は0Vである。ドレイン・ソース間電圧が800Vになるまではリーク電流の大幅な増加はなく、900V付近でアバランシェによるリーク電流の増加が確認できた。超小型DIPIPM用SiC-MOSFETに求められる定格耐圧は600V、オフ時のゲート電圧は0Vであり、このSiC-MOSFETは要求に応じた遮断能力を持つことが分かった。またしきい値電圧が低くなる高温でもドレインリーク電流は十分小さく、必要な性能を確保できることが分かった。

フルSiC DIPIPM用SiC-MOSFETの開発には、しきい値電圧を制御するゲート酸化膜形成技術以外にも、オン抵抗を低減するための多くの新技術をつぎ込んだ。その1つがセルピッチの縮小技術である<sup>(3)(4)</sup>。先に述べたとおり、SiC-MOSFETのチャンネルでのキャリア移動度は低く、チャンネル抵抗が大きい。これがSiC-MOSFETの

オン抵抗低減の妨げとなっている。チャンネル抵抗を低減するにはチャンネル特性の改善のほかに、単位面積当たりのチャンネル幅を増加させることも有効である。チャンネル抵抗の低減を目指し、新規に開発したSiC-MOSFETではJFET(Junction Field Effect Transistor)領域の縮小によるセルピッチの縮小を行った。JFET領域の縮小によって、JFET抵抗の増加が懸念されるが、JFET領域でのドナー濃度をイオン注入によって高くすることで、低いJFET抵抗とセルピッチの最適化を実現した。図4にSiC-MOSFETのドレイン・ソース間電圧-ドレイン電流特性を示す。ゲート・ソース間電圧が18Vのとき、定格電流である15Aを得るオン抵抗は73mΩ程度であり、高いしきい値電圧と低いオン抵抗の両立を実現できた。

図5にSiC-MOSFETの容量特性を示す。容量特性は

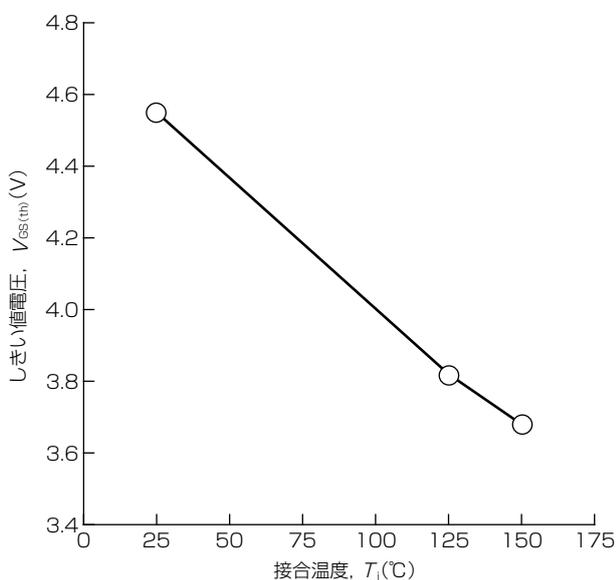


図2. しきい値電圧の温度依存性

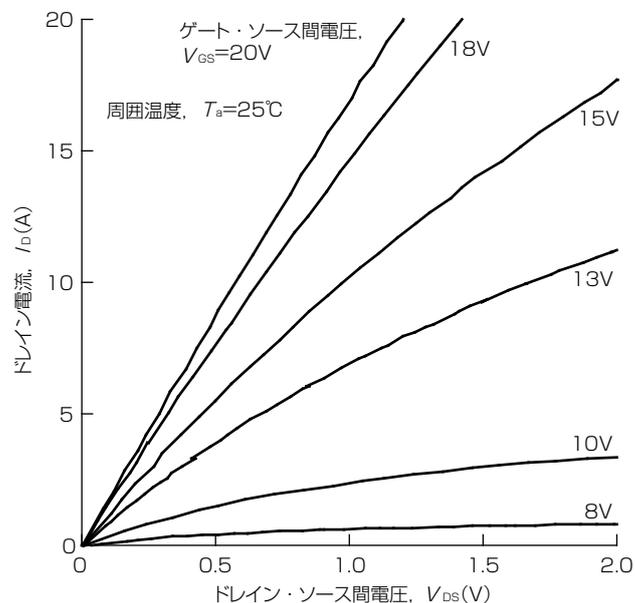


図4. ドレイン・ソース間電圧-ドレイン電流特性

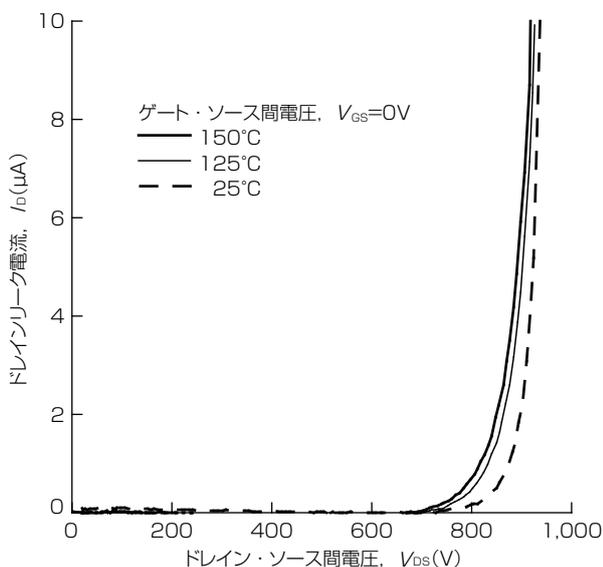


図3. 逆バイアス特性

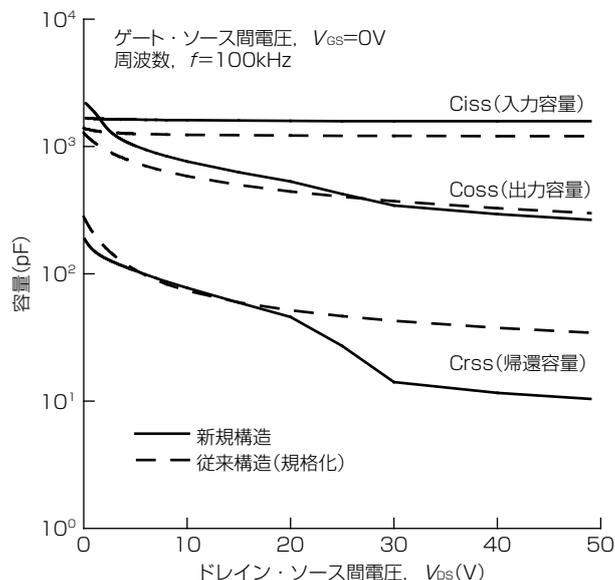


図5. 容量特性

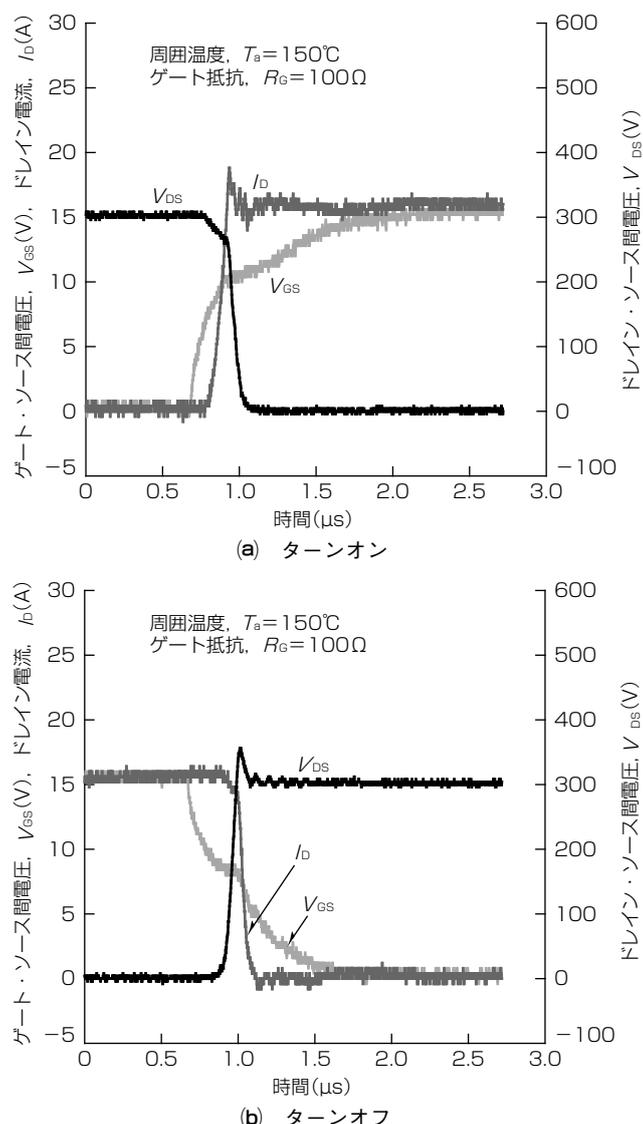


図6. スイッチング特性

室温でゲート・ソース間電圧 0 V, 周波数 100 kHz で測定した。JFET 領域を縮小したことによって, 当社従来構造の SiC-MOSFET に比べて帰還容量 ( $C_{rss}$ ) がおよそ 70% 低減した。帰還容量が低減したことで, スイッチング周波数の向上が見込める。図 6 に SiC-MOSFET のスイッチング特性を示す。スイッチング特性評価での測定温度は  $150^\circ C$  であり, ドレイン・ゲート間電圧, ドレイン電流はそれぞれ 300 V, 15 A である。ゲート抵抗は  $100\Omega$  とした。ターンオン, ターンオフともにシャープな立ち上がり, 立ち下がり形状が確認できた。特に, ターンオフ時にはテール電流は見られず, ユニポーラデバイスとし

ての SiC-MOSFET 適用のメリットが確認できた。従来 DIPIPM で使用されている Si-IGBT ではターンオフ時にテール電流が生じるが, この違いが SiC-MOSFET と Si-IGBT のスイッチングごとの電力損失の差となる。今回, この SiC-MOSFET を用いることによって, 従来製品に比べて DIPIPM の電力損失が 74% 低減することを確認した。

SiC-MOSFET の採用によって, フル SiC DIPIPM は従来製品に比べ, 電力損失を大幅に低減するとともに, 動作周波数の向上やインバータ回路の小型化なども可能にする。また, DIPIPM の動作周波数は 50 kHz まで上昇できる<sup>(5)</sup>。

#### 4. む す び

今回, 超小型 DIPIPM 用 SiC-MOSFET を開発した。SiC-MOSFET を DIPIPM に搭載するには高しきい値電圧化が不可欠であったが, 新規開発したゲート酸化膜形成プロセスとセルピッチ縮小技術によって, 高しきい値電圧と低オン抵抗の両立を実現した。高しきい値電圧を確保できたことで, 従来 SiC-MOSFET の駆動に不可欠であったゲート負バイアス回路を削除することができた。これによって, DIPIPM への SiC-MOSFET の適用が可能となり, 従来製品との互換性を確保できた。今回開発した SiC-MOSFET の製造技術をベースに今後も市場ニーズに適した SiC デバイスを開発することで, 家電機器や産業機器のインバータ化の拡大と省エネルギー化に貢献していく。

#### 参 考 文 献

- (1) 加藤正博, ほか: 超小型 DIPIPM “Ver.6 シリーズ”, 三菱電機技報, **88**, No.5, 285~288 (2014)
- (2) Furuhashi, M., et al.: Novel gate oxide process for realization of high threshold voltage in 4H-SiC MOSFET, Materials Science Forum, **778~780**, 985~988 (2014)
- (3) 谷岡寿一, ほか: 高しきい値電圧 SiC-MOSFET 製造技術, 三菱電機技報, **88**, No.5, 297~300 (2014)
- (4) Ebike Y., et al.: Characteristics of High-Threshold-Voltage Low-Loss 4H-SiC MOSFETs with Improved MOS Cell Structure, Materials Science Forum, **858**, 829~832 (2016)
- (5) Wang, Y., et al.: New Transfer Mold DIPIPM™ utilizing silicon carbide (SiC) MOSFET, PCIM Europe 2016, 336~341 (2016)