

3.5GHz帯LTEマクロセル基地局用 200W級GaN HEMT

浅田智之* 山部滋生*
嘉藤勝也* 佐々木善伸*
三輪真一*

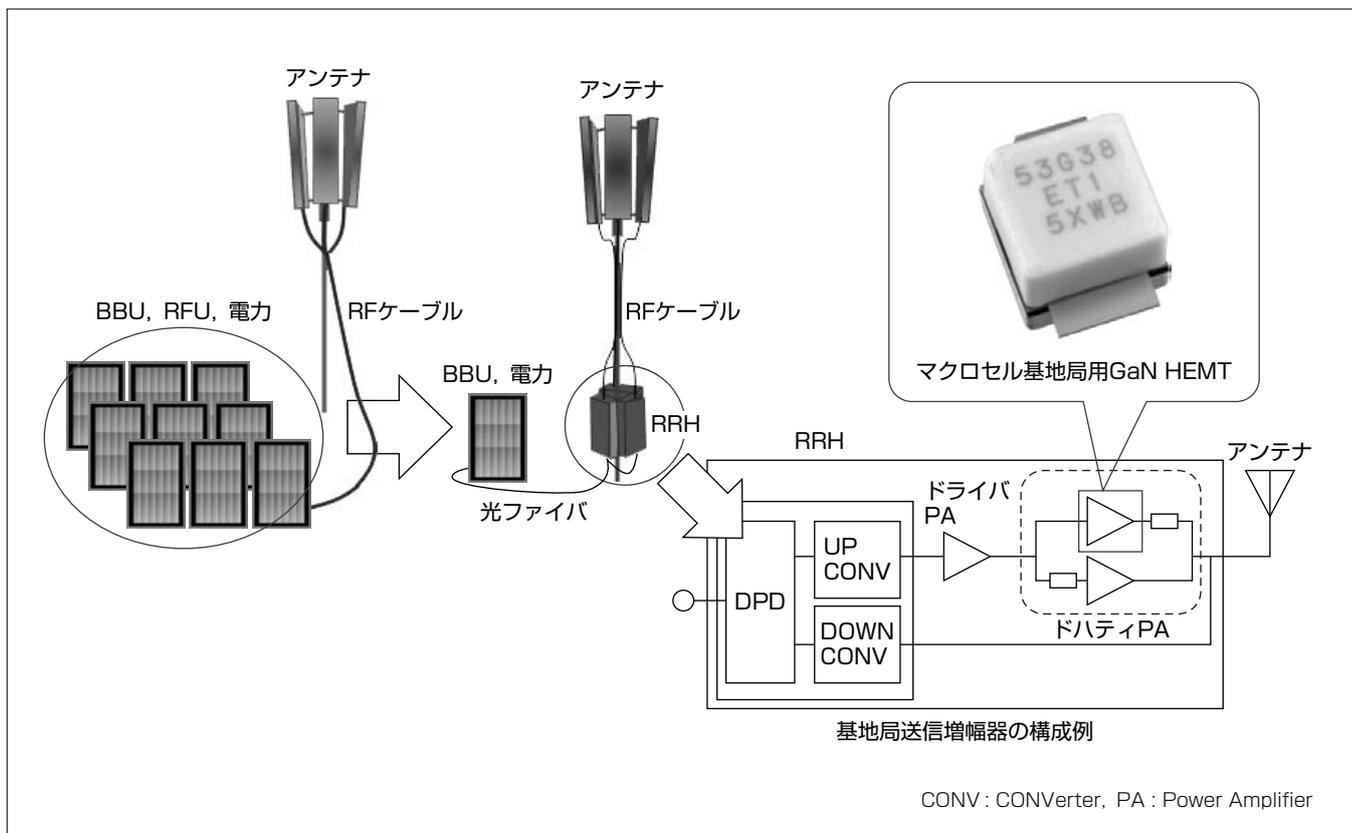
200W-class GaN HEMT for 3.5GHz-band LTE Macro-cell Base-station

Tomoyuki Asada, Katsuya Kato, Shinichi Miwa, Shigeo Yamabe, Yoshinobu Sasaki

要旨

携帯電話システムの高周波化、携帯電話基地局の低消費電力化に伴い、特にL/S帯以上の周波数帯では、シリコンLD MOSFET (Laterally Diffused Metal Oxide Semiconductor Field Effect Transistor) よりも効率や利得などの高周波特性が優れるGaN HEMT (Gallium Nitride High Electron Mobility Transistor) の基地局送信増幅器への適用が進んでいる。近年、マクロセル基地局では送信増幅器とアンテナ間の損失を低減するため、送信増幅器をアンテナの近くに設置するRRH (Remote Radio Head) 構成が主流となっている。RRHでは放熱構造体の小型・軽量化が必要であり、それにはRRH内で最も発熱量の多い送信増幅器の高効率化が求められる。

今回、3.5GHz帯LTE (Long Term Evolution) マクロセル基地局向けにセラミックパッケージを用いたGaN HEMTを開発し、入力及び出力整合回路を最適化することによって3.5GHz帯200Wクラスの増幅器として良好な出力電力、ドレイン効率及び利得特性を実現した。この増幅器を用いてドハティ増幅器を構成する際、ピーク増幅器の入力インピーダンスの非線形性を考慮して入力整合回路を最適化することによってドハティ増幅器の高効率化を図り、DPD (Digital Pre-Distortion) ひずみ補償と組み合わせた評価で、周波数3.51GHz、出力電力49.2dBm (83W) のときにドレイン効率51.7%、ひずみ電力-50.6dBcの良好な特性を得た。



携帯電話マクロセル基地局及び基地局RRH送信増幅器の構成例

携帯電話マクロセル基地局では、送信増幅器とアンテナ間の損失を低減させるため、BBU (Base Band Unit) とRFU (Radio Frequency Unit) を分離し、送信増幅器をアンテナ近くに設置するRRH構成が主流となっている。RRHをアンテナ近くに設置する場合、RRHの放熱構造体の小型・軽量化が必要であり、それにはRRH内で最も発熱量の多い送信増幅器の高効率化が求められる。

1. ま え が き

GaN HEMT増幅器は、高出力、高効率、高利得などの優れた性能によって、レーダ、衛星通信、及び基地局用途で商用化が進んでおり、三菱電機でも2005年のC帯140Wを皮切りにL帯360W、S帯330W、Ku帯80Wのデバイスを開発してきた⁽¹⁾。基地局用増幅器には費用性能比に優れたシリコンLDMOSFETが主に採用されてきたが、近年の携帯電話システムの高周波化、基地局の低消費電力化に伴い、特にL/S帯以上の周波数帯では、シリコンLDMOSFETより動作効率、電力利得などの高周波性能が優れるGaN HEMTの基地局用増幅器への適用が進んでいる。近年、マクロセル基地局では、送信増幅器とアンテナ間の損失を低減するため送信増幅器をアンテナの近くに設置するRRH構成が主流化している。RRHでは放熱構造体の小型・軽量化が必要であり、それにはRRH内で最も発熱量の多い送信増幅器の高効率化が求められる。

今回、3.5GHz帯LTEマクロセル基地局向けにセラミックパッケージを用いたGaN HEMT増幅器を開発し、入力及び出力整合を最適化することで、3.5GHz帯200W級出力電力を持つ増幅器として良好な効率及び利得を実現した。この増幅器を用いてドハティ増幅器を構成する際、ピーク増幅器の入力インピーダンスの非線形性を考慮して入力整合回路を最適化することでドハティ増幅器の高効率化を図り、DPDひずみ補償と組み合わせた評価で良好な出力電力、効率、利得特性を実現した。

2. 設 計

2.1 GaN HEMTの基本特性

図1に開発したセラミックパッケージを用いたGaN HEMTの組立て図を示す。パッケージの外寸は10.2×10.2×3.5(mm)で、セラミックパッケージは、はんだ実装用フレンジレスセラミックパッケージを採用し、パッケージ内にGaAs(ガリウムヒ素)整合チップ、GaN(窒化ガリウム)HEMTチップ、高誘電率基板を配置した。

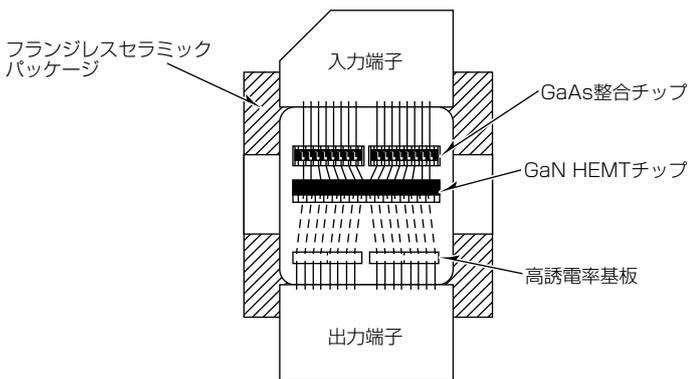


図1. GaN HEMTの組立て図

図2に入出力を50Ωに整合したGaN HEMTの外部整合回路を含んだ整合回路図を示す。整合回路はパッケージ内で構成されるプリマッチ回路と、パッケージ外の比誘電率3.48の基板上で構成される外部整合回路から構成され、破線はパッケージ内整合回路と外部整合回路の境界を示す。GaN HEMTチップは当社プロセスで製造した200W級の素子を適用した。入力プリマッチ回路はGaAsチップに構成された容量とボンディングワイヤを用いたインダクタで構成される。また、GaAsチップにRC並列回路で構成した安定化回路も備えることによって、GaN HEMTの安定動作も実現している。出力プリマッチ回路は高誘電率基板を用いた容量とボンディングワイヤを用いたインダクタで構成され、ドレイン効率が最大となるようにGaN HEMTチップから出力負荷側を見た2倍高調波の反射位相を求め、容量値と実装時のワイヤ長を決定した。

図3に、GaN HEMTの飽和動作時の出力電力、ドレイン効率、利得の周波数特性を示す。測定条件はVd = 50V, Idsq = 16.7mA/mm(ゲート幅1mm当たりのアイドル電流)、デューティ比10%、パルス幅100μsecのパルス動作である。3.4~3.6GHzで飽和電力52.8dBm以上、ドレイン効率64.6%以上、飽和利得15.1dB以上の良好な性能を得た。

2.2 ドハティ増幅器

飽和出力電力からのバックオフが大きい低中出力動作時での効率を改善する増幅器として、ドハティ増幅器が知られている。図4にドハティ増幅器の構成を示す。ドハティ増幅器では、キャリア増幅器は通常、B級、又はAB級に

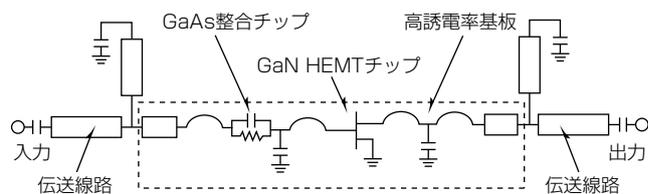


図2. GaN HEMTの外部整合回路を含んだ整合回路図

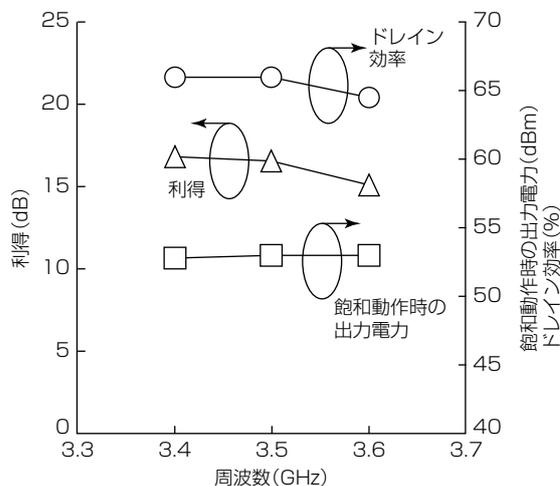


図3. GaN HEMTの周波数特性

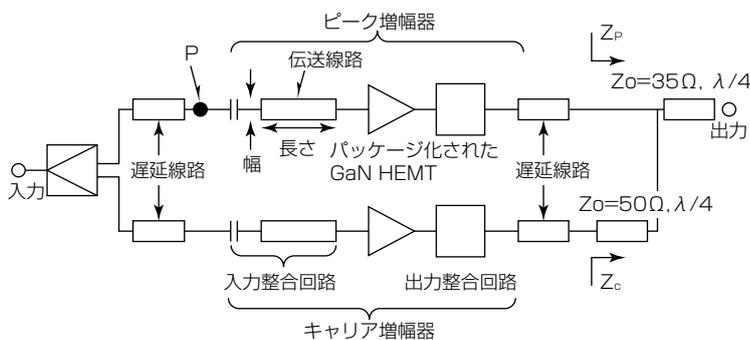


図4. ドハティ増幅器の構成

バイアスされ、ピーク増幅器はC級にバイアスされる。理想的なドハティ増幅器の場合、入力電力に応じてキャリア増幅器の負荷インピーダンス(Z_c)は 100Ω から 50Ω に、ピーク増幅器の負荷インピーダンス(Z_p)は ∞ から 50Ω に変化する。例えば、小信号入力時の Z_c は 100Ω となり、大信号入力時は、ドハティ負荷変調によって Z_c は 50Ω となる。この結果を受けて、ピーク増幅器の大信号時の利得はキャリア増幅器の大信号の利得と等しくなり、バックオフ領域から飽和領域まで広い範囲での高効率動作が可能となる。しかしながら、C級で動作するピーク増幅器の利得は、B級又はAB級で動作するキャリア増幅器の利得より小さいため、理想的なドハティ増幅器の動作を実現することは、一般に容易ではない⁽²⁾。

図5にドハティ増幅器の理想的な電流源モデルを示す。 I_1 、 I_2 はそれぞれ、キャリア増幅器とピーク増幅器のドレイン電流である。図6に図5で示す Z_{IT} のインピーダンスと、 I_1 で正規化した I_2 の関係を示す。

図6から、 I_2 が I_1 より小さい場合は Z_{IT} が 50Ω に達せず、飽和電力とバックオフ領域の効率が理想的なドハティ増幅器より低下する。そのため、飽和電力領域で、ピーク増幅器の利得をキャリア増幅器と極力等しくなるように設計することが重要である。ピーク増幅器の利得を上げる手段としては、ピーク増幅器のC級バイアスを浅くすることが挙げられるが、この場合、ピーク増幅器の小信号利得も増加するため、キャリア増幅器の負荷変調が低入力領域から始まりバックオフ動作時の効率が低下する。したがって、ピーク増幅器の利得がバックオフ動作時では可能な限り抑圧されるように整合回路を設計することも重要である。これら2つの要件を考慮した設計を実現するため、GaN HEMTの入力インピーダンスの非線形性に着目してピーク増幅器の入力整合回路設計を行った。

GaN HEMTの C_{gs} (ゲート-ソース間容量)には入力電力に対し非線形性があることが一般的に知られている。図7に入力電力を変化させたときの、図4のP点から見たピーク増幅器のGaN HEMT入力インピーダンスの計算結果を示す。図7に示す3つの軌跡は、ピーク増幅器の入力整合伝送線路3仕様(ケースA、ケースB、ケースC)ごとに入

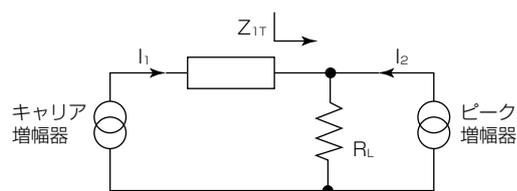


図5. ドハティ増幅器の理想的な電流源モデル

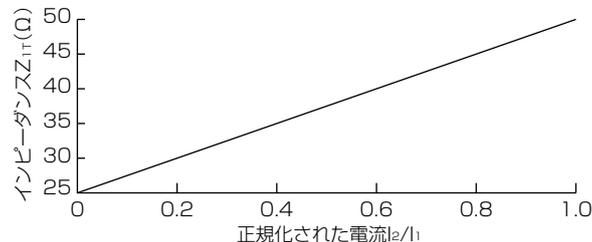
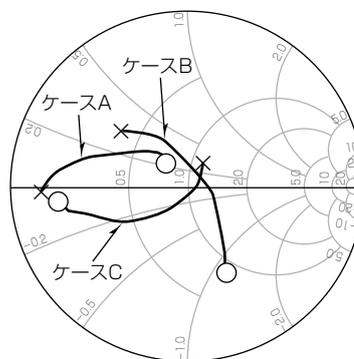


図6. Z_{IT} と I_1 で正規化された I_2 の関係



| | 幅 (mm) | 長さ (mm) |
|------|--------|---------|
| ケースA | 7.4 | 10.8 |
| ケースB | 3.6 | 15.3 |
| ケースC | 8.5 | 22.8 |

図7. ピーク増幅器入力インピーダンス計算結果

力電力を変化させたときの軌跡であり、それぞれの×印は最小入力電力印加時のインピーダンス、それぞれの○印は最大入力電力印加時のインピーダンスを示す。ケースAの入力整合伝送線路仕様では、入力電力が小さくなるにつれ入力インピーダンスは 50Ω から離れ、入力電力が大きくなるにつれ入力インピーダンスが 50Ω に近づく傾向を示している。ケースCではその逆の傾向を示し、ケースBではケースAとケースCの中間的な傾向を示している。

図8にピーク増幅器の入力整合伝送線路仕様ごとに入出力特性の計算結果を示す。ケースAでは、バックオフ領域の利得が他の仕様比べて低く、飽和領域の利得は他の仕様比べて高く、ドハティ増幅器の高効率化に向けて有望なピーク増幅器の動作傾向を示している。

図9に異なる入力整合伝送線路仕様を持つドハティ増幅器での出力電力に対するドレイン効率のシミュレーション結果を示す。飽和領域、バックオフ領域ともケースAは良好なドレイン効率を示し、ケースAの入力整合伝送線路をピーク増幅器に適用してドハティ増幅器を試作した。

図10に試作したドハティ増幅器の外観を示す。ドハティ増幅器の入力電力分配器には 90° ハイブリッドを適用している。

図11にDPDと組み合わせたときのドハティ増幅器の出

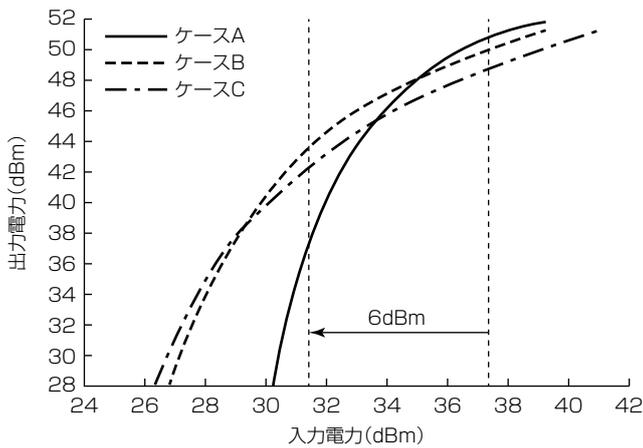


図8. 仕様ごとのピーク増幅器の入出力特性計算結果

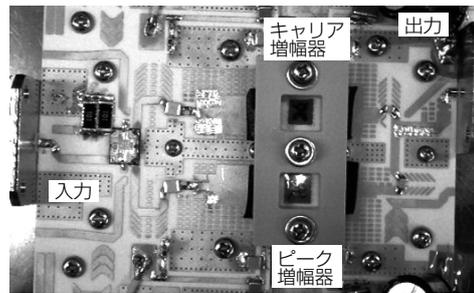


図10. ドハティ増幅器の外観

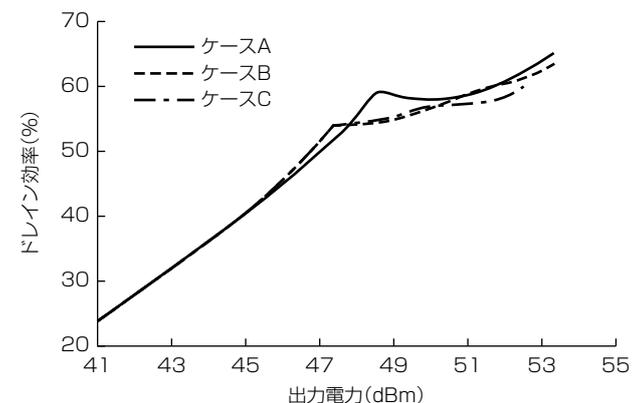


図9. 仕様ごとのドハティ増幅器のドレイン効率計算結果

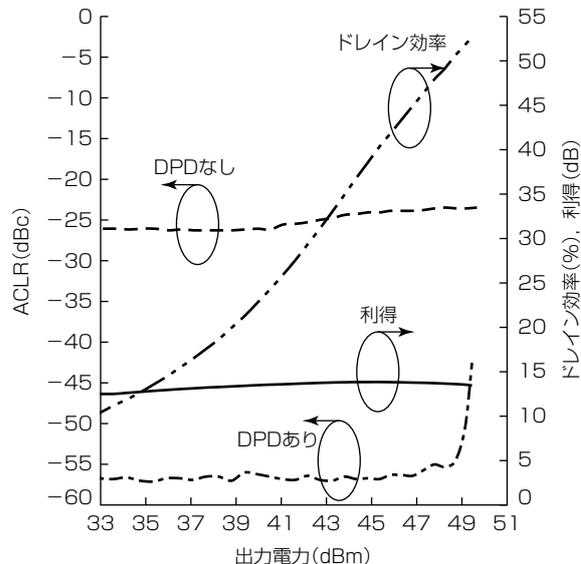


図11. ドハティ増幅器のドレイン効率, 利得, ひずみ電力特性

表1. 3.5GHz帯LTE対応ドハティ増幅器の性能比較表

PAPR : Peak to Average Power Ratio

| | 周波数 (GHz) | 平均電力 (dBm) | 利得 (dB) | ドレイン効率 (%) | DPDありのACLR (dBc) | PAPR (dB) | 信号帯域幅 (MHz) |
|------------------------|-----------|------------|---------|------------|------------------|-----------|-------------|
| ドハティ増幅器 ⁽³⁾ | 3.40~3.60 | 41.0 | 12.3 | 45.2~47.5 | -48.0 | 8.0 | 100 |
| ドハティ増幅器 ⁽⁴⁾ | 3.43 | 40.0 | | 46.0 | -45.0 | 7.1 | 20 |
| 今回開発ドハティ増幅器 | 3.51 | 49.2 | 13.5 | 51.7 | -50.6 | 7.5 | 20 |

力電力に対するドレイン効率, 利得, ひずみ電力特性を示す。ここでは, 増幅器から発生するひずみ電力を表す指標としてACLR (Adjacent Channel Leakage power Ratio) を用いた。周波数3.51GHz, 信号帯域幅20MHz, ピーク電力対平均電力比7.5dBを持つLTE変調波を用いた際に, 出力電力49.2dBm (83W), ドレイン効率51.7%, 利得13.5dB, ACLR-50.6dBcの良好な特性を得た。

表1は, 3.5GHz帯で平均電力40Wを超えるドハティ増幅器で, これまでに報告されている増幅器の特性⁽³⁾⁽⁴⁾と今回開発した増幅器の特性とを比較している。出力電力, 利得及びドレイン効率に関して, これまでに報告されている増幅器の特性よりも良好な特性を実現している。

3. むすび

3.5GHz帯LTEマクロセル基地局向けにセラミックパッケージを用いたGaN HEMTを開発した。また, このHEMTを用いてドハティ増幅器を構成する際, ピーク増幅器の入力インピーダンスの非線形性を考慮して入力整合

回路を最適化することによって高効率動作を実現できることを示した。ドハティ増幅器にDPDひずみ補償を適用した際, 周波数3.51GHz, 出力電力49.2dBm (83W)でドレイン効率51.7%, 利得13.5dB, ACLR-50.6dBcの良好な特性を得た。

参考文献

- (1) 平野嘉仁 : 高周波光デバイスの変遷と今後の展開, 三菱電機技報, **88**, No.9, 588~591 (2014)
- (2) Cripps, S. C. : RF Power Amplifiers for Wireless Communications, Artech House (1999)
- (3) Ma, C., et al. : Design of Asymmetrical doherty power amplifier with reduced memory effects and enhanced back-off efficiency, Progress In Electromagnetics Research C, **56**, 195~203 (2015)
- (4) Yang, M., et al. : High efficiency GaN wideband Doherty amplifier for LTE-Advanced applications, 2011 Microwave Conference Proceedings, 510~513 (2011)