

峯岸孝行* 元濱 努**
山本 亮** 坂手寛治**
宮野鼻晃士**

高位LSI設計検証技術とその応用

High Level LSI Design and Verification Technology and its Application Examples

Noriyuki Minegishi, Ryo Yamamoto, Koji Miyanohana, Tsutomu Motohama, Hiroharu Sakate

要 旨

製品に必要なだが汎用デバイスでは実現できない機能・性能を実現するとき、FPGA(Field Programmable Gate Array)やASIC(Application Specific Integrated Circuit)を用いる。多くの場合、実現すべき機能は複雑なアルゴリズムを起点とし、汎用品で実現できない高い性能が要求される。このような課題に対して、C言語でFPGAやASICを設計する高位LSI設計検証手法が生まれ、適用されている。

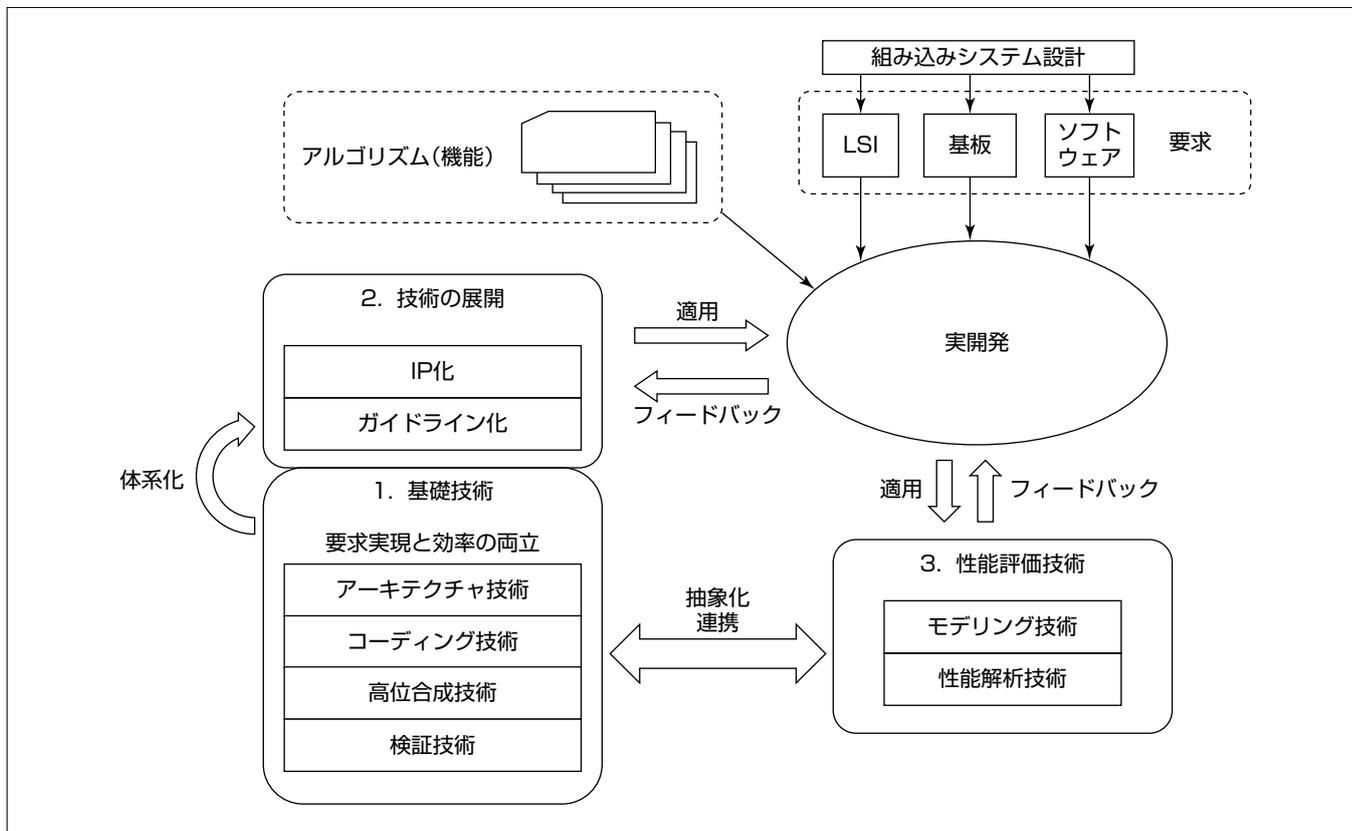
三菱電機では、事業ドメインごとに異なる機能・性能・信頼性・資源制約(コスト・サイズ・電力等)を満たす組み込みシステムをいち早く実現するため、高位LSI設計検証技術の高度化を進めてきた。

基礎技術として、要求実現と効率を両立させる設計方式と記述スタイルを確立した。そして、これをIP

(Intellectual Property)化・ガイドライン化し、FPGAの実開発に適用した。高位LSI設計検証が不得手とされている制御回路を含むFPGAでコード量を従来手法比38%削減、高位LSI設計検証で発生する回路規模増を抑えRTL(Register Transfer Level)と同等の回路規模の実現、そして、アルゴリズムからの短期開発で世界初^(注1)のスーパーハイビジョンHEVC(High Efficiency Video Coding)符号化装置開発実現などの成果を上げた。さらに、組み込みシステムに拡張適用し、実機試作なしのフロントローディングで電力変換装置の性能達成を実現した。

今後は高位LSI設計検証をアーキテクチャ設計レベルまで拡張し、更に高い要求機能、開発効率化を実現していく。

(注1) 2013年5月9日現在、当社調べ



高位LSI設計検証技術の全体像

高位LSI設計検証技術の基礎技術(アーキテクチャ・コーディング・高位合成・検証)を確立し、IP化とガイドライン化によって体系化する。一方、基礎技術を抽象度の高い表現に応用し、設計と連携をとって性能評価技術に展開する。これらの技術を実開発に適用することで成果を得る。また、開発中に発生した課題の解決結果を技術に反映することで技術の改善を図る。

1. ま え が き

近年、組み込み機器への要求は高くなっており、進歩性のある特長的なアルゴリズムを、性能・品質・信頼性を確保して早期に組み込みシステムとして実現することが必要である。大規模・複雑化する組み込みシステムの要求、特に性能を実現するために、キーデバイスとしてFPGAやASICを開発する場合がある。FPGAやASICの開発効率化手法の1つにC言語を用いた高位LSI設計検証手法がある。当社では、高位LSI設計検証手法を単なる開発効率化にとどまらず、事業実現のための課題の解決に用いている。例えば、従来の7倍の性能を達成する電力変換装置の設計と評価を、FPGAを核とした性能評価モデルによってソフトウェアも含めて評価することで手戻りなしに実現している。本稿では、要求実現と効率を両立させるための高位LSI設計検証技術とその適用について、事例を交えて述べる。

2. 要求実現と効率を両立させる技術

一般に、高位LSI設計検証は演算回路に向いていると言われ、過去の事例も画像処理向けに高位LSI設計検証を適用した例が多い⁽¹⁾⁽²⁾。しかし、FPGAやASICの構成要素には、演算を制御する論理、データの入出力回路といった制御回路がある。制御回路は定められたクロック周期に合わせて論理処理を行う必要があるため、設計効率を上げるために抽象度を高くすると性能が出ず、性能を出そうと思うと設計効率が上がらない傾向にある。

今回、制御回路の基本である状態遷移回路に着目し、性能と効率を両立させる記述方法を考案した⁽³⁾。状態遷移回路を構成する3つの要素を抽出し、3つの要素各々にクロック周期を満たしつつ設計効率を上げる“デザインテンプレート”を用意した。この3つのデザインテンプレートを用いることでどのような状態遷移回路も実現できる。図1に3つの状態遷移要素と、デザインテンプレートを示す。

この3つのデザインテンプレートを用い、FPGAのデータ制御とバスインタフェースの状態遷移回路を設計し、従来手法と比較してコード量を38%（従来77行・提案29行）に削減した。

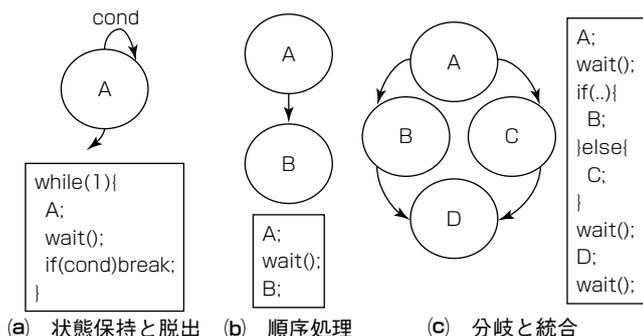


図1. 状態遷移回路のデザインテンプレート

3. 技術を展開させるための方策

2章では要求と効率を実現する技術の一部について述べた。これらの技術は当社の研究所のLSI設計技術部門が培ったものである。事業部門や、同じ研究所でもアルゴリズム開発部門が適用するには、技術習得と実設計に応用するためのノウハウ蓄積が必要となる。この章では、高位LSI設計検証技術の適用ハードルを下げるための取組みについて述べる。

3.1 IP化による技術の展開

FPGA、ASICの回路構成要素には、似て非なるものが多数存在する。デジタルフィルタはその代表例で、積和演算という基本的な回路構成は同じであるが、タップ数やビット数が異なる。このようなケースでは要求を実現する技術をIP化してしまえばよい。そこで、信号処理アプリケーションで頻出するFIR(Finite Impulse Response)フィルタの小回路規模要求を実現する技術をIP化した⁽⁴⁾。フィルタ設計に必要な情報(タップ数、ビット数、四捨五入位置など)をIPにパラメータ設定することで、所望のFIRフィルタを得ることができる。

FIRフィルタを小回路規模で実現するポイントは、DSP(Digital Signal Processing)ブロックと呼ばれる積和演算エレメントの活用である。図2にアルテラ社のDSPブロックの内部構造を示す。DSPブロックには乗算器、加算器、FF(Flip Flop)が組み込まれている。これらの内部リソースに、FIRに必要な演算を最大限マッピングすることで、小回路規模が実現できる。しかし、市販の高位合成ツールは、DSPブロックの構成情報を考慮せずに合成してしまう。

そこで、FIRの回路構成を演算要素に分解し、DSPブロックの演算器を最大限に活用する高位合成方式を考案した。ポイントは演算の間にFFを挿入させないことである。DSPブロックには、入力部と出力部にだけFFが配置され、乗算と加算の間にはFFはない。市販の高位合成ツールではFFを自動挿入するため、乗算と加算の間にFFを挿入してしまう場合がある。これを防ぐため、DSPブロックに

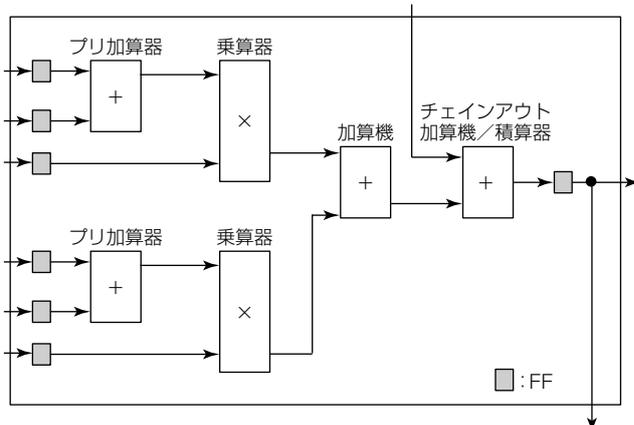


図2. DSPブロックの内部構成例

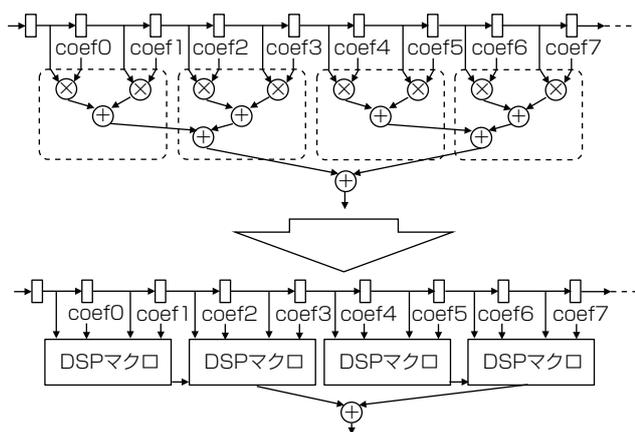


図3. 演算の関数化

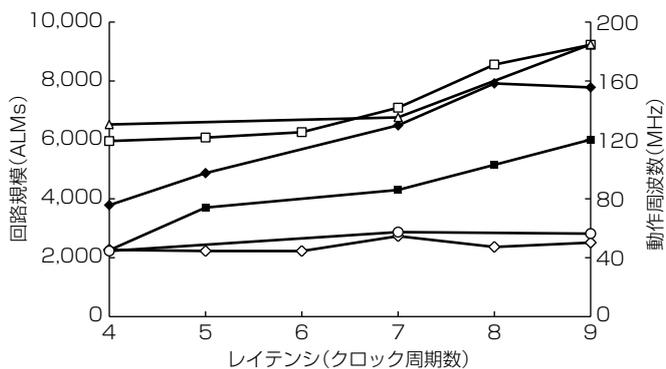


図4. 提案手法と従来手法の比較

割り当てたいFIRフィルタの演算部分を関数化する。図3に演算の関数化の様子を示す。高位合成ツールで関数単位で合成することで、演算の間にFFを挿入することを防ぐ。

この方式を用いて161タップのFIRフィルタに適用した結果を図4に示す。横軸“レイテンシ”は性能指標であり、データ入力から結果が得られるまでのクロック周期数である。提案手法は従来手法と比べ、全てのレイテンシで回路規模が小さく、動作周波数が高く、改善されていることが分かる。また、人手で行うRTL設計とほぼ同等の結果が得られていることが分かる。

3.2 ガイドライン化による技術の展開

高位LSI設計検証手法はC言語を源流とする手法であり、C言語でプログラムされたアルゴリズムをFPGAやASICで実現するのに相性が良い。アルゴリズム開発者が高位LSI設計検証技術を用いてFPGAやASICを開発するのが最も効率的であるが、設計品質の担保という課題が発生する。この課題に、設計を“型にはめる”ガイドラインを準備することで対応した⁵⁾。

図5に“型にはめる”ガイドラインによる設計を示す。FPGAで実現すべき機能はアルゴリズム開発者によってC言語でプログラムされている。このアルゴリズムを埋め

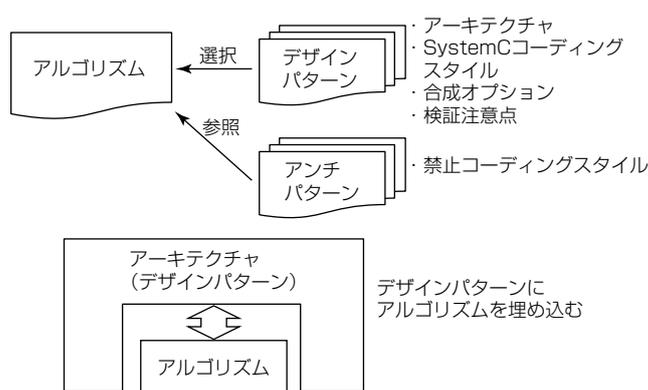


図5. “型にはめる”ガイドラインによる設計

込むようなパターンを用意した。パターンには、FPGA設計で選択する“デザインパターン”と、やってはいけないコーディングスタイルを示した“アンチパターン”がある。アルゴリズム開発者は、演算系、制御系などのタイプからデザインパターンを選択し、アルゴリズムをテンプレートに組み込む形で設計を行うとともに、アンチパターンを参照してアルゴリズム本体に禁止されるコーディングがないことを確認する。

HEVC方式によるSHV(Super High Vision)リアルタイムエンコーダ向けFPGAを、“型にはめる”ガイドライン及び回路規模・動作周波数を事前に確認すること、そして、3.1節で述べたパラメータIP化の手法を適用し、アルゴリズム開発者の手によって開発した。短期間で新しい符号化方式のFPGAを開発することによって、世界初となるスーパーハイビジョンHEVC符号化装置を日本放送協会と共同で開発することができた⁶⁾。

4. 性能評価への取組み

高位言語SystemCは、FPGAやASIC設計だけでなく、組み込みシステム開発に拡張して適用可能である。この章では、近年大規模複雑化している組み込みシステムを高位言語でモデル化し、ソフトウェアを組み合わせた性能評価を実施することで手戻りなく製品開発に適用した事例について述べる。

開発の対象は電力変換装置である。図6に装置の概略図と高位言語を用いた性能評価モデルの対応を示す。CPU基板に搭載するFPGAは周期制御及びバスコントローラの機能を持つ。この装置はI/O基板から入力された電力値をFPGAがCPUに転送し、CPUの演算結果をFPGAがI/O基板に出力する処理を周期的に行う。この開発では従来比7倍の高速化が必要で、ソフトウェアを含めた性能評価が重要であった。システム全体の評価を行うために、電力変換装置を①CPU、②FPGA、③I/O基板(外部入出力を含む)の3つに分割してモデル化した。CPUモデルは、主にモデル化工数削減のためISS(Instruction Set Simulator)

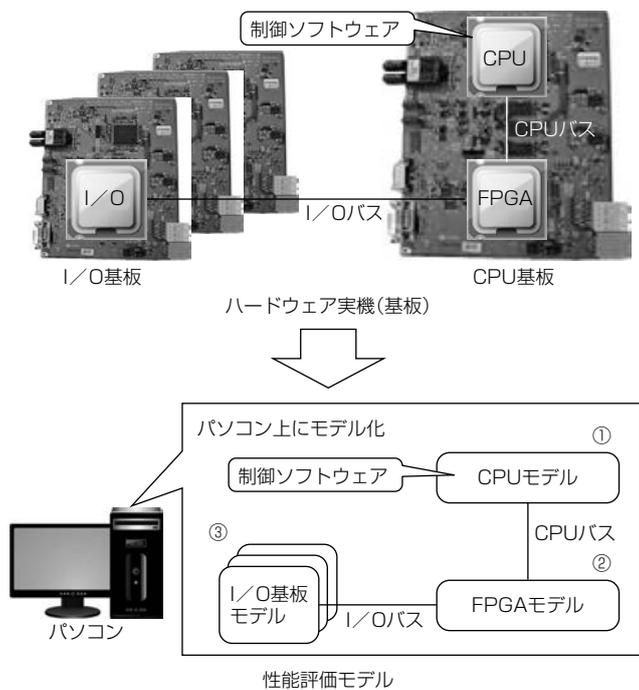


図6. 電力変換装置と性能評価モデル

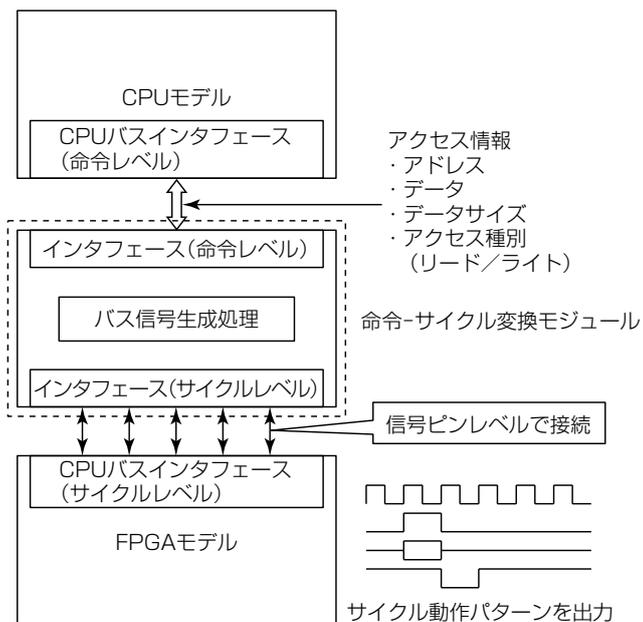


図7. バスアクセス命令からサイクル動作パターンへの変換の仕組み

を用い、FPGAとI/O基板はSystemCでモデル化した。

CPUモデルとFPGA・I/O基板モデルでは、シミュレーション上の処理時間単位が異なる。CPUモデルでは命令が単位だが、実際の命令は複数のクロック周期分の時間をかけて実行される。そこでCPUモデルが発行するバスアクセス命令からFPGAモデルのバスインタフェースのサイクル動作への変換を行った。図7に変換の仕組みを示す。CPUモデルが発行するバスアクセス命令から、アドレス、データ、データサイズ、アクセス種別(リード/ライト)といったアクセス情報を抽出し、CPUバスプロトコ

ルに準じたサイクル動作のパターンに変換する。

このようにしてモデル化した電力変換装置で性能評価を実施したところ、性能上の課題が明らかになった。対策として、CPUクロック周波数アップ(基板での改善)、キャッシュmissしないデータ量への削減(ソフトウェアでの改善)、FPGAの処理シーケンス変更(FPGAでの改善)を実施し、フロントローディングによる性能要求達成を実現した。

5. む す び

組み込みシステムへの高い要求を、特徴的なアルゴリズムを用いていち早く実現する高位LSI設計検証技術について述べた。当社では、高位LSI設計検証技術を、FPGAやASICの設計検証にとどまらず、組み込みシステムのフロントローディング開発でも適用している。要求実現と効率を両立させる技術をガイドラインとして整備し、初心者にも設計可能な形で展開することで、日本放送協会と共同でスーパーハイビジョンHEVC符号化装置を世界で初めて開発し、電力変換装置のフロントローディング性能評価を実現する成果を得ることができた。

高位LSI設計検証では回路レベルの設計検証が自動化されているものの、アーキテクチャレベルの設計は人間が考える必要があり、ここでは経験やセンスが必要となっている。当社は、高位LSI設計検証をアーキテクチャ設計レベルまで拡張し、更に高い要求実現と開発効率化を目指していく。

参 考 文 献

- (1) Schafer, B.C., et al.: Design of Complex Image Processing Systems in ESL, ASP-DAC, 809~814 (2010)
- (2) Wakabayashi, K.: CyberWorkBench: Integrated design environment based on C-based behavior synthesis and verification, VLSI-TSA-DAT 2005, 173~176 (2005)
- (3) Yamamoto, R, et al.: An Efficient Design Approach of Control Logic with the Use of High Level Synthesis for a Video Signal Conversion FPGA, IEEE Design Automation Conference 2012, Poster Session 2U-11 (2012)
- (4) 山本 亮, ほか: 高位合成によるFIRフィルタ設計-任意のFIRフィルタ回路の自動生成, 電子情報通信学会技術研究報告, 114, No.476, 79~83 (2015)
- (5) 山本 亮, ほか: HEVC方式によるSHVリアルタイムエンコーダ開発への高位合成適用事例, SystemC Japan 2014 (2014)
- (6) 日本放送協会・三菱電機ニュースリリース 2013年5月9日: 世界初! スーパーハイビジョン(8K) HEVC符号化装置を開発