

# ADC回路におけるアナログ-デジタル回路 協調設計技術

大東睦夫\*

Collaborative Design Technology for Analog and Digital Circuits in ADC

Mutsuo Daito

## 要 旨

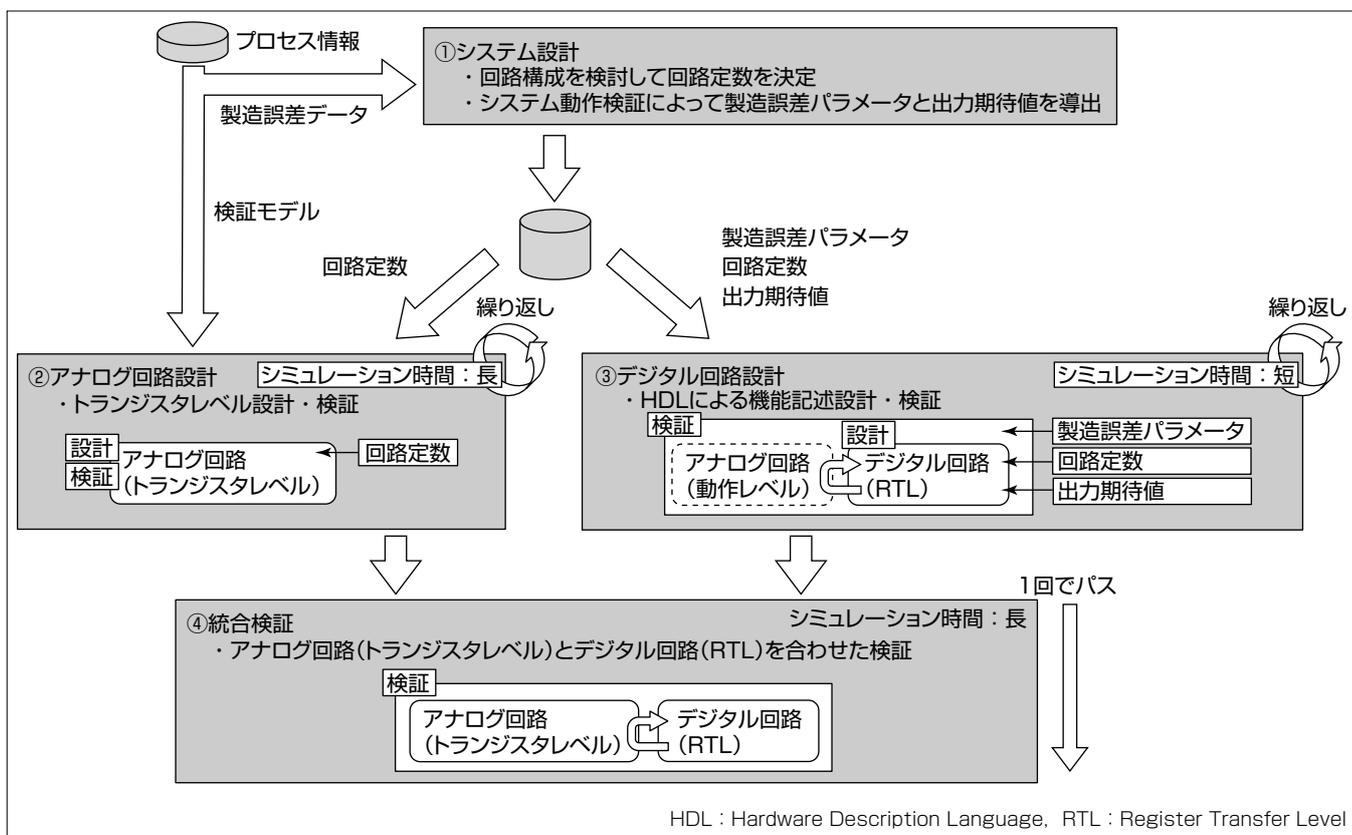
アナログ信号とデジタル信号を扱う回路ではADC(Analog-to-Digital Converter)を使用しており、製品性能を向上させるためにはADCの高精度化が求められている。高精度化を実現するため、アナログ回路の製造誤差による精度低下をデジタル回路で補正する技術が主流となっている。

アナログ回路とデジタル回路を混載したLSIの設計フローでは、①システム設計後、②アナログ回路設計と③デジタル回路設計を並行して実施し、④統合検証で両回路を合わせて検証する。ファウンドリからは製造誤差データとトランジスタレベルの検証モデルが提供されるが、デジタル回路検証で使用するアナログ回路は機能記述モデルのため製造誤差を考慮した検証ができない。統合検証時には製

造誤差を考慮できるが、この段階で不具合を検出すると手戻りが大きい。

そこで、回路動作を関数で定義しているアナログ回路の機能記述モデルについて、従来は1つにまとめて固定値で扱っていた容量や抵抗値などの回路定数を、個別に扱えるよう実回路の構成に合わせ込む手法を確立した。また、容量や抵抗値などの製造ばらつきや単位容量・面抵抗率などファウンドリから提供される製造誤差データから関数の引数として扱える製造誤差パラメータを算出する仕組みを構築した。

デジタル回路設計時に製造誤差を考慮した検証を可能とし、デジタル補正ADCの開発に適用して、1か月の設計手戻りを抑制した。



## アナログ回路とデジタル回路混載のLSI設計フロー

システム設計段階①でプロセス情報に含まれる製造誤差データから製造誤差パラメータを導出することによってデジタル回路設計③でアナログ回路モデルが正確に動作して検証することができる。統合検証④では接続確認が主となるため、前工程への手戻りを抑制し、設計期間の短縮が可能となる。

### 1. ま え が き

アナログ信号とデジタル信号を扱う回路では、デジタル処理部の前段にADCを使用しており、ADCの高精度化は製品性能を実現する上で必要不可欠となっている。ADCの中でもパイプラインADCが汎用のADCとしてよく使用されており、パイプラインADCを高精度化する技術としてデジタル補正技術が開発されている。

本稿では、デジタル補正技術を用いたパイプラインADC(以下“デジタル補正ADC”という。)の開発で、設計期間の短縮化と回路規模の最適化を行うために適用したアナログ-デジタル回路協調設計技術について述べる。

### 2. パイプラインADCのデジタル補正技術

パイプラインADCでは、図1に示すとおり低精度のA/D変換ステージを多段接続し、パイプライン動作させて高精度のA/D変換を行う。各ステージではアナログ入力信号に応じた電荷が容量に充電され、比較器を用いて低精度のA/D変換を行う。その後、容量と増幅器を用いて電荷伝送による信号処理を行い、次のステージへのアナログ信号を生成する。この時、容量に製造誤差があると次ステージへ正確なアナログ信号の伝達ができず、A/D変換結果にも誤差が生じる。パイプラインADCではこの変換誤差を補正する手法として、容量の製造誤差をデジタル的に補正する技術が開発されている。

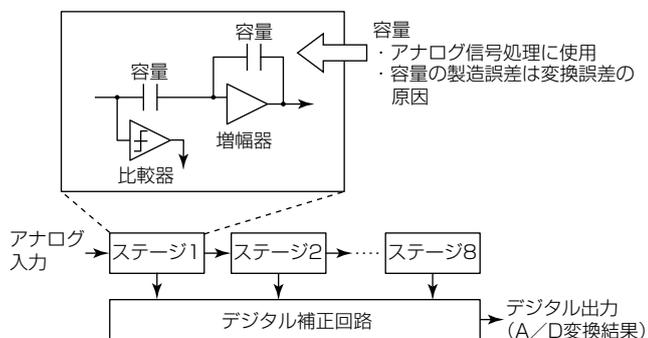


図1. パイプラインADCのブロック図

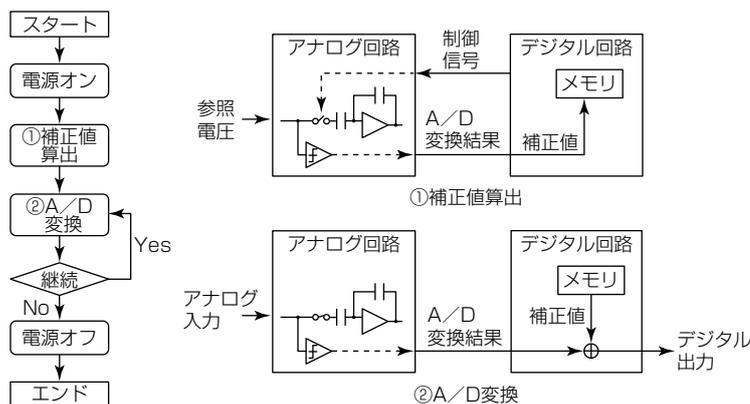


図2. デジタル補正

複数ある補正技術から、今回の開発では図2に示す方法を採用した。電源オン時に参照電圧を用いて容量の製造誤差で生じるA/D変換誤差を測定し、補正值としてメモリに保存する。通常のA/D変換時に補正值を使用し、A/D変換結果に対して補正を行う。

デジタル補正ADCではデジタル回路はアナログ回路を制御して出力された信号を処理しなければならないため、アナログ回路とデジタル回路混載(以下“アナデジ混載”という。)のLSI設計が必要となる。

### 3. アナデジ混載回路設計フロー

#### (1) システム設計

システムに要求される機能や性能を実現する回路構成を数式やプログラムを用いて検討し、回路方式や目標性能を設定する。デジタル補正ADCの設計では、システムに要求される変換精度や速度に応じて、回路方式や容量の大きさ、補正を行うステージ数、補正值のビット幅などの回路定数を決定する。

#### (2) アナログ回路設計

LSIを製造するファウンドリが提供するデザインキットを使用して、トランジスタや容量等の素子を回路図上に配置し、素子間を配線でつなぐことによってアナログ回路設計を行う。システム設計で決定した回路定数に基づき設計した回路は、SPICE(Simulation Program with Integrated Circuit Emphasis)シミュレータを用いて検証を行い、機能及び性能を確認する。アナログ回路はトランジスタレベルで設計・検証するため、パイプラインADCのような大規模の回路では長時間のシミュレーションが必要となる。

#### (3) デジタル回路設計

ハードウェア記述言語(HDL)を用いてシステム設計で決定した回路定数に基づき機能記述を行い、機能及び性能を確認する。その後、論理合成を行い、トランジスタレベルの回路を生成する。そのため、機能検証ではトランジスタレベルの検証を必要とせず、シミュレーション時間はトランジスタレベルでのシミュレーションと比べて1/100以下である。アナデジ混載回路では、デジタル回路設計時には

アナログ回路の動作をモデル化する必要があるが、アナログ回路モデルの正確性を検証できないため、アナログ回路モデルに不具合がある場合、デジタル回路に不具合が混入しても、設計段階では検出することができない。また、デジタル回路の回路規模は回路定数から決定されるため、最適化が難しい。

#### (4) 統合検証

アナログ回路とデジタル回路を統合した回路の動作検証を行う。アナログ回路はトランジスタレベルで動作するため、シミュレーション時間は長くなる。今回の開発では、15時間/回のシミュレー

ションで、動作条件を変更して4回実施し、動作確認を行った。そのため、デジタル回路設計で混入した不具合を検出した場合、デジタル回路設計への手戻りが発生し、回路修正後に再度、統合検証で長時間のシミュレーションを行う必要があり、設計期間が長期化してしまう。

#### 4. アナログ-デジタル回路協調設計技術

従来のアナデジ混載回路のLSI設計フローではデジタル回路設計時に製造誤差を考慮した検証ができなため、次のような課題があった。

##### (1) アナログ回路モデルの検証

アナログ回路モデルではファウンドリから提供された検証モデルを扱えないため、デジタル回路に不具合が混入した場合、統合検証でしか発見できず、手戻りによって設計期間が長期化する。

##### (2) 回路規模の最適化

製造誤差を過剰に見込むとデジタル回路の規模が大きくなり、コストの上昇やデジタル回路起因の雑音による性能劣化が起きやすくなる。

これらの課題を解決するために、アナデジ混載回路の設計フローで用いるアナログ-デジタル回路協調設計技術について述べる。

##### 4.1 アナログ回路モデルの検証

ファウンドリからは製造誤差データとトランジスタレベルの検証モデルが提供されるが、デジタル回路検証で使用するアナログ回路は、機能記述モデルのため製造誤差を考慮した検証を実施できない。統合検証時には製造誤差を考慮できるが、不具合を検出すると手戻りが大きい。

そこで、回路動作を関数で定義しているアナログ回路の機能記述モデルについて、従来は1つにまとめて固定値で扱っていた容量や抵抗値などの回路定数を、実回路に合わせて個別に扱えるように変更した。また、容量や抵抗値など誤差のばらつきを測定したデータや単位容量・面抵抗率等のファウンドリから提供される製造誤差データから関数の引数として扱える製造誤差パラメータを算出することで、デジタル回路設計時に製造誤差を考慮した検証を実施可能とした。

今回開発したデジタル補正ADCは差動回路構成であるため、システム設計時に作成するプログラム内の計算式も差動化(差動の両側を個別に計算)し、容量の製造誤差を反映できるよう容量は個別に計算を行う。ファウンドリから提供される容量や抵抗値など誤差のばらつきを測定したデータは統計処理した数値が提供される。図3に示すように、統計処理した数値(c\_dev)を用いて、容量の容量cs[i]をガウシアン関数でばらつかせることによって、容量に関する製造誤差パラメータを算出する。

また、デジタル設計時に作成するアナログ回路の機能記述モデルについても、計算式を差動化し、算出した製造誤

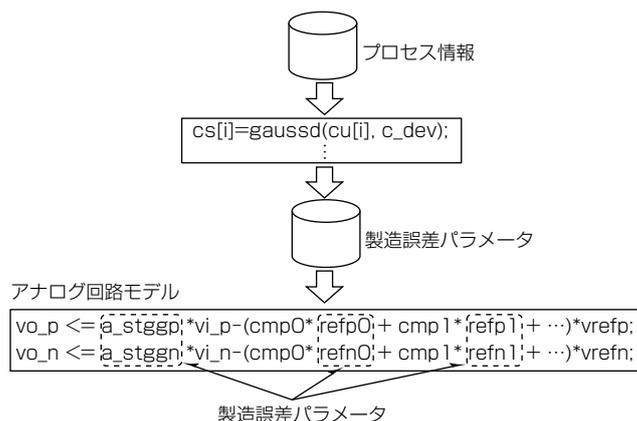


図3. 容量の製造誤差推定

差パラメータを用いて各ステージの入出力関数を記述する。それによって、アナログ回路モデルの動作をトランジスタレベルのアナログ回路の動作に近づけることが可能となる。

さらに、システム設計時に作成したプログラムを用いて出力期待値(デジタル回路のメモリに保存される補正值)を生成し、デジタル回路設計時に得られるシミュレーション結果と比較する。図2に示すように、デジタル補正ADCでは補正值を算出する際にはデジタル回路、アナログ回路、デジタル回路という順番で信号経路が形成される。アナログ回路モデルにはシステム設計時と同じ製造誤差パラメータを用いていることから、最終的にデジタル回路で算出される補正值はシステム設計時に算出された出力期待値と等しくなる。そのため、デジタル回路設計時に補正值を観測することによって、アナログ回路モデルの動作を検証でき、デジタル回路への不具合混入を防止できる。

これらのようなアナログ-デジタル回路協調設計技術を用いることによって、統合検証ではデジタル回路とトランジスタレベルのアナログ回路との接続確認が主となるため、統合検証から回路設計への手戻りを抑制でき、設計期間の短縮化が可能となる。

##### 4.2 回路規模の最適化

製造したLSIには、容量や抵抗、トランジスタに製造誤差が存在する。デジタル補正ADCでは、容量の製造誤差が精度に大きな影響を及ぼす。デジタル回路の規模は容量の製造誤差に依存する補正值で決まり、補正值が大きいとデジタル回路の規模も大きくなる。設計時に過剰に容量の製造誤差を見込むとデジタル回路の規模が大きくなり、コストの上昇やデジタル回路起因の雑音による性能劣化が起きやすくなる。

そこで、システム設計時にプロセス情報に含まれる製造誤差データを用いてプログラム内で容量値をばらつかせて補正值の算出を行い、LSI製造後の補正值の最大値を推定することによって補正值のビット幅を決定し、デジタル回路の規模を最適化する。また、デジタル補正を行うため

のアルゴリズムについても同時に検討を行うことによって、回路規模を更に最適化する。

### 5. デジタル補正ADCの設計

4章で述べたアナログ-デジタル回路協調設計技術を用いてデジタル補正ADCの設計を行った。

#### 5.1 システム設計

作成した容量の製造誤差推定プログラムの一部を図4に示す。製造誤差パラメータは、システムに要求される精度

```

for(i = 1; i <= n_stg; i++){
    c_dev = cu[i]*Csig/1000/sqrt(10/Cmim*cu[i]/2);
    for(j = 0; j <= 1; j++){
        c_sum[j][i] = 0;
        for(k = 0; k <= 7; k++){
            cs[j][k][i] = gaussd(cu[i]/2, c_dev);
            c_sum[j][i] += cs[j][k][i];
        }
    }
}
    
```

図4. 容量の製造誤差推定プログラム

容量のばらつき値	Csig	1.5
最小容量係数	Cmim	1.0
	:	

図5. プロセス情報

real a_csump	= 7.9993274858;
real a_csumn	= 8.0030400153;
real a_stggn	= 4.0013075550;
real a_stggn	= 3.9996971038;
	:

図6. 製造誤差パラメータ

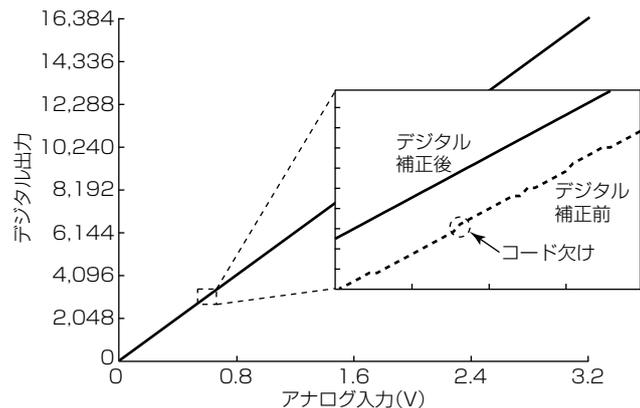


図7. デジタル補正効果の確認

から決定した各ステージの容量cuと、図5に示すようなファウンドリから提供される製造誤差データから計算される容量の製造誤差と容量値との関係を表す値Csig, 単位面積当たりの容量Cmim等を用いて算出した。容量値をガウシアン関数によってばらつかせ、補正値の絶対値が最大となるような容量値csから算出される図6に示すような各ステージの入出力関数における係数(例えば、各ステージにおける容量の合計値a\_csump, a\_csumn)を製造誤差パラメータとして導出した。

また、プログラム内で容量値をガウシアン関数によってばらつかせ、1,000回補正値の算出を行い、絶対値が最も大きい値となった補正値が収まるように補正値のビット幅を決定した。また、回路定数、出力期待値の算出も行った。

#### 5.2 デジタル回路設計

デジタル回路はハードウェア記述言語であるVerilog HDLで機能記述を行い、アナログ回路モデルは、使用可能な実数(real)型を用いた数値計算で実装した。デジタル回路は、補正値を算出するためにアナログ回路での各ステージのスイッチを制御する制御部と、補正値の算出・保存を行うレジスタ部、アナログ回路出力に対する補正部からなる。5.1節で作成したプログラムから得られる製造誤差パラメータを組み込み、出力期待値とデジタル回路設計時のシミュレーション結果を比較することで、アナログ回路モデルの精度を確認した。

デジタル回路設計におけるシミュレーション結果を図7に示す。デジタル補正を行う前は出力にコード欠けが存在するが、デジタル補正を行った後ではコード欠けがなく直線となっており、補正が正常に行えていることが分かる。

#### 5.3 アナログ回路設計と統合検証

5.1節で算出した回路定数を基にしてアナログ回路を設計し、デジタル回路と合わせて統合検証を行った。検証結果に問題がなく、デジタル回路設計に手戻りすることがなかったため、設計期間を1か月短縮することができた。

### 6. むすび

アナデジ混載回路のLSI設計フローで用いるアナログ-デジタル回路協調設計技術を開発し、設計期間の短縮を確認した。本稿では、デジタル補正ADCの設計検証技術について述べたが、この技術は様々なアナデジ混載回路に展開が可能である。