

上馬場 龍*
森本 昇*
渡部俊一**

産業用第7世代パワーチップ技術

7th Generation Power Chip Technologies for Industrial Applications

Ryu Kamibaba, Noboru Morimoto, Shunichi Watabe

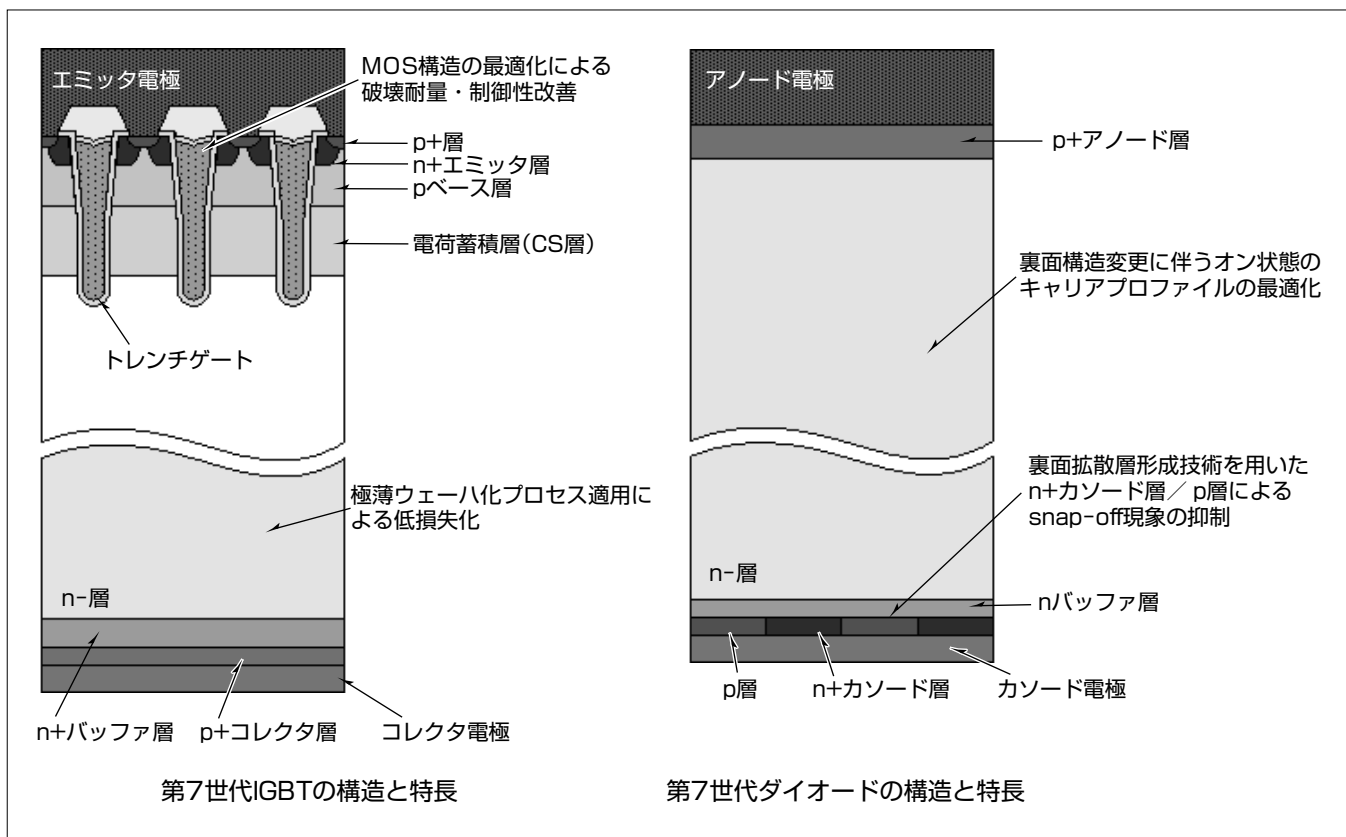
要旨

世界的に地球環境問題への関心が高まる中、パワーデバイスの用途は、太陽光・風力等の新エネルギー発電用や、ハイブリッド・電気自動車等のエコカーなど、多岐にわたり、その市場も拡大している。同時に、低損失化、低ノイズ化、高耐量化、高信頼性化など、IGBT(Insulated Gate Bipolar Transistor)やダイオードに求められる要求性能も厳しくなっている。三菱電機では、IGBTとダイオードの定常損失とスイッチング損失を低減するために、平面型IGBT、トレンチ型IGBT、電荷蓄積型IGBT“CSTBT”へと、また、拡散ダイオードを薄ウェーハダイオードへと進化させてきた。

今回、更なる性能改善を盛り込んだ第7世代パワーチッ

プを開発した。耐圧1,200V級第7世代IGBTは、MOS(Metal Oxide Semiconductor)構造の最適化によって、破壊耐量改善及びターンオン時のリカバリー-dv/dt制御性を改善し、極薄ウェーハ化プロセス技術を用いたLPT(Light Punch-Through)構造による低損失化も実現した。耐圧650V級第7世代ダイオードは、極薄ウェーハ化とともにRFC(Relaxed Field of Cathode)ダイオード構造を適用し、従来型ダイオードと同等の破壊耐量のまま損失低減を実現した。

これら第7世代パワーチップを各耐圧級の様々な製品向けに順次展開していく。



第7世代IGBTとダイオードの構造と特長

第7世代IGBTは、極薄ウェーハ化プロセス技術を用いたLPT構造による低損失化と、MOS構造の最適化による破壊耐量改善及びリカバリー-dv/dt制御性改善が特長である。また、第7世代ダイオードにはRFC効果を適用し、裏面拡散層形成技術を用いたn+カソード層/p層によるsnap-off現象の抑制と、オン状態でのキャリアプロファイルの最適化を特長としている。

1. ま え が き

長年研究され続けているSi(Silicon)パワーデバイスは、これまでデバイス構造の改良による性能改善が繰り返されてきた。現在のSiパワーデバイスは物性限界に近付いているものの、製品用途ごとの最適化や、使いやすさの改善など、優れたデバイス設計を行うことでSiパワーデバイスの価値はまだ高められると考えている。

本稿では、更なる性能改善として、産業用IGBTモジュール向けに開発した第7世代IGBTとダイオードについて述べる。

2. 第7世代IGBT

2.1 IGBTの性能向上⁽¹⁾

当社のトレンチゲート型IGBTでは、第5世代から電荷蓄積層(CS層)を採用し、セル内で最も高抵抗成分であったJFET(Junction Field Effect Transistor)抵抗を劇的に低減したCSTBT⁽²⁾構造を採用している。第6世代ではトレンチゲートを狭ピッチ化し、キャリア蓄積効果を更に高めた。第7世代では極薄ウェーハ化、MOS構造及び裏面構造の改良によって高性能かつ高い駆動制御性を実現した。

IGBTの性能は、しばしば性能指数FOM(Figure Of Merit)で議論される。FOMはチップサイズを決める主要素であるコレクタ電流密度 J_c (A/cm²)、定常損失を決めるコレクタ-エミッタ間飽和電圧 V_{CEsat} (V)、ターンオフスイッチング損失 E_{off} (mJ/A)の値を用いて式(1)で示される数値である。

$$FOM = \frac{J_c}{V_{CEsat} \times E_{off}} \dots\dots\dots (1)$$

産業用1,200V級IGBTで、第5世代IGBTのFOMを1にした場合、第6世代では1.25、第7世代では1.32となり、各世代で性能向上を達成してきた。また、低コスト、高温動作、高破壊耐量等を成立させるため、MOS構造、裏面構造の改良に加え、終端構造をシュリンクすることで、要求性能に应运ってきた。

2.2 産業用第7世代IGBTの構造の特長

薄ウェーハ化は電気特性改善に効果的だが、チップの熱容量減少による破壊耐量低下、過剰なストレスによる電気特性変動などの問題があった。産業用1,200V級第7世代IGBTは、MOS部のn+エミッタ層とp+層の面積比率を最適化することで、通電能力と破壊耐量を確保した。次に、ウェーハプロセスで、研削や熱処理等の処理条件を最適化することで、チップに対し過剰なストレスなく薄ウェーハ化できるプロセス技術を確立した。また、第7世代ではトレンチゲートのアクティブ・非アクティブの比率を調整することで、ゲート容量(ゲート・エミッタ・コレクタ間の静電容量)を最適化した結果、ターンオン時のリカバリー

dv/dt(以下“dv/dt”という。)の電流依存性を改善し、高いdv/dt制御性を実現させた。

2.3 産業用第7世代IGBTの電気特性

図1に産業用IGBTモジュール向け第7世代IGBTのSCSOA(Short Circuit Safe Operating Area)の波形を示す。薄ウェーハ化は熱容量減少によってSCSOAが低下するが、n+エミッタ層とp+層の面積比率を最適化することで、飽和電流(ゲート-エミッタ間電圧 $V_{GE} = 14V$ 、接合部温度 $T_j = 150^\circ C$ 、定格電流 $\times 2$)及びラッチアップ耐量($T_j = 175^\circ C$ 、定格電流 $\times 2$)を確保した。その結果、 $V_{CE} = 800V$ 、 $V_{GE} = 15V / -15V$ 、 $T_j = 150^\circ C$ の測定条件で、パルス幅10.5 μs まで非破壊となり、製品要求を満足できる通電能力と高破壊耐量を達成した。

また、薄ウェーハ化はチップへの過剰なストレスによって特性変動のおそれがあるため、ウェーハプロセス中のストレス軽減は極めて重要である。特に、研削や電極形成、熱処理プロセスの処理条件を重点的に最適化したことで、小容量チップのみならず大容量チップの極薄ウェーハ化を実現した。

図2は極薄ウェーハ化した定格600V/20Aの小容量チップと、定格650V/200Aの大容量チップの表面写真及びゲート-エミッタ間しきい値電圧 $V_{GE(th)}$ の面内バラつきを示している⁽³⁾。図2(a)、(b)のチップ面積比率は約20倍である。 $V_{GE(th)}$ はストレスの影響を受けやすいキャリア移動度と相関を持つため、機械的なストレスによる電気特性変動を確認する指標として有効である。図2(c)、(d)から $V_{GE(th)}$ の面内バラつきが $\pm 0.2V$ 以下で差異がないことは、チップへの過剰なストレスなく薄ウェーハ化できていることを意味する。

次に、ゲート容量を最適化した第7世代IGBTの制御性を述べる。IGBTにおけるスイッチングの基本動作は、コレクタ-エミッタ間に電圧印加しつつ、ゲートに電荷を充放電することでターンオン・オフ動作をする。この充放電を高周波で繰り返すことで高効率な電力制御が可能となる。スイッチング時は回路中で電圧変化が生じており、特にターンオン時の電圧変化値はdv/dtで定義される。このdv/dtが基準値(例：20kV/ μs)以上に大きくなると、放

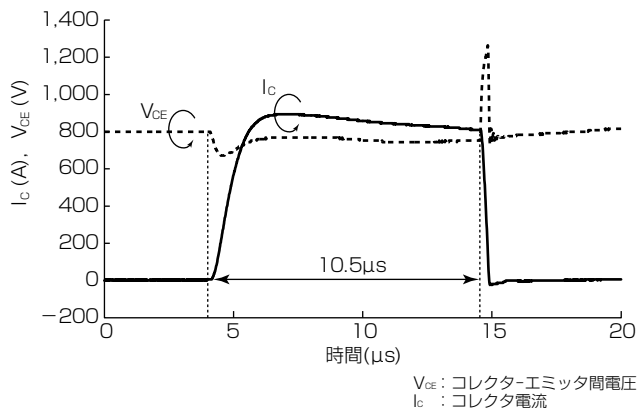


図1. 第7世代IGBTのSCSOA波形

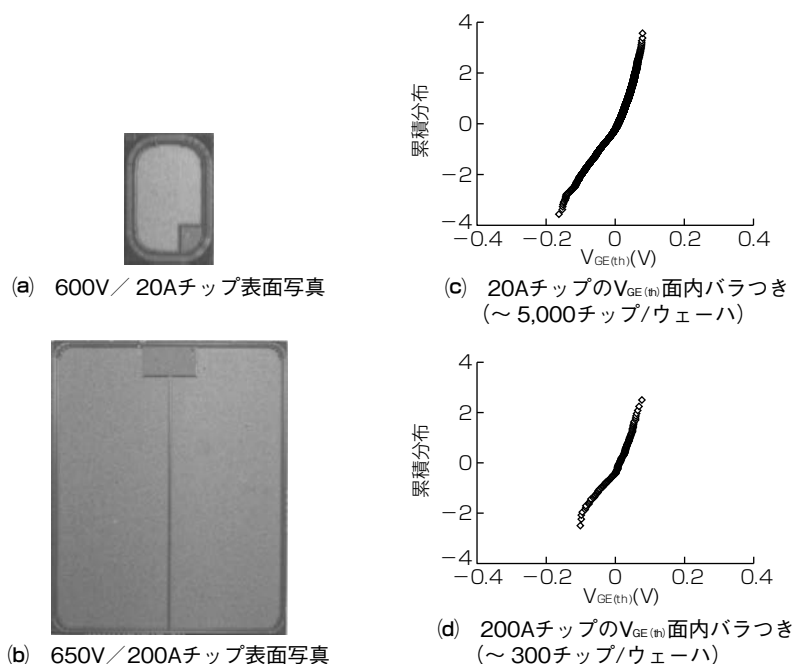


図2. 第7世代チップの表面写真と面内均一性

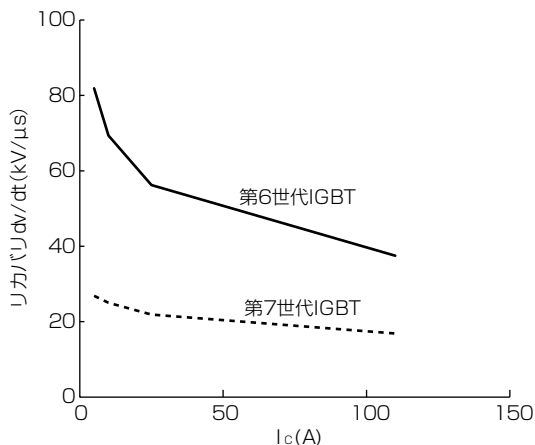


図3. リカバリーdv/dt特性の比較

射ノイズが無視できなくなり、モータ等の誤動作を引き起こすリスクがある。そのため、使用電流域 dv/dt が基準値以下になるようにゲート抵抗 $R_{g(on)}$ を大きくすることで調整する。一方で、 dv/dt が基準値に対し小さい場合、スイッチング速度も遅いためターンオンスイッチング損失 E_{on} が悪化する。したがって、 dv/dt は使用電流域で電流依存性が小さい方が望ましい。

図3に第6世代及び第7世代IGBTの dv/dt のコレクタ電流 I_c 依存性を示す。いずれも定格1,200V/110Aのチップを用いており、スイッチング条件は、 $V_{CE} = 600V$, $V_{GE} = 15V / -15V$, $T_j = 25^\circ C$, ゲート抵抗 $R_{g(on/off)} = 10\Omega$, コレクタ電流 I_c は5~110Aの間で振り分けている。第6世代における $I_c = 5A$ 時の dv/dt は、110A時に対して約2.2倍に増大しており、電流依存性が非常に大きい。一方、第7世代は約1.6倍となっており、どの電流域でもほぼ一定のスイッチング速度を保つことができる。このようにゲート容量を最適化し、第7世代の dv/dt 制御性を向上させた。

3. 第7世代ダイオード

3.1 ダイオードの性能向上

ダイオードの性能向上として、薄ウェーハ化によって順電圧 V_F を低減可能であるが、薄ウェーハ化とともにリカバリー時にsnap-off(電圧跳ねあがり)が増大し破壊耐量が低下する問題が指摘されている。この問題に対し、当社では新規の裏面拡散層形成技術によるRFCダイオードを開発してきた。RFCダイオード構造は、カソード側に部分的に形成したp層からリカバリー時にホールを注入し、リカバリー波形をソフトにすることで、急な電圧の立ち上がりを抑制することが可能な技術である。

当社第7世代ダイオードは、薄ウェーハ化とともにRFCダイオード構造を適用し、これまでに、1,200V以上の耐圧級で、従来型ダイオードからの性能改善と高い破壊耐量を達成している⁽⁴⁾⁽⁵⁾。ここでは、更なる耐圧展開として、産業用650V級の第7世代ダイオードを試作・評価した結果を述べる。

3.2 第7世代(RFC)ダイオードの構造の特長

従来型拡散ダイオード及び第7世代ダイオードの断面構造を図4に示す。耐圧650V級の第7世代ダイオードは、極薄ウェーハ化プロセスによって従来型拡散ダイオードの約0.3倍まで薄厚化し、裏面パターンニングプロセスを用いて裏面側にn+カソード層/p層構造を形成した。

3.3 第7世代ダイオードの電気特性

第7世代ダイオードチップのリカバリー波形を図5に示す。リカバリー時の発振現象は、高電源電圧(V_{cc})、高配線インダクタンス(L_s)、低動作温度等、ハードリカバリー条件下で顕著になることが報告されているが、この評価は定格650V/100Aのチップを用いて、発振現象が発生しや

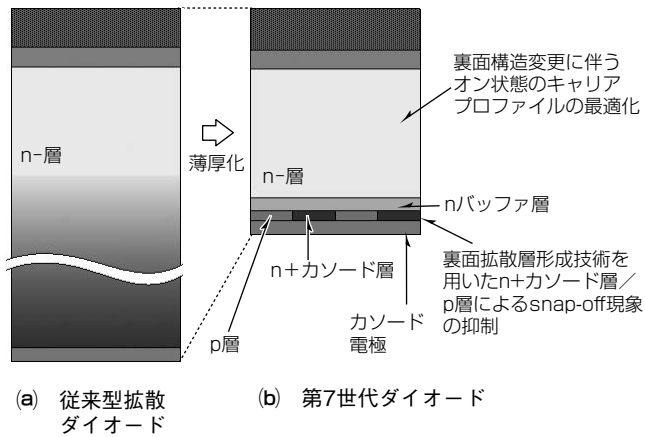


図4. 断面図の比較

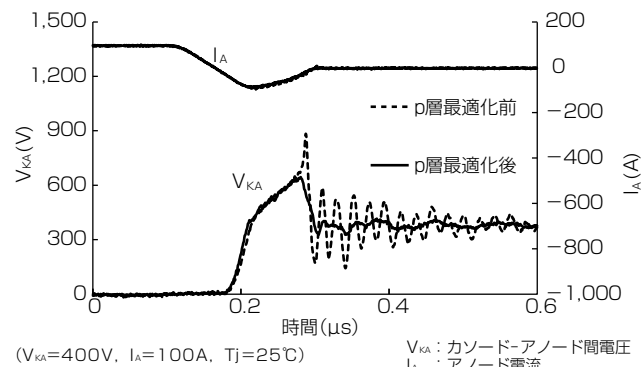


図5. 発振現象が発生しやすい条件下でのリカバリー波形

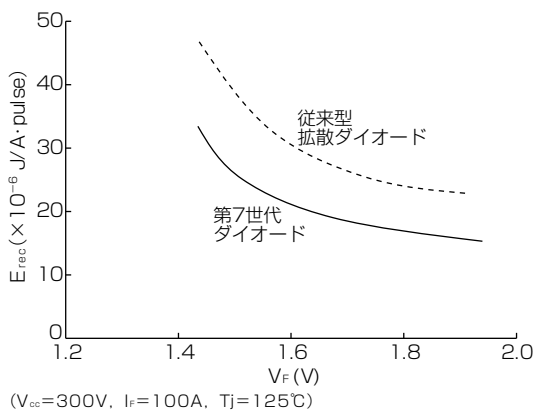


図6. V_F - E_{rec} のトレードオフ特性

すい条件下で評価を行った。先に述べたように、RFCダイオードでは裏面のp層からホールを注入することで、リカバリー波形をソフトにする。すなわち、ウェーハ厚や使用条件に応じて、p層の濃度、レイアウトを調整することによって、ホールの注入を制御することができる。条件最適化前のチップでは電圧のsnap-offとそれに続く発振が見られたが、これらのパラメータを最適化することで、snap-offを650V以下に抑えることができ、従来型ダイオードと同等の破壊耐量を達成した。

次に、従来型拡散ダイオードと第7世代ダイオードの V_F とリカバリー損失 E_{rec} のトレードオフ相関を図6に示す。ダイオードの性能改善としてはこのトレードオフ相関

自体を改善することであり、第7世代ダイオードでは、従来型拡散ダイオードに対して同一 V_F で E_{rec} を30%低減した。また、ダイオードの性能指数FOMは式(2)で表されるが、性能指数FOMでも、50%改善している。

$$FOM = \frac{J_A}{V_F \times E_{rec}} \dots \dots \dots (2)$$

J_A : アノード電流密度(A/cm²)

V_F : 125℃での順電圧(V)

E_{rec} : 125℃のリカバリー損失(J/A・パルス)

このように第7世代ダイオードは、従来型ダイオードと同等の破壊耐量を確保しつつ損失を大きく低減することができた。これによって、産業用途の幅広い使用条件に対応し、損失を低減することが可能である。

4. むすび

極薄ウェーハ化プロセス技術、裏面拡散層形成技術等の新技術を適用することによって、高性能・高破壊耐量を持つ第7世代IGBT及び第7世代ダイオードを開発した。さらに、産業用途向けにIGBTではMOS構造の最適化によるdv/dt制御性向上、ダイオードでは裏面構造の最適化による発振抑制など、使いやすさの改善に重点を置き開発を行った。

極薄ウェーハ化プロセス技術は耐圧600Vから1,400V級のIGBT及びダイオードに展開している。また、裏面拡散層形成技術を適用したダイオードは、6,500V級を含むすべての耐圧に適用予定である。今後は、より高性能・高制御性・高品質を持つ第8世代Siパワーチップを開発し、市場要求に応じていく。

参考文献

- (1) Sato, K., et al. : New chip design technology for next generation power module, Proceedings of PCIM 2008, 673~678 (2008)
- (2) Takahashi, H., et al. : Carrier Stored Trench-Gate Bipolar Transistor(CSTBT) - A Novel Power Device for High Voltage Application, ISPSD1996, 349~352 (1996)
- (3) Kamibaba, R., et al. : Next Generation 650V CSTBT™ with improved SOA fabricated by an Advanced Thin Wafer Technology, ISPSD2015, 29~32 (2015)
- (4) Masuoka, F., et al. : Great Impact of RFC Technology on Fast Recovery Diode towards 600V for Low Loss and High Dynamic Ruggedness, ISPSD2012, 373~376 (2012)
- (5) 鈴木健司, ほか : 高性能・高破壊耐量第7世代パワーチップ技術, 三菱電機技報, 88, No.5, 281~284 (2014)