

SiCパワーモジュールの ダイナミックインテグリティ設計

山口義弘* 中嶋純一**
大開美子** 上田哲也*
井上貴公*

Dynamic Integrity Design for SiC Power Module

Yoshihiro Yamaguchi, Yoshiko Obiraki, Takahiro Inoue, Junichi Nakashima, Tetsuya Ueda

要 旨

環境保護と省エネルギーの観点からパワーエレクトロニクスは電力制御に不可欠であり、民生・産業用市場から、電鉄、自動車、太陽光・風力発電市場へと適用範囲を拡大している。

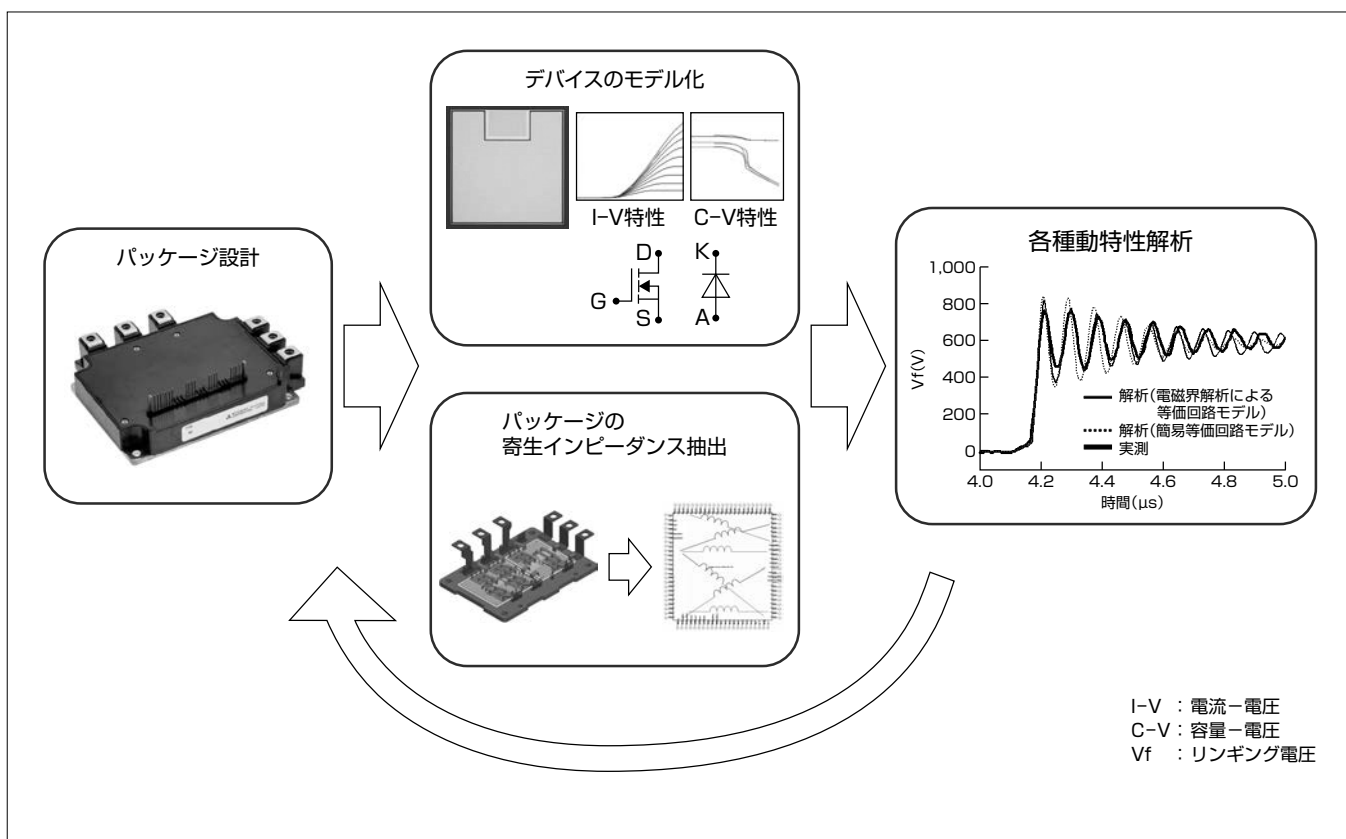
特に近年注目されているSiC(Silicon Carbide)を用いたパワー半導体モジュール(以下“パワーモジュール”という)は、従来のSi(Silicon)パワーモジュールに比べて高速動作化、動作時の低損失化に優れ、飛躍的な特性向上を図ることができ、今後の適用拡大が期待される。

SiCパワーモジュールの高速動作化のためには、チップの高速動作化に加えて、パッケージの低インダクタンス化、並列間のデバイス動作均一化、低ノイズ化、リンギング・

ゲート発振対策が重要である。さらに、スナバ回路等のアプリケーション側での最適化も重要である。

三菱電機では、高速動作での過渡電磁界現象がデバイス動作に及ぼす影響について、回路解析上でシミュレートする技術を用いて、パワーモジュールのパッケージ構造最適化、ダイナミックインテグリティ設計に取り組んでいる。

従来のSiのパワー半導体チップ(以下“パワーチップ”という)を搭載したパワーモジュールの動作解析に適用している電磁界解析技術を基に、SiCのパワーチップを搭載したパワーモジュールの高速動作に対応した解析へ適用するため、より高精度なモデルを用いたリンギングとゲート発振の解析を実施して妥当性を実験的に検証し、その有効性を確認した。



ダイナミックインテグリティ設計

ダイナミックインテグリティ設計とは、パッケージ設計で仮想的にパッケージを模擬して課題を抽出した後、再度パッケージ設計に反映して性能の最適化を行う技術である。この設計手法では、電気的特性の設計に着目したパッケージの寄生インピーダンスを抽出する電磁界解析と、実デバイスの特性を再現したデバイスモデルを用いて回路シミュレータ上で連成解析を行う。

1. ま え が き

環境保護と省エネルギーの観点からパワーエレクトロニクスは電力制御に不可欠であり、民生・産業用市場から、電鉄、自動車、太陽光・風力発電市場へと適用範囲を拡大している。その基幹部品であるパワーモジュールは、電流制御の高効率化、適用製品の小型化、高信頼性要求に応えるとともに、適用市場の拡大に合わせた信頼性、特性の向上を進めている。特に近年注目されているSiCを用いたパワーモジュールは、従来のSiモジュールに比べて高速動作化、動作時の低損失化に優れ、飛躍的な特性向上が図れるため、今後の適用拡大が期待される⁽¹⁾⁽²⁾⁽³⁾。

SiCパワーモジュールの高速動作化のためには、チップの高速動作化に加えて、パッケージの低インダクタンス化、並列間のデバイス動作均一化、低ノイズ化、リングング・ゲート発振対策が重要である。さらに、スナバ回路等のアプリケーション側での最適化も重要である(図1, 図2)。

当社では、高速動作時の過渡電磁界現象がデバイス動作に及ぼす影響について、回路解析上でシミュレートする技術を用いてパワーモジュールのパッケージ構造最適化、ダイナミックインテグリティ設計に取り組んでいる⁽⁴⁾。

2. パワーデバイスの高周波振動

パワーデバイスは、スイッチング時の電圧・電流変動によって高周波振動が発生して、パワーモジュール動作不良を引き起こす場合がある。主な動作不良は、リングング、



図1. パワーモジュール

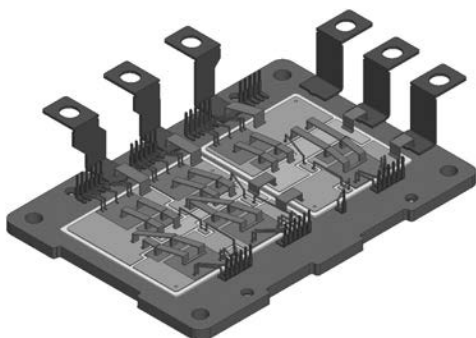


図2. パワーモジュールのパッケージ構造

ゲート発振である。

リングングは、スイッチングデバイスのターンオン、ターンオフ時に発生する主回路内で起こる共振現象であり、主回路の寄生インダクタンスとデバイスの主電極間の寄生容量に起因する。バイポーラデバイスでは通常観測されないが、ユニポーラデバイスであるSiCデバイスでは顕著となり、問題となることがある。

ゲート発振は、スイッチングデバイスのターンオン、ターンオフ時や、短絡時に発生するゲート電圧の高周波振動であり、モジュール内の寄生インダクタンスと並列配置されているデバイスとの間の寄生容量、又は絶縁基板の浮遊容量に起因する。

3. 解 析 例

回路シミュレータを用いて電磁界解析で抽出した配線の等価回路モデルを、デバイスや主回路(電源、負荷等)、ゲートドライバ等と接続して解析を行った。主回路などの等価回路モデルは、現物をインピーダンスアナライザで評価してモデルを作成している。一方、この中に使用されているデバイスモデルは、実デバイスから抽出したI-V特性やC-V特性などを再現したモデルである。本稿で述べるリングング、ゲート発振解析ではモデルの精度が重要である。

3.1 リングング

バイポーラデバイスであるSiデバイスを使用した従来のSiモジュールでは、リカバリー中キャリアがダイオード内部に存在するため、ある程度の抵抗成分を持ち、ダンピング効果によってリングングは発生しにくい。一方、ユニポーラデバイスであるSiCデバイスを使用したSiCモジュールでは、リカバリー動作がなくダイオードオフ時の空乏層の広がりによって容量成分が支配的になり、リングングが発生しやすい。そのため、SiCモジュールではリングングを抑制する対策が必要となる。

そこで、SiCデバイスのモデル、パッケージ構造のインピーダンス、主回路インピーダンスなどを統合して回路シミュレーションを行うリングング解析技術を開発した。この解析結果のリングング周波数や振幅は実測とよく一致する。また、パッケージの寄生インピーダンスのうちリングングに影響する部分はPN間のループインダクタンスであることから、PN間のループインダクタンスだけの簡易等価回路モデルで表現でき、その結果も実測とよく一致する(図3)。

この簡易等価回路モデルによる解析で、簡単にリングングレベルとパッケージの寄生インダクタンスとの相関が確認できる。そこで、パッケージの寄生インダクタンスを変更した解析を実施して、リングング抑制対策として一般的に知られているRC(抵抗器-コンデンサ)スナバ回路をモジュールの外部回路に設けた場合と比較した結果、パッケージ側のインダクタンスを85%程度低減しなければな

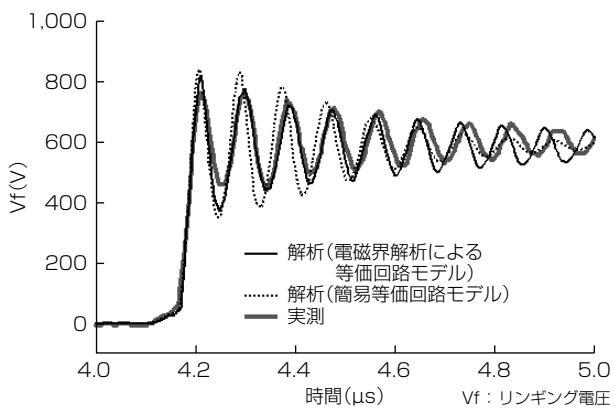


図3. リンギング波形

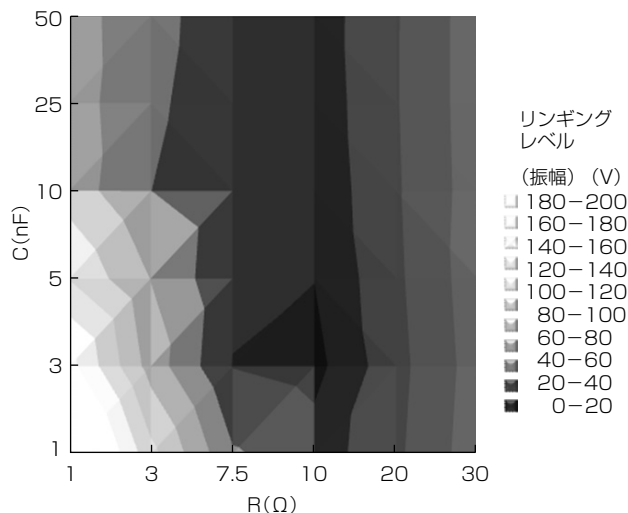


図5. リンギングレベルとRCスナバ定数の相関

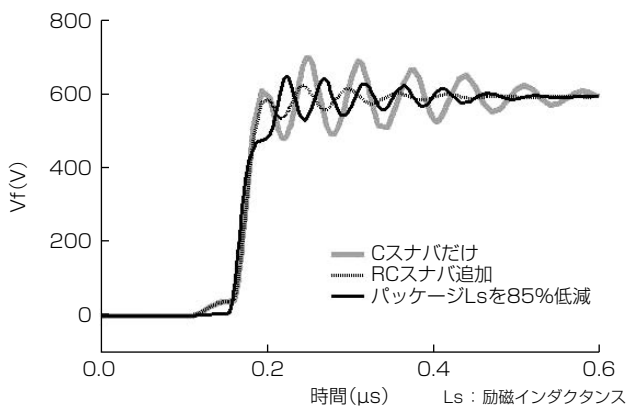


図4. 各条件でのリンギング波形

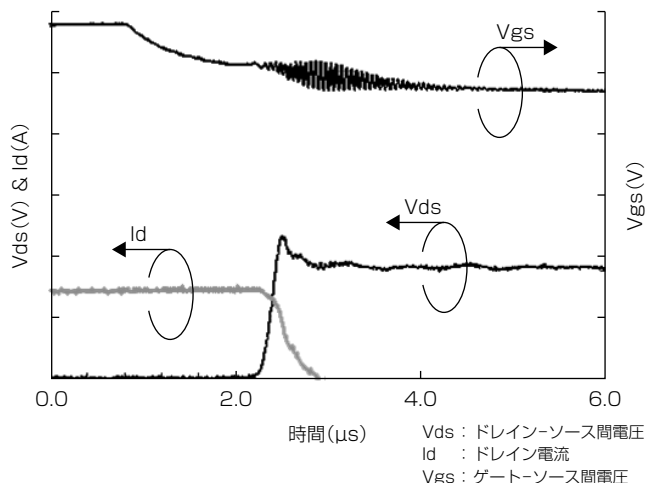


図6. ゲート発振の波形

らないことが判明した(図4)。これは、パッケージ外部の寄生インダクタンスを入れた全体の寄生インダクタンス比では40%低減に相当する。このように、パッケージ構造の低インダクタンス化は重要な要素となるため、今後、この解析技術を用いて、搭載デバイス特性とのマッチングを含めたパッケージ構造最適化設計を展開していく。

一方、先に述べたとおり、リンギングを抑制するにはRCスナバは有効な方法である。今回、RCスナバ定数を見極めるためリンギング解析技術を実パッケージに適用して、パッケージに対してRCスナバのパラメータを振ってリンギングレベル(振幅)を確認した(図5)。リンギングレベルは抵抗(R)に対して極値を持ち、Rが小さければダンピング効果が小さく、Rが大きければスナバとしての役割が下がることが分かった。また、容量(C)がある程度の大きさ以上ではCを増やしてもリンギングレベルが変わらないことが分かり、リンギング抑制に有効なRCスナバの最適値を見極めることができた。この手法はアプリケーション側へも適用可能な技術である。

3.2 ゲート発振

従来Si-IGBT(Insulated Gate Bipolar Transistor)モジュールでも短絡動作時にゲート発振が観測される場合があるが、ユニポーラデバイスであるSiCモジュールでは

短絡動作だけではなくターンオン、ターンオフ時にもゲート発振が観測される場合がある。図6に、ゲート発振の波形を示す。ゲート発振は誤動作や過電圧によるゲート酸化膜破壊につながる場合があり、ゲート発振抑制は重要である。ゲート発振対策には、モジュール内部、チップ直近へのバランス抵抗の配置が有効であるが、SiCデバイスの特長である高速動作を妨げるため、バランス抵抗最適化や他のゲート発振を抑制する技術が必要である。

バランス抵抗を配置するには、抵抗値と損失はトレードオフであるため、試作段階で微調整が必要であった。そこで、電磁界解析と回路シミュレーションを用いた連成解析によるゲート発振解析技術を開発して対策方法を検討した。

3.2.1 解析の有効性とパッケージ構造設計への適用

製品設計段階で観測されたゲート発振に対して連成解析で原因を調査した結果、素子が搭載された絶縁基板間の寄生インダクタンスが大きい場合に絶縁基板間でゲート電圧変動が発生していることが判明した。そこで、絶縁基板間インダクタンスを低減する構造でゲート発振解析を行った

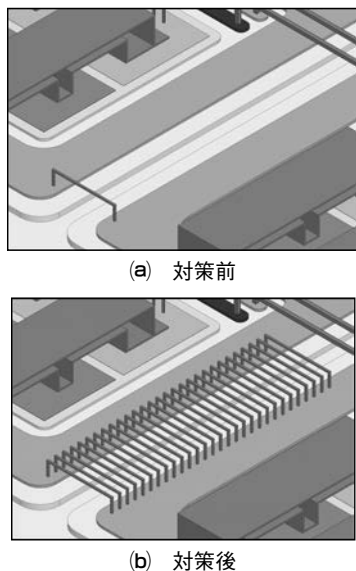


図7. 対策前後の電磁界解析モデル

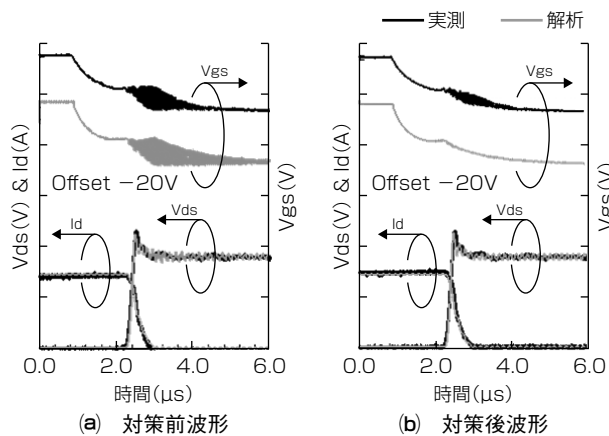


図8. 対策前後の実測と解析結果

ところ、ゲート発振の抑制が確認できた。図7に対策前後での電磁界解析モデルを、図8に対策前後の実測と解析結果を示す。実測と解析の結果から解析の有効性が証明されて、パッケージ構造設計への適用が可能となった。

3.2.2 ゲートバランス抵抗最適化

ゲートバランス抵抗値をパラメータとして連成解析を行った結果を図9に示す。ただし、ゲートバランス抵抗値に応じてドライバ側の抵抗値を変更することで、1チップ当たりの駆動速度を調整して損失を同等にした。この解析結果から、ゲートバランス抵抗を大きくすることでゲート発振強度が低減しており、スイッチング速度を下げずにゲート発振を抑制できることが判明した。

これらの解析を用いて、設計段階でのゲート発振抑制が可能となった。

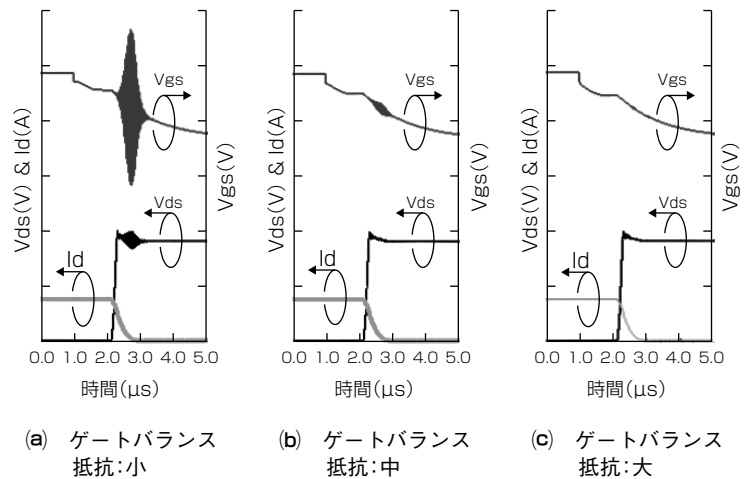


図9. ゲート発振のバランス抵抗依存性

4. むすび

従来のSiパワーチップを搭載したパワーモジュールの動作解析に適用している電磁界解析技術を基に、SiCパワーチップを搭載したパワーモジュールの高速動作に対応した解析へ適用するための、より高精度なモデルを用いたリングングとゲート発振の解析を実施した。その結果の妥当性を実験的に検証して、解析の有効性について述べた。現在、更なる高速化及び汎用性のある対策構造の解析・検証に取り組んでいる。

この研究は、経済産業省と国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)から委託された“低炭素社会を実現する新材料パワー半導体プロジェクト”の成果を含んでいる。

参考文献

- (1) マジウムダール ゴーラブ, ほか: パワーモジュールの最新技術動向, 三菱電機技報, 86, No.5, 262~266(2012)
- (2) 長谷川 滋, ほか: 1.7kV大容量ハイブリッドSiCモジュール, 三菱電機技報, 86, No.5, 287~290(2012)
- (3) 加柴良裕, ほか: エネルギーの高度利用に向けて革新を続けるパワー・モジュール, 半導体技術年鑑2014[パッケージング/実装編], 日経BP, 217~227(2013)
- (4) 大月高実, ほか: SiCパワーモジュール化技術, 三菱電機技報, 88, No.5, 301~304(2014)