# 3.3kV耐圧SiC-MOSFETの低抵抗化技術

濱田憲治\* 日野史郎\*\* 木谷 剛\*\*\*

Low On-resistance SiC-MOSFET with Blocking Voltage of 3.3kV Kenji Hamada, Shiro Hino, Takeshi Kitani

# 要 旨

昨今,Siに代わる新しい半導体材料としてSiC(Silicon Carbide)が注目されている。SiCをパワーデバイスとして 用いることで現状のSiパワーデバイスを凌駕(りょうが) する低抵抗化・高電圧化が可能になる。

三菱電機は600Vから1.7kV耐圧のSiCユニポーラデバイ スとして,SiC-MOSFET(Metal Oxide Semiconductor Field Effect Transistor)及びSiC-SBD(Schottky Barrier Diode)の低電力損失化や高機能化・大電流化の開発を進 めている。同時にSiCパワーデバイスのインバータへの適 用といった応用技術開発を並行して進めており,効率改善 や機器の小型化を実証している。

さらに、高耐圧が要求される産業用や電鉄車両用として

も,SiCユニポーラデバイス技術を享受することができる。 当社はこれまでにSiC-SBD及びSi-IGBT (Insulated Gate Bipolar Transistor)を組み合わせた3.3kV耐圧のハイブ リッドSiCモジュールを試作し,1.5kV/2kAのスイッチ ング動作を実証している。モジュールの更なる高効率化を 図るためには,Si-IGBTのSiCスイッチング素子への置き 換えが必要であり,3.3kV耐圧のSiC-MOSFETの実現が 切望されている。

本稿では、独自に開発した低抵抗化技術を含め、当社に おける3.3kV耐圧のSiC-MOSFETの開発内容について述 べる。



# 3.3kV耐圧SiC-MOSFETのデバイス構造と電気特性

n型SiCドリフト層表面の不純物濃度を部分的に高濃度化する独自の低抵抗化技術を用いて、3.3kV耐圧SiC-MOSFETを開発した。セル構造パラメータ及びイオン注入条件を最適に設計することで、実効オン抵抗14mΩcm<sup>2</sup>、アバランシェ降伏電圧約3.9kVを持つMOSFETが得られ、3.3kV耐圧を十分に確保しつつ低抵抗なMOSFETを実現した。

# 1. まえがき

電力エネルギーを高効率で最適に制御するパワーエレク トロニクス技術は、これまで省エネルギー、省資源に大き く貢献してきた。その中で中心的役割を果たしているのが パワーデバイスである。パワーデバイスに用いられる半導 体材料としてはSiが一般的であるが、その材料物性に起因 する性能限界に近づきつつあるのが現状である。

昨今,Siに代わる新しい半導体材料としてSiCが注目されている。ワイドバンドギャップ半導体であるSiCは,Si に比べて絶縁破壊電界強度や熱伝導度が高いといった特長 を持つ。SiCをパワーデバイスとして用いることでSiパワ ーデバイスを凌駕する低抵抗化・高電圧化が可能になる。

最近では耐圧が10kVを超えるSiCパワーデバイスの試作 例が報告されており、これはSiパワーデバイスでは実現不 可能な電圧領域である。10kV以上の電圧領域では、デバ イスの低抵抗化のために電子と正孔による伝導度変調の効 果を利用したIGBTやPiN(P-intrinsic-N)ダイオード等の SiCバイポーラデバイスが用いられるのが一般的である。

一方で、3.3kV以下の低い電圧領域では、Siバイポーラ デバイスに比べて低抵抗かつ高速スイッチング動作が可能 なMOSFETやSBD等のSiCユニポーラデバイスが注目を浴 びている。600Vから1.7kV耐圧のSiC-MOSFETに関して は数多くの報告例があり、これらをインバータモジュール に適用することで、効率改善や機器の小型化が実証されて いる。3.3kV耐圧のパワーデバイスが要求される産業用や 電鉄車両用としても、SiCユニポーラデバイス技術を享受 することができる。当社はこれまでに、SiC-SBD並びに Si-IGBTを組み合わせた3.3kV耐圧のハイブリッドSiCモ ジュールを試作し、1.5kV/2kAのスイッチング動作を実 証している<sup>(1)</sup>。モジュールの更なる高効率化を図るために は、Si-IGBTのSiCスイッチング素子への置き換えが必要で あり、3.3kV耐圧のSiC-MOSFETの実現が切望されている。

本稿では、独自に開発した低抵抗化技術を含め、当社に おける3.3kV耐圧のSiC-MOSFETの開発内容について述 べる。

#### 2. 3.3kV耐圧SiC-MOSFETの作製

#### 2.1 デバイス構造

SiC-MOSFETの基本構造は,SiのパワーMOSFETに広 く採用されているDMOSFET(Double-diffused MOSFET) 構造である。Siでは不純物の熱拡散によってこの構造を形 成するのに対して,SiCでは不純物の拡散係数が小さいこ とから,選択的なイオン注入によってこの構造を形成する。 実際のMOSFETは,単位セルトランジスタを同一チップ 内に複数個並列接続して形成される。なるべく抵抗を下げ るため高濃度にドーピングされたn型SiC基板を支持基板 として、高耐圧を維持するための低濃度なn型SiCドリフ ト層を形成し、選択的イオン注入、活性化アニール、ゲー ト酸化膜形成、電極形成プロセスを経てMOSFETが作製 される。今回は、3.3kV耐圧SiC-MOSFETとして、n型 4H-SiC基板上にエピタキシャル成長させた、不純物濃度 3×10<sup>15</sup>/cm<sup>3</sup>、厚み30µmのn型SiCドリフト層上にMOS構 造を形成した。ドリフト層の不純物濃度及び厚みは、 3.3kV耐圧を十分に確保できるよう、耐圧シミュレーショ ンによって設計した。素子周辺部の耐圧終端構造には、約 4kVのドレイン電圧印加時に安定したアバランシェ降伏 が生じるよう独自に開発したFLR(Field Limiting Ring) 構造を採用した<sup>(2)</sup>。

MOSFETのセル構造パラメータとして,チャネル長を 0.4~1.6µm, p型ウェルで挟まれたJFET(Junction Field Effect Transistor)領域の幅,すなわちJFET長を1.6~ 3.6µmの範囲で変化させた。セルピッチは11µmとし,有 効面積の異なる3種類( $4.8 \times 10^{-5}$  cm<sup>2</sup>,  $2.0 \times 10^{-3}$  cm<sup>2</sup>,  $9.0 \times 10^{-2}$  cm<sup>2</sup>)の素子を作製した。p型ウェル領域,n型ソ ース領域,p型コンタクト領域,JFETドーピング領域に イオン注入された不純物の活性化のために,1,700℃で熱 処理を実施した。ゲート酸化膜は熱酸化及び窒化処理に よって形成し,酸化膜厚は50nmとした。ソース/ドレイ ンのコンタクト電極としてNiシリサイドを形成した。

#### 2.2 MOSFETの低抵抗化技術(JFETドーピング)

3.3kV耐圧SiC-MOSFETでは、高耐圧を確保するため にドリフト層の不純物濃度を比較的低く設計しているので、 JFET領域の抵抗成分、すなわちJFET抵抗が高くなりや すい。JFET抵抗を低減する方法として、JFET長の拡大 やJFET領域における不純物濃度の高濃度化(JFETドーピ ング)が挙げられるが、これらはどちらもゲート酸化膜電 界の増大をもたらし、MOSFETの耐圧や長期的な信頼性 に悪影響を及ぼす。すなわち、JFET抵抗とゲート酸化膜 電界はトレードオフの関係にあり、ゲート酸化膜電界の増 大を抑制しつつJFET抵抗を低減するために、JFET長/ JFETドーピングを最適に設計することが極めて重要になる。

今回,プロセス/デバイスシミュレーションを活用して, JFETドーピングのパラメータを,不純物濃度1×10<sup>17</sup>/cm<sup>3</sup>, 厚み約1µmに最適化した。JFETドーピングはn型不純物 である窒素の多段イオン注入によって形成した。厚み方向 のプロファイルに関しては,MOSFETのチャネル特性や ゲート酸化膜電界に影響を及ぼさないよう,ドリフト層の 表面近傍を避けてイオン注入を施した。

### 3. 3.3kV耐圧SiC-MOSFETの電気特性

#### 3.1 静特性のMOSFETセル構造依存性

作製したMOSFETの静特性を室温で評価した。有効面 積9.0×10<sup>-2</sup>cm<sup>2</sup>を持つ3.3kV耐圧SiC-MOSFETのドレイン 電流 – 電圧特性及び耐圧特性を図1に示す。ゲート電圧 15V,ドレイン電流密度100A/cm<sup>2</sup>における実効オン抵抗は 14mΩcm<sup>2</sup>,ゲート電圧 – 10Vにおけるアバランシェ降伏 電圧は約3.9kVが得られており,3.3kV耐圧を十分に確保 しつつ低抵抗なMOSFETが実現できていることが分かる。

図2に実効オン抵抗のチャネル長依存性及びJFET長依 存性を示す。図中にはJFETドーピングを実施した素子と 実施しない素子の特性を併せて示している。素子の有効面 積はどちらも2.0×10<sup>-3</sup>cm<sup>2</sup>である。図2(a)から,実効オン 抵抗はチャネル長の縮小に伴い単調減少し,JFETドーピ ングの有無によらず同様の傾向を示すことが分かる。また, JFETドーピングを実施することで,JFETドーピングを実 施しない素子に比べて実効オン抵抗を8~12mΩcm<sup>2</sup>低減で きることが分かる。どちらの素子についても,実効チャネ ル移動度は約22cm<sup>2</sup>/(V・s)であった。

図2(b)から,JFET長を縮小するとJFETドーピングの 有無によらず実効オン抵抗は顕著に増大し,JFETドーピ ングを実施しない素子ではJFET長が比較的長い場合でも 実効オン抵抗の増大が著しいことが分かる。今回試作した JFET長の範囲(1.6~3.6µm)すべてにおいて,JFETドーピ ングを実施した素子の方が実効オン抵抗が低減することか ら,JFET領域の空乏化が実効オン抵抗に与える影響が大



きいことを示唆している。

実効オン抵抗の抵抗成分内訳を図3に示す。チャネル抵抗は、それ以外の寄生抵抗を十分に低減したMOSFETを評価することで算出した。JFET抵抗及びドリフト抵抗は、 チャネル部分を電気的に短絡したMOSFETを評価して求めた。JFETドーピングの有無によらず、JFET長を縮小するとチャネル抵抗が減少することが分かる。これは、セルピッチを11µm、チャネル長を0.7µmに固定しているので、JFET長の縮小に伴いチャネル幅密度が増加することに起因する。その一方で、JFET抵抗及びドリフト抵抗は、JFET長の縮小に伴い増大し、JFETドーピングを実施し



図2.実効オン抵抗のチャネル長依存性及びJFET長依存性







図4. アバランシェ降伏電圧のJFET長依存性

ない素子で特に顕著な増加を示すことが分かる。3.3kV耐 ESiC-MOSFETでは、素子全体の抵抗を低減するために、 JFETドーピングを実施してJFET抵抗を低減することが 極めて有効であると考えられる。

ゲート電圧-10Vにおけるアバランシェ降伏電圧の JFET長依存性を図4に示す。JFETドーピングを実施し た素子ではJFET長の拡大に伴い降伏電圧が低下すること が分かる。これは、p型ウェルの端部に生ずる電界強度が 高くなることに起因すると考えられる。実効オン抵抗の低 減と高耐圧を両立させるためには、JFET長及びJFETド ーピングを最適に設計することが極めて重要である。

# 3.2 実効オン抵抗の温度依存性

先に述べたMOSFETの温度依存性を調査した。チャネ ル長0.7µm, JFET長3.0µm, 有効面積4.8×10<sup>-5</sup>cm<sup>2</sup>の素子 に対する実効オン抵抗の温度依存性を図5に示す。JFET ドーピングを実施した素子では, JFETドーピングを実施 しない素子に比べて,室温~175℃の範囲における実効オ ン抵抗の変化が12~23mΩcm<sup>2</sup>と小さいことが分かる。こ れは, JFETドーピングを実施することでイオン化不純物 散乱の影響が大きくなり, JFET領域における電子移動度 の温度係数が小さくなるためと考えられる。また,ドレイ ン電圧10VにおけるMOSFETのしきい値電圧は, JFETド ーピングの有無で有意差が見られず,室温で約2V, 175℃で約1Vであった。

これらのことから,3.3kV耐圧SiC-MOSFETの低抵抗 化技術として適用したJFETドーピングは,室温だけでな く高温でもMOSFETの低抵抗化を実現できる,極めて有 効な手法であると言える。



#### 4. む す び

既存の産業用や電鉄車両向けモジュールの更なる高効率 化を図るため、Si-IGBTのSiCスイッチング素子への置き 換えをねらい、3.3kV耐圧のSiC-MOSFETを開発した。 低抵抗化技術としてJFETドーピングを適用し、ドーピン グ条件及びセル構造パラメータを最適に設計することで、 3.3kV耐圧を十分に確保しつつ、室温だけでなく高温でも 実効オン抵抗を大幅に低減できることを実証した。これら の技術を活用して、当社は1,500A定格の大容量フルSiCパ ワーモジュールを適用したDC1,500V架線対応の鉄道車両 用インバータ装置を世界で初めて製品化した<sup>(注1)</sup>。今後も デバイス性能の更なる向上に向けた開発を継続する。

この研究は経済産業省/NEDO(New Energy and industrial technology Development Organization)から委 託された"低炭素社会を実現する新材料パワー半導体プロ ジェクト"の成果を含んでいる。

(注1) 2013年12月25日現在,当社調べ

# 参考文献

- (1) 渡邊 寛, ほか: 3.3kV SiC-SBDの試作評価, 平成 24年電気学会全国大会講演論文集, No.4, 254 (2012)
- (2) 濱田憲治, ほか:二重FLR構造を有する13kV級4H-SiC PiNダイオードの特性評価, SiC及び関連半導体 研究第22回講演会予稿集, B-31 (2013)