双方向のレベルシフト機能を搭載した 1,200V HVIC技術

吉野 学* 羽生 洋*

Technology of Bi-directional High Voltage Level-shifting for 1,200V HVIC Manabu Yoshino, Yo Habu

要 旨

産業,民生機器のインバータ駆動に普及しているIPM (Intelligent Power Module)で,HVIC(High Voltage Integrated Circuit)はパワーチップのゲート駆動や保護の 機能を果たすキーデバイスである。HVICはローサイド側 駆動回路(以下"ローサイド"という。)と高電圧で分離され たハイサイド側駆動回路(以下"ハイサイド"という。)を併 せ持ち,互いの回路間をレベルシフト回路によって信号伝 達している。このレベルシフト回路で,ローサイドからハ イサイドへ信号伝達するシフトアップ機能は,高耐圧 NchMOS(N-channel Metal Oxide Semiconductor)を用い て一般的に実用化されている。一方でハイサイドからロー サイドへ信号伝達するシフトダウン機能は,ハイサイドで 発生した信号をローサイドへフィードバックすることがで きることからHVICの高機能化に大きく寄与する。しかし, その機能を担う高耐圧PchMOS(P-channel MOS)の構造 上の課題によってこれまでに実用化された例がない。今回, 特に実現が困難であった1,200Vクラスの高耐圧 PchMOS を開発し,シフトアップ機能とシフトダウン機能を併せ持 つ1,200V HVICを実現した。今回開発した1,200V PchMOSは次の特長を持っている。

(1) 従来の1,200V HVIC⁽¹⁾からプロセスステップを追加す ることなく形成することが可能である。

(2) 同一のリサーフ分離領域上に1,200V NchMOSとの混 載が可能であり、レイアウト上の制約がない。

これらの特長を持った1,200V PchMOSを搭載すること によって,今後更に幅広い機能を備えた1,200V HVICのラ インアップが期待できる。



シフトアップ機能とシフトダウン機能を併せ持つ1,200V HVIC

従来の1,200V NchMOSだけを搭載する1,200V HVICプロセスを用いて1,200V PchMOSを実現した。1,200V NchMOSと1,200V PchMOSを同一チップ内に搭載することによってシフトアップ、シフトダウンの双方向のレベルシフト機能を可能にした。

1. まえがき

HVICは通常の基板電位を基準とした制御回路(ローサ イド側駆動回路)に加えて、基板電位から高電圧に分離さ れたフローティング回路(ハイサイド側駆動回路)とローサ イド側駆動回路-ハイサイド側駆動回路間の信号伝達を行 うレベルシフト回路を搭載しており、1チップでパワー チップの最適駆動、保護を可能にする。図1に一般的なゲ ート駆動用HVICの構成を示す。ここでレベルシフト機能 には、信号の伝達方向によってローサイド側駆動回路から ハイサイド側駆動回路へ信号が伝達されるシフトアップ機 能とハイサイド側駆動回路からローサイド側駆動回路へ信 号が伝達されるシフトダウン機能がある。

シフトアップ機能はCPU(Central Processing Unit)から HVICへの入力信号をハイサイドのパワーチップのゲート へ出力する上で不可欠な機能であり,高耐圧NchMOSを 用いて広く実用化されている。一方,シフトダウン機能は ハイサイド側駆動回路内で発生したエラー信号などをロー サイド側駆動回路へフィードバックすることが可能であり, HVICの高機能化に大きく寄与する。シフトダウン機能は 高耐圧PchMOSを用いて実現することが可能であるが,高 耐圧PchMOSは高耐圧NchMOSと比べて①低い電流能力, ②寄生PNP動作による基板へのリークといった課題があ り,特に高耐圧になるほどその課題は顕著となるため, 1,200V HVICでシフトダウン機能を搭載することができな かった。

今回,これらの課題を解決した1,200V PchMOSを開発 し,シフトダウン機能を備えた1,200V HVICを実現した。 本稿では今回開発した1,200V PchMOSについて述べる。

2. 1,200V PchMOS

2.1 高耐圧PchMOSの構造

図2に高耐圧NchMOSと高耐圧PchMOSの断面模式図 を示す。高耐圧NchMOS/PchMOSともにリサーフ分離に よって高電圧を保持している。高耐圧NchMOSはリサー フ分離領域に対してローサイド側にゲートを形成しており, シフトアップ機能を可能にしている。一方,高耐圧Pch MOSはリサーフ分離領域に対してハイサイド側にゲート を形成しており,シフトダウン機能を可能にしている。ま た,高耐圧NchMOSはN型のリサーフ分離領域がオン電流 の流れるドレインドリフト層となるのに対し,高耐圧Pch MOSはN型のリサーフ分離領域表面にP型のドレインドリ フト層を形成している。

これら高耐圧NchMOSと高耐圧PchMOSは,高電圧を 保持する基本構造が同じであるため,三菱電機が開発した 第2世代型分割リサーフ構造によって⁽²⁾,一つの高耐圧分 離構造上に混載することが可能である。しかし,リサーフ



図1. ゲート駆動用HVICの構成



分離領域表面に形成される高耐圧PchMOSのドレインドリ フト層は,高耐圧PchMOSと高耐圧NchMOSを一つの高 耐圧分離構造上に混載可能なメリットを持つ一方,デメ リットとしてその構造起因の課題がある。次の節では高耐 圧PchMOSの構造起因の課題とその解決構造について述べ る。

2.2 耐圧-ドレイン電流トレードオフの改善

高耐圧PchMOSのドレインドリフト層はリサーフ分離領 域表面に形成されるため、高耐圧NchMOSのドレインド リフト層と比べてその断面積が小さく、ドレイン電流は小 さい。ドリフト層の不純物濃度を上げることでドリフト抵 抗を低下させドレイン電流を上げることができるが、同時 に高電圧印加時のドリフト層内の空乏化が抑制されるため 耐圧は低下する。そのため、高電圧を保持するためにはド リフト層の不純物濃度を上げることができない。

この耐圧-ドレイン電流のトレードオフを改善するため, 今回開発した高耐圧PchMOSでは図3(a)に示す従来のP-LDD(P-Lightly Doped Drain)構造に対し⁽³⁾,図3(b)に示 すP-ドレイン層をストライプ状に形成する構造を採用し た。ドリフト層をストライプ状にすることで,ストライプ と垂直方向の断面でドリフト層は縦横2方向からPN接合 で囲われる。縦方向のPN接合からだけ空乏層が伸びる従 来のP-LDD構造に対して,縦方向に加え横方向のPN接合 からも空乏化が伸びるストライプ状構造によって,より高 い不純物濃度でも高電圧を保持することが可能となり,耐 圧-ドレイン電流のトレードオフを改善することができる。

図4にP-LDD構造の高耐圧PchMOSとストライプ状ド レイン構造の高耐圧PchMOSの耐圧-ドレイン電流のトレ ードオフを示す。ストライプ状ドレイン構造は一定の不純 物注入量でストライプ(不純物注入スリット)の幅,ピッチ を振り分け耐圧,ドレイン電流を調整している。図4から ドレイン構造をストライプ状とすることで従来のP-LDD 構造と比べて耐圧を低下させることなくドレイン電流を約 4倍まで向上させたことが分かる。





(b) ストライプ状ドレイン構造





2.3 寄生PNP動作の抑制

リサーフ分離領域表面に形成されるドレインドリフト層 は、図5に示すようにN型のリサーフ分離領域、P型基板 と縦型の寄生PNP構造を形成する。高耐圧PchMOSがオン すると、ドレインドリフト層にオン電流が流れる。このと きドレインドリフト層からリサーフ分離領域へキャリアの 移動が生じると、寄生PNP構造のエミッタからベースへ 流れるベース電流となって寄生PNP動作を引き起こす。 その結果、オン電流の一部は寄生PNPのコレクタ電流と してドレインドリフト層から基板へ向けて流れ始め、それ に伴い高耐圧PchMOSの本来のドレイン電流は減少する。

ここで寄生PNP動作のベース電流となるキャリアは, ドレイン-ソース間に高電圧が印加される際にドレインド リフト層に生じる高電界と,そこを流れるオン電流によっ て引き起こされるインパクトイオン化で生じる。そのため ドレイン-ソース間が高電圧になるほどインパクトイオン 化で生じるキャリアが増え,基板へ流れる電流は増加する。 ドレイン-ソース間電圧を上げていくと,最終的にオン電 流は全て基板へ流れドレイン電流は消滅する。

寄生PNP動作のベース電流となるキャリアの発生を抑 えるため、今回開発した高耐圧PchMOSは、図6(b)に示す ようにストライプ状ドレイン構造を形成する不純物注入ス リットの配列を、図6(a)に示す等間隔のものから隣接する









図7. 改善ドレイン構造のId, Isub-Vd特性

2本のスリットが近付いた構造にしている。この構造に よって、ストライプは隣接する2本の注入スリットからの 不純物拡散の重ね合わせによって形成される。その結果、 単独のスリットからの拡散によって形成されるストライプ に対して、不純物濃度分布が変わりドレイン電流の経路が ずれることでインパクトイオン化を抑制している。

図7に等間隔のストライプ構造の高耐圧PchMOSと開発 したストライプ構造の高耐圧PchMOSのId, Isub-Vd特性 を示す。等間隔のストライプ構造では印加電圧(Vd)が高 くなるにつれて基板へのリーク電流(Isub)が生じ,それに 伴いドレイン電流(Id)が減少し,1,000V以上の印加電圧で はドレイン電流が消滅する。一方,今回開発したドレイン 構造では印加電圧1,200Vでも基板へのリーク電流は発生せ ず,正常にドレインへ電流が流れている。

3. 1,200V PchMOS搭載1,200V HVIC

図8に1,200V PchMOSと1,200V NchMOSを搭載し,双 方向のレベルシフト機能を持つ1,200V HVICを示す。 1,200V NchMOSと1,200V PchMOSは同一のリサーフ分離 領域内に搭載している。

図8の1,200V HVICのレベルシフト動作波形を図9に示 す。高圧側に1,200Vが印加された状態で、シフトアップ機 能とシフトダウン機能が正常に動作していることが分かる。

4. む す び

新規ドレイン構造の開発によって高耐圧PchMOSの課題 であった電流能力,寄生PNP動作を改善し,1,200Vまで動 作可能な高耐圧 PchMOSを実現した。従来の1,200V Nch-MOSに加えて1,200V PchMOSを搭載することで,1,200V HVICで初めてシフトアップ機能とシフトダウン機能の双 方向の信号伝達が可能となり,今後の高機能品種の展開が 期待される。



図 8. 1,200V PchMOS搭載HVIC



(a) シフトアップ機能動作波形





参考文献

- (1) 吉野 学, ほか:インバータシステム用1,200V HVIC 技術, 三菱電機技報, 86, No.5, 271~274 (2012)
- (2) Shimizu, K., et al.: The 2nd Generation divided RESURF structure for High Voltage ICs, Power Semiconductor Devices and IC's 2008, 20th International Symposium, 311~314 (2008)
- (3) Terashima, T., et al.: Structure of 600V IC and A New Voltage Sensing Device, Power Semiconductor Devices and IC's 1993, 5th International Symposium, 224~229 (1993)