

無線通信向け低消費電力アナログLSIの設計検証技術

上杉美喜夫*
大野正輝*
平峰正信**

Analog LSI Design Verification Techniques for Low-power Wireless Communication

Mikio Uesugi, Masaki Ono, Masanobu Hiramane

要旨

無線通信機器で、特に携帯端末に搭載されるアナログLSIは、電池駆動であるため低消費電力化に対する要求が高い。また、製品サイクルは近年短くなっている傾向があり、開発期間を短縮するために効率のよい設計検証技術が求められている。

低消費電力化手法の一つとして、MOSFET^(注1)のゲートソース間電圧をしきい値電圧より低い電圧とする弱反転領域での動作を前提とした設計手法があるが、

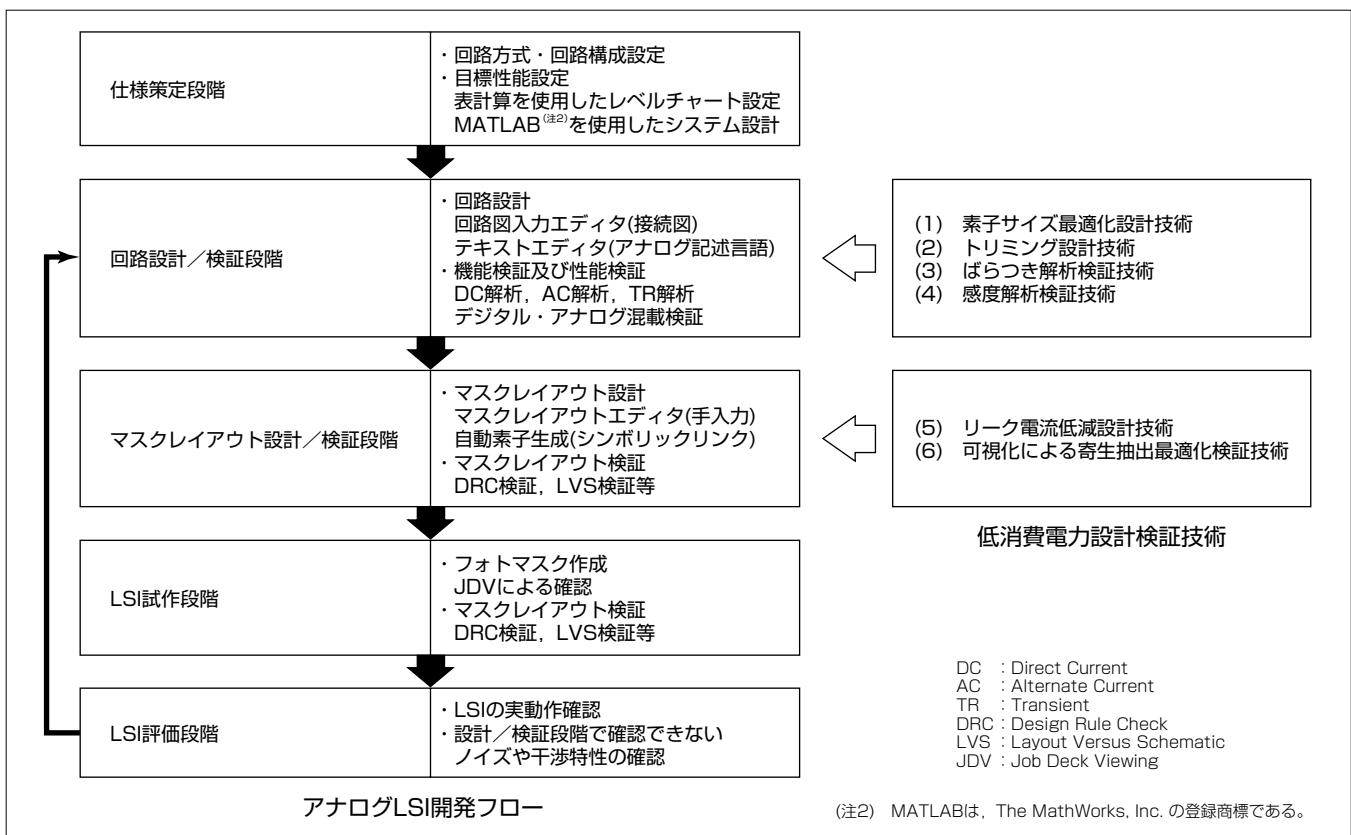
- (1) 微小電流のため、動作速度が遅い
- (2) 検証モデルと実デバイスとの性能差が大きい
- (3) 製造プロセスのばらつきに対して特性が敏感に変化する等の理由によって、回路特性の保証が困難なためあまり使

われていなかった。

今回、次に挙げる低消費電力アナログLSIの設計検証技術を適用することで開発の初期段階でこれらへの対策を可能とした。

- (1) 素子サイズ最適化設計技術
- (2) トリミング設計技術
- (3) ばらつき解析検証技術
- (4) 感度解析検証技術
- (5) リーク電流低減設計技術
- (6) 可視化による寄生抽出最適化検証技術

(注1) MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) は、電界効果トランジスタ(FET)の一種で、LSIの中では最も一般的に使用されている構造である。



低消費電力アナログLSIの開発フローと設計検証技術

アナログLSIの開発フローのうち開発の初期段階で品質を作りこむには、回路設計/検証段階とマスクレイアウト/検証段階が最も効果的である。このため、低消費電力設計検証技術をこれらの段階に追加することで低消費電力アナログLSIの製品品質を高めることができる。

1. ま え が き

無線通信機器に搭載されるアナログLSIで、特に携帯端末向けのものは、電池駆動が基本となっており、限られた電力消費の中で無線通信に必要な動作を行う必要がある。また、無線携帯機器では、1つのボタン電池で数年間動作することが求められ、低消費電力化に対する要求が高い。一方、製品サイクルは短くなってきており、短期間での効率的な開発が強く求められている。

本稿では、低消費電力アナログLSIの設計で、開発の初期段階で品質を作りこむために用いた設計検証技術について述べる。

2. 低消費電力化の手法

無線携帯機器で、ボタン電池1つで2年間の動作を可能とするためには、アナログLSI全体の消費電力を数十μW以下にする必要がある。アナログLSIの低消費電力化を行う手法として、回路を間欠動作させる手法がある。間欠動作の電流イメージを図1を用いて述べる。間欠動作させるには、通信回路と間欠動作のタイミングを生成する間欠動作制御回路が必要である。通信回路の消費電流をIa、間欠動作制御回路の電流をIbとした場合、通信動作時の電流は

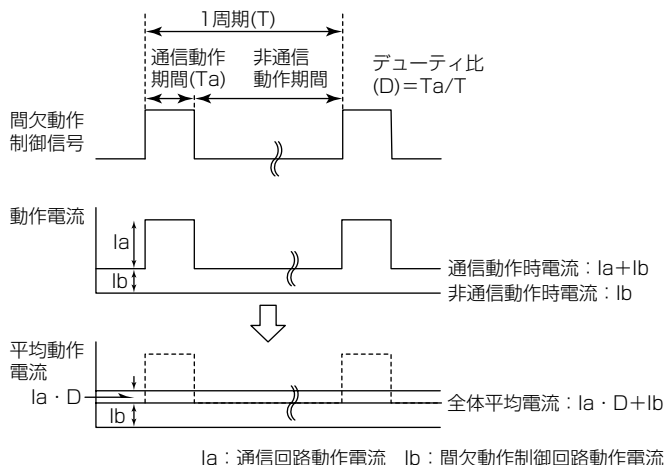


図1. 間欠動作のイメージ図

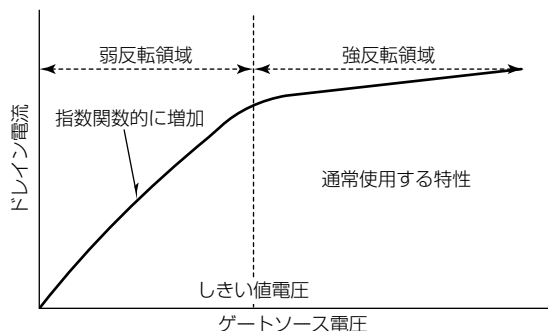


図2. MOSFETの特性

$I_a + I_b$ 、非通信動作時の電流は I_b となる。これをデューティ比1/250で間欠動作させた場合、アナログLSI全体の消費電流は、 $I_a/250 + I_b$ となり、アナログLSIの消費電流として I_a の消費電流を大幅に低減することができる。このようにデューティ比を調整することで、低消費電力化が可能となるが、デューティ比の調整幅はシステムによって制約がある。また無線携帯機器のようなボタン電池での駆動が必要なシステムについては、間欠動作制御回路の電流 I_b も無視できず、低減する必要がある。

回路を構成する素子であるMOSFETの特性(図2)は、しきい値電圧(MOSFETがオンする電圧)を境に強反転領域と弱反転領域に分かれており、それぞれの特性が異なっている。一般的な回路に使用している領域は、強反転領域といわれるMOSFETがオンした状態での使用を前提としており、数μA以上の電流が流れる。しかしこれでは目標である数十μW以下にできない。よって弱反転領域での動作を前提とした設計手法を用いることとした。弱反転領域は、MOSFETがオフしている状態であり、数nA以下の微小電流である。この領域におけるドレイン電流の特性はゲートソース間電圧に対して指数関数的に増加しており、この特性を用いて電流を制御し、間欠動作制御回路を動作させ、アナログLSI全体を数十μW以下の低消費電力に抑えることが可能である。しかしMOSFETを弱反転領域で動作させる場合、次の問題が生じる。

- ① 微小電流のため、動作速度が遅い
 - ② 製造プロセスに対して特性が敏感に変化する
 - ③ 半導体メーカーから提供される回路検証用モデルと実デバイスとの性能差が大きい
- ①については間欠動作制御回路などの動作速度が遅くても問題のない回路用途に限って使用することで対策可能であるが、②、③については回路特性の保証が困難なため、今まではあまり使われていなかった。今回、低消費電力アナログLSIの設計検証技術を適用することで②、③への対策を可能とした。

3. アナログLSIの開発フロー

まず、一般的なアナログLSIの開発フロー及び各フローの役割について図3を用いて述べる。

- (1) 仕様策定段階
システムとして必要な機能や性能を数式や表レベルで検討し、回路方式及び目標性能を設定する。
- (2) 回路設計/検証段階
策定された仕様に基づき設計を行う。設計した回路はSPICE (Simulation Program with Integrated Circuit Emphasis) シミュレータを用いて検証を行い、機能及び目標性能どおりの動作をするか確認する。
- (3) マスクレイアウト設計/検証段階

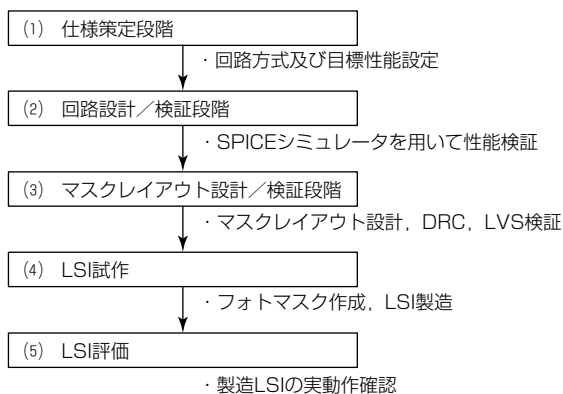


図3. アナログLSI開発フロー

(2)で設計した回路に対し、マスクレイアウト設計を行う。アナログ回路ではマスクレイアウトが性能に影響を及ぼすため、大部分が手作業で行われている。また規則どおりの幅や間隔でマスクレイアウト設計が行われているかの検証としてDRCや、回路図と設計したマスクレイアウトが完全に一致していることを確認するため、LVSなどの検証を行う。

(4) LSI試作段階

(3)で設計したマスクレイアウトでフォトマスクを作成し、LSIを製造する。

(5) LSI評価段階

製造したLSIが回路設計どおりの機能及び性能を達成しているか、実際に動作させて確認する。また回路設計/検証段階で確認できないノイズや回路間の干渉などを確認する。

弱反転領域動作での問題に対して開発の初期段階で対策を行うには、特に(2)回路設計/検証段階、(3)マスクレイアウト設計/検証段階で行うのが最も効果的である。これらの段階で適用した具体的な手法について次章に述べる。

4. 低消費電力アナログLSIの設計検証技術

4.1 回路設計/検証段階

弱反転領域で動作させた場合の問題点は、製造プロセスに対して特性が敏感に変化することと、検証モデルと実デバイスとの性能差が大きいことを2章で述べた。回路設計/検証段階でこれらの対策を行うのに用いた技術について述べる。

4.1.1 素子サイズ最適化設計技術

製造プロセスの微細化に伴い、チップ面積の低減には大きく貢献しているが、逆に製造ばらつきの影響を受けやすくなっている。このため、製造ばらつきの影響を受けにくい設計を心がける必要がある。弱反転領域の特性で大きな影響を受けるのは、図4の特性の傾きを示す係数である弱反転係数(S)である。この弱反転係数の製造ばらつきを低減する手法として最も効果的なのは、MOSFETのゲート長(L)の最適化である。図4に示すとおり、ゲート長を大

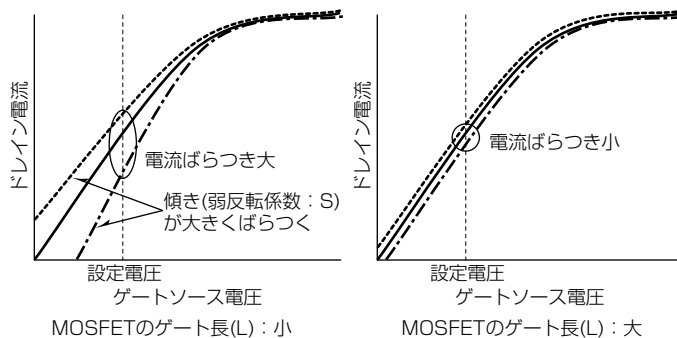


図4. ばらつき特性

きくすれば弱反転係数のばらつきは小さくなり、回路上の設定電圧に対するドレイン電流のばらつきを、低減することが可能である。設計時には、チップ面積の低減のため、ゲート長を小さくしがちだが、弱反転領域でのばらつきを検証し、最適なゲート長にする必要がある。

4.1.2 トリミング設計技術

弱反転領域を用いた回路の場合、半導体メーカーから提供される回路検証用モデルと実デバイスとの性能差が大きいため、検証どおりには動作せず、最悪の場合動作しない可能性がある。このため、動作しなかったことを想定した対策が必要である。この対策として有効なのは、トリミング回路を付加することである。トリミング回路は、レジスタなどを用いて外部からソフトウェア的に回路特性を調整したり、レーザを用いて物理的に回路特性を調整する方法がある。特に試作段階では、回路検証用モデルと実デバイスとの性能差を把握するため、トリミング幅は極力大きくソフトウェア的に調整できるようにしておく。

4.1.3 ばらつき解析検証技術

ばらつきには、使用する電源電圧や温度等の“環境ばらつき”とLSIを製造する際に発生する“製造ばらつき”があり、製造ばらつきはMOSFETの利得や抵抗値などの絶対的なばらつきである“チップ間ばらつき”と素子の位置や向きに起因する相対的なばらつきである“チップ内ばらつき”とがある。またばらつき幅は一般的に“チップ間ばらつき”は $\pm 10 \sim \pm 30\%$ 、“チップ内ばらつき”は $\pm 1 \sim \pm 3\%$ とされている。一般的な回路を設計する場合、“環境ばらつき”と“チップ間ばらつき”を考慮して、回路の特性がmax条件、min条件で問題ないか確認するコーナー解析を実施すれば、ある程度所望の特性を得ることができていた。しかし弱反転領域での動作は、少しの条件変化でも特性が大きく変動することから“チップ内ばらつき”についても考慮する必要がある。“チップ内ばらつき”の解析にはモンテカルロ解析が有効である。これは回路内の1個ずつの素子を統計分布に基づいてばらつかせ、解析するものである。ばらつき範囲や各素子の最大・最小値及び解析回数を設定でき、検証結果を分析することで、所望の特性を達成している。

4.1.4 感度解析検証技術

また弱反転領域を用いた回路では、論理回路のオン／オフ切り換え時など、回路の状態が遷移する際に発生するノイズ電流が、回路動作に大きな影響を与え、例えば動作停止などの不具合を引き起こす場合がある。

このような不具合を回避するため、回路の構成素子一つずつに対して、素子がばらついた場合に回路特性がどのくらい変動するのかという特性変動に対する素子の寄与度を可視化できる感度解析を実施し、寄与度の高い素子には、不具合を回避する施策を行うことが有効である

4.2 マスクレイアウト設計／検証段階

回路設計／検証段階では回路自体の特性について述べてきた。マスクレイアウト設計／検証段階では、LSIの物理構造によって発生する現象の把握や影響の低減を主眼としてリーク電流低減設計技術と可視化による寄生抽出最適化検証技術で対策する。

4.2.1 リーク電流低減設計技術

シリコン基板上のPN接合部に光が当たると、起電力が発生しリーク電流が生じる。このリーク電流量は弱反転領域で使用している回路電流と同レベルであり特性劣化や誤動作の懸念が生じる。マスクレイアウト設計時にはPN接合面を確認し、配線層で蔽(おお)い光を遮断する必要がある。これはレイアウト検証ツールであるDRCやLVSでは検出されないため、設計レビュー時に確実に確認することが重要である。

4.2.2 可視化による寄生抽出最適化検証技術

マスクレイアウトの配線による抵抗成分や寄生容量成分による影響も無視できない。特に回路間を接続している配線が長くなると、配線抵抗及び配線と対地間及び配線間の寄生容量が大きくなり、次段の回路を駆動できなくなったり、他信号に対して大きく遅延したりして誤動作する。抵抗、容量及びインダクタンス等の配線寄生素子を抽出するLPE(Layout Parasitic Extraction)を使用し、設計した回路と合わせて検証することも必要である。しかし、実回路でLPEを行う場合、回路規模に応じて抽出時間や、抽出結果を設計した回路と合わせた検証時間が増大するため、回路規模によっては現実的な時間で検証できない問題が発生する。

このため、重要な配線を選択しその部分だけLPE抽出を行い検証時間を短縮する手法が用いられる。重要な配線を検出するためプログラムを作成し、配線長が長い配線や隣接配線との間隔が短い配線をマスクレイアウトツール上でハイライト表示し可視化するなどの手段も有効である。

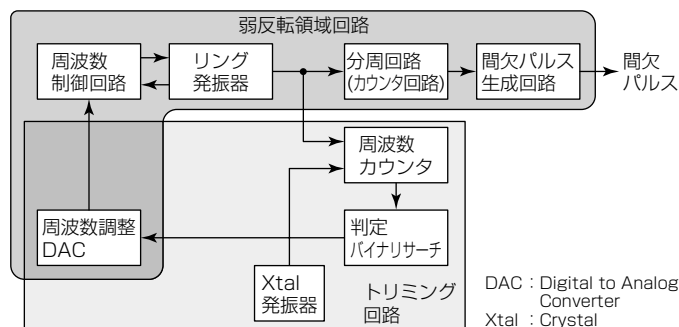


図5. ブロック図



図6. 出力波形

5. 間欠動作制御回路

4章の設計検証技術のすべてを適用し、無線通信向けの間欠動作制御回路を試作した。間欠動作制御回路はアナログLSIを間欠動作させるための制御信号を生成している回路である。試作した回路のブロック図を図5に示す。また、試作品における間欠動作の出力波形を図6に示す。回路内をすべて弱反転領域で動作させた結果、間欠動作制御回路を消費電力1 μ W以下で実現することができた。この回路を用いてアナログLSI全体を間欠動作させることで、アナログLSI全体の消費電力を数十 μ W以下で実現し、1つのボタン電池で2年間の通信動作を可能とした。

6. むすび

これらの設計検証技術を用いることで、所望の低消費電力アナログLSIを実現できた。本稿では低消費電力化に対する設計検証技術について述べた。この技術は低消費電力化に限らず、様々な用途に展開可能であり、今後もこの技術を活用して開発の初期段階における製品品質の作りこみを行う。