

高周波デバイスの高電界・高湿度環境下における劣化メカニズムと信頼性改善

日坂隆行*
佐々木 肇*
相原育貴**

Degradation Mechanism and Improvement of Reliability of High Frequency Devices Under High Electric Field and High Humidity Condition

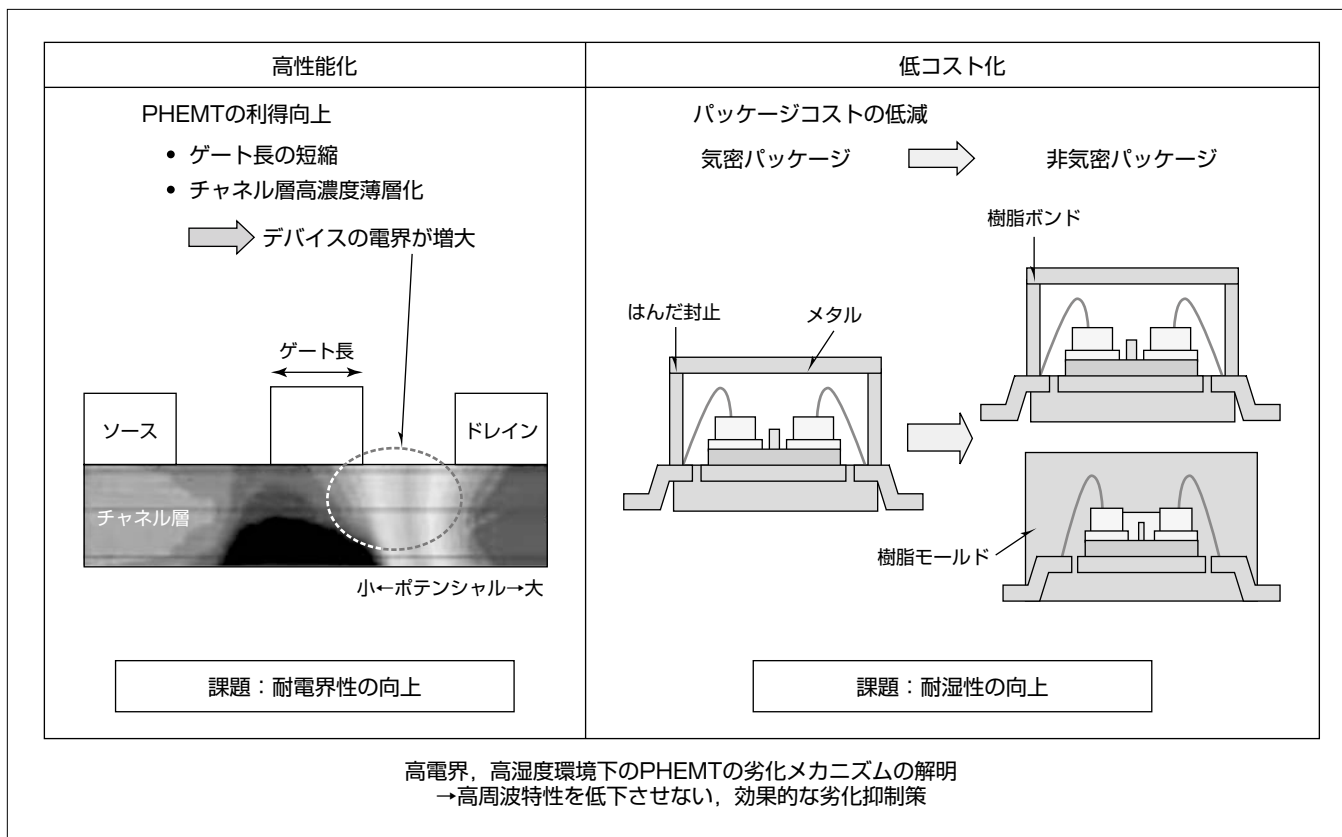
Takayuki Hisaka, Hajime Sasaki, Yasuki Aihara

要 旨

GaAs系AlGaAs/InGaAs擬似格子整合型高移動度トランジスタ(Pseudomorphic High Electron Mobility Transistor: PHEMT)は、優れた高周波特性から衛星放送受信用低雑音素子、携帯電話用アンプ等に用いられ、マイクロ波高度情報通信の進展を支えてきた。近年、車載衝突防止レーダなどに代表される準ミリ波～ミリ波帯デバイスの需要が高まり、PHEMTの更なる高性能化、低コスト化が強く要求されている。PHEMTの高性能化、低コスト化のためには、下図に示すように、PHEMT素子の耐電界性、耐湿性の向上が重要な課題となっている。これまでPHEMTの電界・湿度起因の劣化メカニズムは十分解明されておらず、また耐湿性確保の手段として一般的に用いられる厚い保護膜は高周波特性を悪化させる問題があった。このため劣化メカニズムの解明とそれに基づく、高周波特

性を低下させない効果的な対策が不可欠である。

PHEMTの劣化メカニズムを解明するために、RF(Radio Frequency)大信号動作試験時の劣化素子の電気特性の詳細な評価、断面TEM-EDX(Transmission Electron Microscope-Energy Dispersive X-ray analysis)分析による劣化部位の直接観察、デバイスシミュレーションによる解析を行った。その結果、PHEMTの高電界・高湿度による劣化は、ゲートドレイン間の高電界領域で水分又は酸素と半導体表面との電気化学的な腐食反応に起因することを明らかにした。そのメカニズムに基づき独自に開発した表面処理によって、大幅に劣化を抑制し、その結果、非気密パッケージを適用できるに十分な信頼性と高周波特性を両立させたPHEMTデバイスの開発に成功した。



AlGaAs/InGaAs PHEMTの課題

AlGaAs/InGaAs PHEMTは、高性能化、低価格化が強く要求されている。高性能化のためゲート長の短縮、チャンネル層薄層化が不可欠であるが、素子の微細化によって電界が増大し電界起因の素子劣化が生じる問題がある。また低コスト化のために、樹脂等を用いた廉価な非気密パッケージの適用が最も有効であるが、デバイス自体で耐湿性を確保することが不可欠となる。これらのことからPHEMTの高性能化、低コスト化のために、素子の耐電界性、耐湿性の向上が重要な課題である。

1. ま え が き

近年、衛星通信や車載レーダに代表される準ミリ波～ミリ波帯MMIC (Monolithic Microwave Integrated Circuit) の需要が高まっている。これらのデバイスは、高い高周波性能(低雑音, 高利得, 高出力)とともに、車載、衛星搭載に要求される高い信頼性の確保が不可欠になっている。高出力用トランジスタとしてGaN系HEMT, 高周波低雑音用トランジスタとしてInP系HEMTの開発が進められているが、民生用アプリケーションに広く用いられるまでに、課題が多く残されている。一方、GaAs系PHEMTはすでに衛星放送受信用低雑音素子、携帯電話用アンプ等で量産実績があり、高い量産性、信頼性を確保している。ミリ波用途に適用を拡大させるためには、さらなる高周波特性の向上が必要であり、そのためには、ゲート長の短縮、チャネル層の高濃度薄層化による遮断周波数の向上が不可欠である。しかし素子の微細化を進めていくことで電界ストレスが増大していき、電界起因の素子劣化を引き起こす。素子の微細化による高性能化を図るために、電界起因の劣化を抑制することが重要な課題となっている。

またGaAsデバイスの汎用化が進むにつれ、低コスト化の要求も年々高まっている。GaAsデバイスは従来より高価なシームシールを用いた気密パッケージが採用されており、パッケージコストが占める割合が高い。低コスト化のために、樹脂等を用いた非気密パッケージへの移行が進められているが、そのためにはチップ自体で耐湿性を確保することが必要になる。耐湿性を確保する手段として、絶縁保護膜の厚膜化や樹脂膜のコーティングが行われているが、これらの対策は寄生容量の増大を伴うため、高周波特性を悪化させるという問題を抱えている。すなわち、デバイスの低コスト化のためには、高周波性能を維持しつつ耐湿性を向上させることが課題になっている。

本稿では、高電界・高湿度環境下におけるPHEMTの劣化メカニズムを解明し、そのメカニズムに基づき独自に開発した表面処理による劣化抑制を検討した。

2. PHEMTの構造と評価方法

図1にPHEMTの断面構造を示す。ゲート長0.2～0.25 μm のAlGaAs/InGaAsヘテロ構造PHEMTである。保護膜はプラズマCVD (Chemical Vapor Deposition) によるSiNxである。

PHEMTの信頼性試験として、RF通電試験、耐湿性試験、DCストレス試験を実施した。

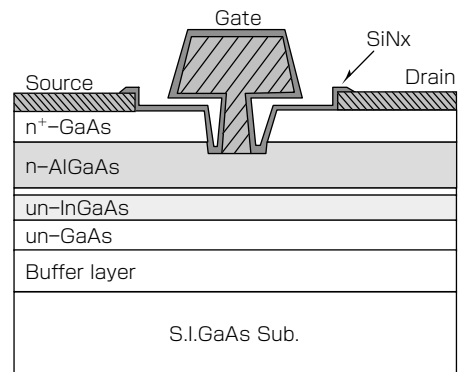
RF通電試験は、実際の高周波大信号動作時とほぼ同じ電気ストレスの印加、及び高周波特性のモニタを行うことで、実動作に近い状態での素子の劣化を確認した。サンプルは、18GHz 1段アンプを用い気密パッケージ内にN₂封

止した。耐湿性試験は、湿度による劣化を加速させるために、高温高湿度環境下でチップ表面が高湿環境に直接曝(さら)されるように保存しバイアスを印加した。

3. 高電界・高湿度によるPHEMTの劣化

RF通電時の出力電力(P_{out})の経時変化を図2、図3に示す。周波数(f)は18GHz, 入力電力(P_{in})は初期に2 dBコンプレッション($P_{2\text{dB}}$)に調整後一定とした。 P_{out} は徐々に低下し、温度が高い程また電圧が高いほど、早く劣化する。

RF通電前後の入出力波形の変化を図4に、DC特性(V_d - I_d 波形)の変化を図5に示す。入出力波形は、線形領域ではほとんど変化がないが、飽和領域の P_{out} が低下している。またDC波形は、knee電圧付近、 $V_g > 0\text{V}$ の領域でドレイン電流(I_d)が減少している。この I_d の減少が P_{out} の低下の要因であり、以



S.I. : Semi-Insulating

図1. AlGaAs/InGaAs PHEMTの断面構造

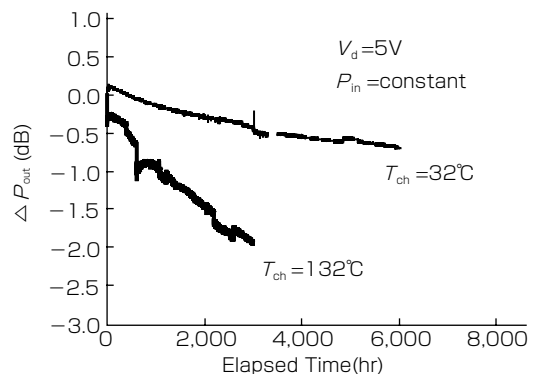


図2. RF通電時の P_{out} 経時変化の温度依存性.

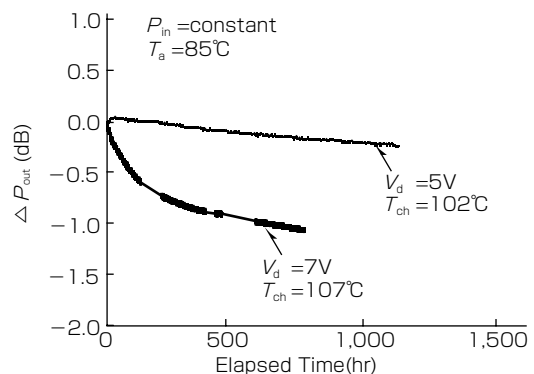


図3. RF通電時の P_{out} 経時変化の電圧依存性

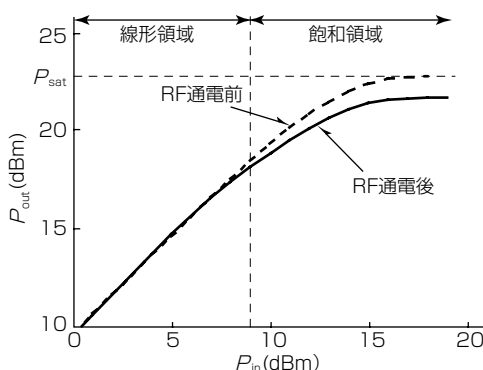


図4. RF通電前後のサンプルの入出力特性

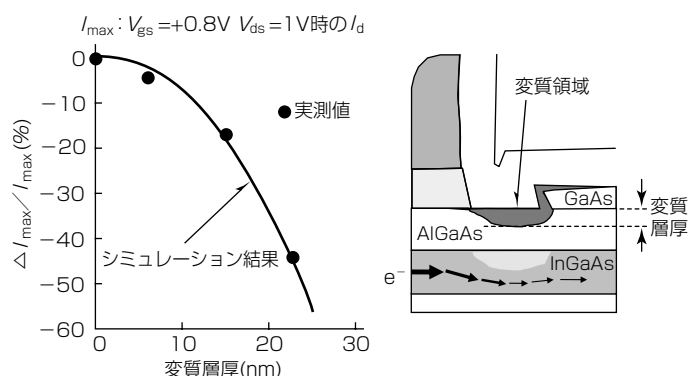


図7. 変質層厚と $I_{\max}$ 変化率の関係

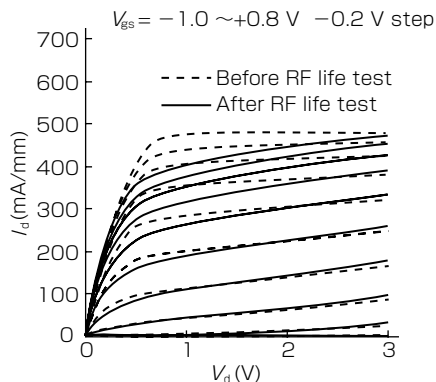


図5. RF通電前後のサンプルのDC波形

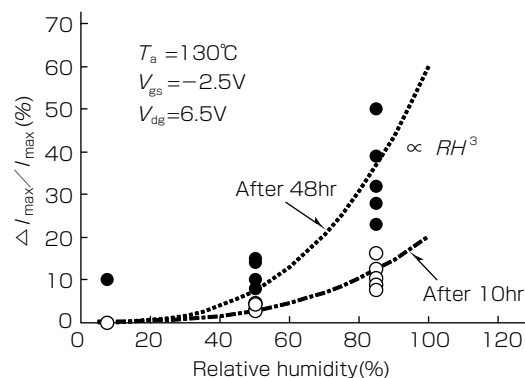


図8. $I_{\max}$ 変化量の相対湿度依存性

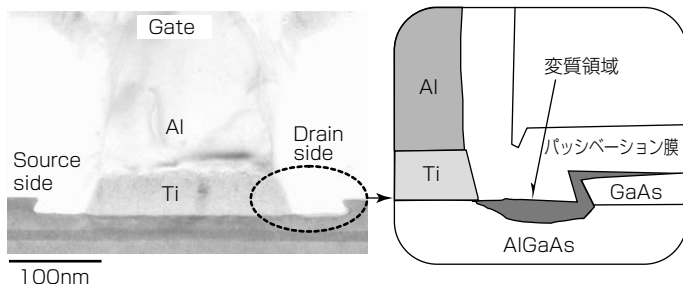


図6. RF通電試験($T_{\text{ch}}=175^{\circ}\text{C}$, $P_{\text{in}}=P_{\text{dB}}$, $V_{\text{d}}=5\text{V}$, 1,000hr)によって劣化したサンプルの断面TEM像

降 $V_{\text{g}}=0.8\text{V}$, $V_{\text{d}}=1\text{V}$ の I_{d} を $I_{\max}$ と定義し、劣化の指標とする。

劣化したサンプルの断面TEM(Transmission Electron Microscope)像を図6に示す。ゲート近傍のドレイン側リセス表面に10nm前後の変質層が見られる。変質層のEDX元素分析の結果、Al, Ga, Asの構成元素のほか、多量の酸素が検出された。これから変質層は、AlGaAs及びGaAsの酸化物と考えられる。図7に変質層厚と $I_{\max}$ の減少量との関係を示す。プロットは実測値を示しており、変質層が厚くなるほど、 $I_{\max}$ が減少している。変質層が厚くなることで、チャンネル層の電子が減少し、その結果、 $I_{\max}$ が減少したと考えられる。デバイス二次元シミュレーションによって、表面変質層を絶縁層と仮定してドレイン電流を計算したところ実測値と非常によく一致した。表面変質層は、ドレイン側の高電界領域に形成され、また多量の酸素を含むことから、電界と水分又は酸素によって半導体層が腐食

反応を起こしたと推定される。水分の影響を確認するため、高湿度環境下でDCバイアス試験を実施し、 $I_{\max}$ の劣化量と相対湿度の関係を調べた結果を図8に示す。湿度が高い程、 $I_{\max}$ 劣化量が増大する。また劣化サンプルの断面TEM分析から表面劣化が増大していることを確認している。

これらの結果から、電界と湿度によるPHEMTの劣化は、ゲート-ドレイン間の高電界と水分によって半導体表面が腐食反応を起こし表面劣化層を形成、これがチャンネル層を狭窄(きょうさく)しチャンネル内電子濃度が減少することによって $I_{\max}$ が減少し、その結果 P_{out} が低下したと考えられる。図9に腐食反応による表面劣化の推定モデルを示す。ゲート電極にマイナス電圧、ドレイン電極にプラス電圧が印加されている。また外部から水分が絶縁膜中を浸入し半導体表面に到達している。水分と電界によって半導体表面でアノード反応が生じGaAsがイオン化する。これがゲート電極でカソード反応によって発生したOHイオンと結合することで、Ga, Asの酸化物が形成されると考えられる。これがTEM分析で観察された表面変質層であると考えられる。

4. 表面処理による劣化の抑制

前章でPHEMTの劣化は、ドレイン側リセス表面で生じる電気化学的な腐食反応に起因することを示した。このメカニズムに基づき、表面処理によって半導体表面を不活性化し腐食反応を抑制することを検討した。表面処理は、 SiN_x 膜の形成前に、表1のA, Bの2種類の表面処理を実

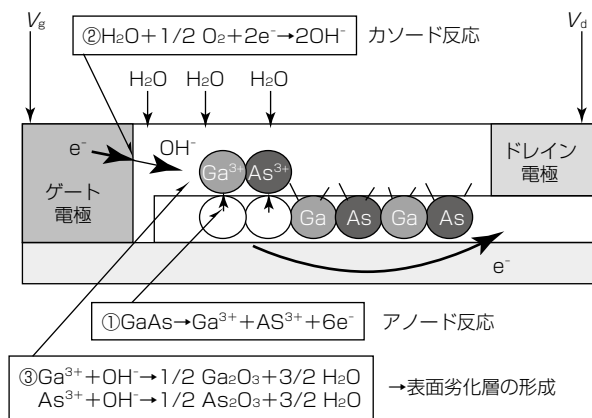


図9. PHEMTの表面劣化の推定メカニズム

表1. 表面処理とGaAs表面の酸素量

	GaAs表面の酸素量 (O/Ga強度比) (arb.units)
Ref(表面処理なし)	6.17
表面処理A(還元雰囲気中高温ベーク)	4.26
表面処理B(溶剤洗浄処理)	1.92

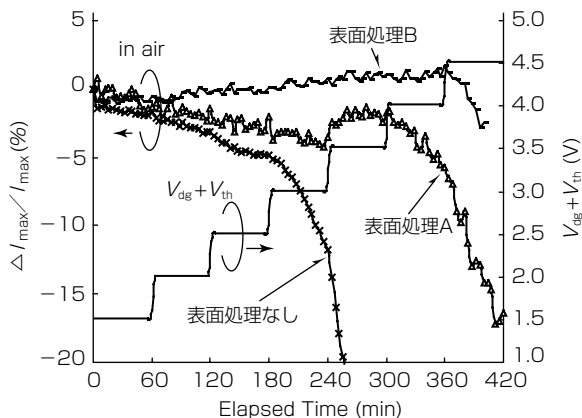


図10. 表面処理を適用したPHEMTのDCステップストレス試験時の $I_{d,max}$ の変化

施した。表面処理によってGaAs表面の酸素の量が低減し、処理Bは処理Aと比べ効果が高く約1/3まで低減している。

図10に表面処理A, Bを適用したPHEMTのDCステップストレス試験時の $I_{d,max}$ の変化を示す。 $I_d = 400\text{mA/mm}$ 一定に維持し、 $V_{dg} + V_{th}$ を0.5Vステップで上昇させた。 $I_{d,max}$ の減少は、処理B、処理Aの順で抑制されている。抑制の効果は、表面処理による酸素の減少量(表1)とよく対応している。さらにベアウェーハを用いた詳細なXPS(X-ray Photoelectron Spectroscopy)分析によってAs酸化物が腐食反応に関与していることがわかり⁽¹⁾、As酸化物の除去が腐食反応抑制に効果的であることが分かった。

表面処理Bを車載レーダ用38/77GHz帯の送信用アンプMMICに適用した。図11にチップ写真を示す。周波数を38GHzから77GHzに変換する周波数通倍器と4段の77GHzのアンプで構成されており、それぞれにゲート長0.2 μm のAlGaAs/InGaAs PHEMTを用いている。図12に変換利得(G_c)の P_{out} 依存性を示す。一般に広く適用されている樹

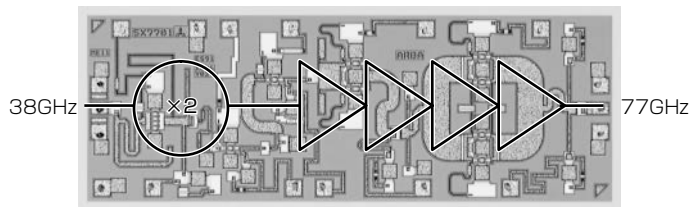


図11. 38/77GHz帯の送信用アンプMMICのチップ写真

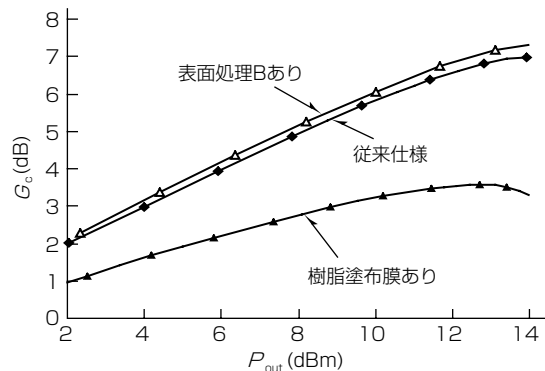


図12. 38/77GHz送信アンプの変換利得(G_c)の P_{out} 依存性

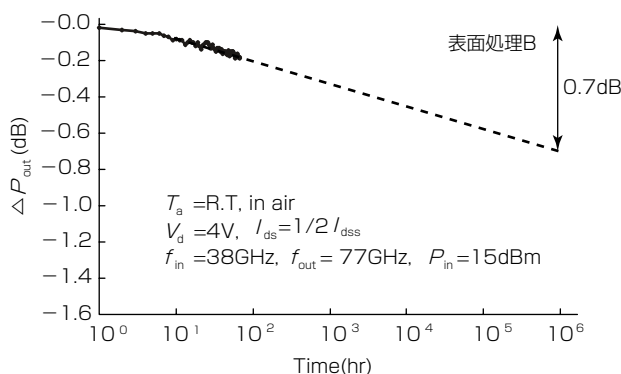


図13. 大気中のRF通電試験時の P_{out} 変化

脂膜を塗布した場合 G_c が3.5dB低下するが、表面処理B適用チップは特性低下が見られない。図13にチップ表面を大気に曝したRF動作試験(@ $V_d = 4\text{V}$, $f = 77\text{GHz}$, R.T)時の P_{out} 変化を示す。外挿した劣化量は 10^6hr で0.7dBと小さく非気密パッケージを適用できるに十分な寿命が得られた。

5. む す び

PHEMTの電界・湿度による劣化が、半導体表面の電気化学的な腐食反応に起因することを明らかにした。独自に開発した表面処理技術によって、高周波特性を低下させることなく耐湿性を大幅に向上させ、高周波特性と低コストを両立したデバイスの製品化に成功した。

参 考 文 献

- (1) Hisaka, T., et al.: Corrosion-induced degradation of GaAs PHEMTs under operation in high humidity conditions, Microelectronics Reliability, **49**, 1515~1519 (2009)