

# アナログASIC設計フロントローディング手法

武内良祐\*  
下沢充弘\*\*  
岡村茂一\*\*\*

Promotion of Development Efficiency for Analog ASIC Design

Ryosuke Takeuchi, Mitsuhiro Shimosawa, Shigekazu Okamura

## 要旨

製品仕様に特化して開発する半導体デバイスであるASIC(Application Specific IC)では近年、市場での差別化のため高性能な無線機能や高効率電源など要求される機能が増加し、仕様も複雑となっている。特に車載用ASICでは電子キーシステムやETC(Electronic Toll Collection)など無線応用の製品があり、その無線機能を実現するアナログASICを短期間で開発することが求められている。

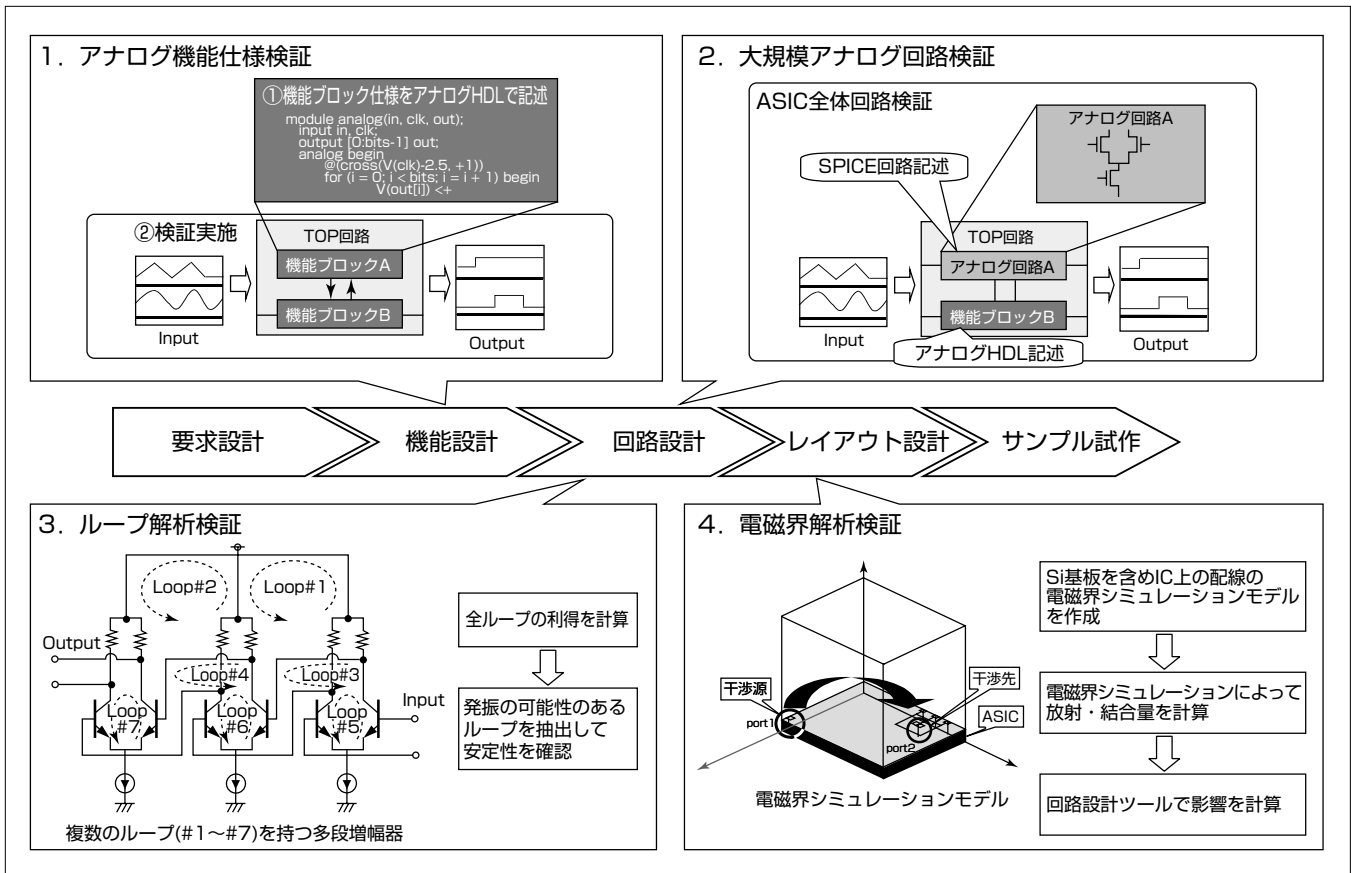
これまで半導体の設計検証技術は、デジタル回路設計分野で著しく発展してきた。アナログ回路設計分野では、ノイズや干渉などの物理現象が存在しデジタル回路のように検証モデルが抽象化できず、デジタルASIC開発では実施可能なASIC全体の検証が実施できないなどの問題がある。さらにアナログASICでは実デバイスとモデルの差異があ

るため、設計→試作サンプル製造→評価を繰り返して開発を進める手法が一般的である。

本稿では、この状況を改善し短期間かつ効率的にアナログASICを開発することを目的に、ASICのサンプル試作前に設計品質を向上させる取組みとして実施しているフロントローディング手法について述べる。

具体的な取組みとしては次のとおりである。

- (1) 機能記述言語を用いたアナログ機能仕様の検証
- (2) 機能記述言語と回路レベルの混在シミュレーションによる大規模アナログ回路の検証
- (3) ループ解析による発振防止手法
- (4) 電磁界解析による回路間干渉の防止手法



## アナログASIC開発設計フロントローディングのねらいと手法

設計フロントローディングによるアナログASIC開発改善のねらいと、各工程の改善手法を示している。各工程でこれらの手法を適用することで、開発上流段階での工数は増加するが、ASIC製造後の不具合判明を大幅に削減できるため、ASICの製造費用や試験工数を削減でき、開発プロセス全体での開発費用・期間は減少する。

### 1. ま え が き

近年、無線技術を応用したETC/DSRC(Dedicated Short Range Communication)や電子キーシステムの車載用製品に関してアナログASICは市場での製品差別化の重要なキーデバイスになっており、その開発期間の短縮が求められている。

アナログASICは、ノイズや干渉、製造ばらつきなど、様々な要因があるため、サンプル試作を繰り返して機能や性能を実現する開発手法が中心で、設計フロントローディングの取組みはデジタルASICほど進んでいない。逆にアナログASICの要求仕様は、低消費電力化・多電源化・低ノイズ化・高耐圧化など複雑度を増しており、試作サンプル製造開始までにいかに問題点を検出して、試作回数を削減し開発期間を短縮するかが重要になっている。

本稿では、アナログASIC開発で当社が適用したフロントローディングの手法について述べる。

### 2. アナログ機能仕様検証

これまでの開発では、アナログ回路の機能仕様について自然言語で記述しており、その動作を正確にブロック設計者間で共有できず、解釈の齟齬(そご)が発生し機能不具合の原因になっていた。

アナログ仕様を厳密に定義でき、シミュレーション可能な言語で記述することで不具合の早期検出が可能である。現在、verilog-AMS<sup>(注1)</sup>やVHDL-AMS<sup>(注2)</sup>などのアナログHDL(Hardware Description Language)が提案されている。

その記述形式は、出力を入力値から関数で定義する抽象度の高いレベルから、回路構成を記述した抽象度の低いレベルまで幅広い記述が可能であり、どのような効果をねらうかでその記述のレベルも選択する必要がある。図1に示す各ステップでの記述レベルと改善される効果について説明する。

#### (1) システム方式設計

ASIC化の範囲を規定せず、機能を伝達関数など数式、表のレベルで記載し、方式の妥当性を検証

#### (2) ASIC機能設計/ブロック機能設計

ASIC化の範囲を規定し、周辺回路とのインタフェース

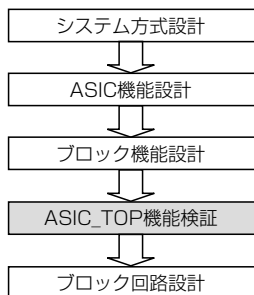


図1. ASIC機能検証フロー

を時間と電圧で規定。各制御信号を動作レベルで記述し、インタフェース機能仕様を明確化

#### (3) ASIC\_TOP機能検証

(2)で設計したASICの各ブロックのアナログHDLを接続したASIC\_TOP(ASICの最上階層)の回路図を用いて各ブロックの制御仕様(電源投入からのシーケンス、各動作モードの遷移など)をシミュレーションによって確認

#### (4) ブロック回路設計

基本的なアナログ回路(オペアンプなど)レベルの記述を行い、(3)の検証環境を活用してブロックの設計の周辺ブロックとの整合性を検証

図2にASIC\_TOPアナログ機能検証を示す。このASIC\_TOP機能検証で作成したASICの周辺やASICの各アナログHDL記述を、その後のブロック回路設計の検証のテストベンチとして利用することで検証が容易に実施できる効果がある。これによってブロック設計作業は、アナログHDLで定義されたインタフェース電圧範囲、動作タイミングなどを確認でき不具合の混入を抑止することができる。

- (注1) アナログ機能を記述できる言語。IEEE1076.1として標準化されている。
- (注2) 同じくアナログ機能を記述できる言語。IEEE1364として標準化されている。

### 3. 大規模アナログ回路検証手法

回路設計・検証フェーズでは、SPICE(Simulation Program with Integrated Circuit Emphasis)<sup>(注3)</sup>シミュレータが使用されてきたが、シミュレーションのアルゴリズムが回路方程式を解く方式であるため、チップレベルの大規模な検証は数週間程度の実行時間が必要で十分実施できていなかった。これによって機能レベルの不具合が評価工程で判明するケースが少なくなかった。

2章で述べたASIC\_TOPレベルの接続図と各ブロックのアナログHDLの検証環境で、詳細設計を実施した回路をSPICEシミュレーションのモデルとして、その他のブロックをアナログHDLのままSPICEシミュレーションとアナログHDLの混在シミュレーションを実施することで、アナログ回路全体をSPICEシミュレーションで検証する場

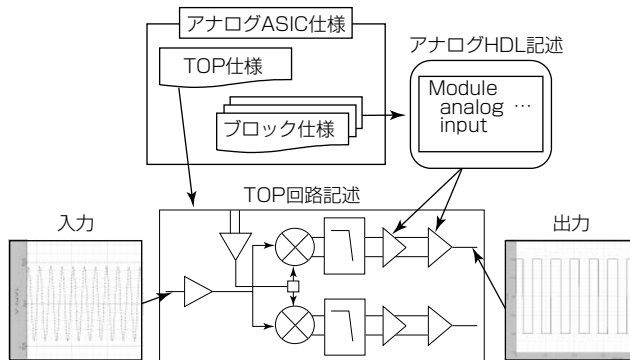


図2. ASIC\_TOPアナログ機能検証

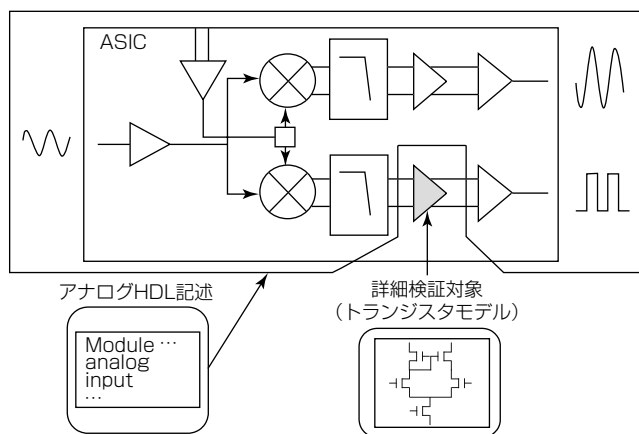


図3. 大規模アナログ回路の検証手法

合と比べて、50~1,000倍高速に検証が可能となった。シミュレーション速度の高速化は、SPICEネットとアナログHDLの割合に依存するため、検証項目に応じて必要な部分だけSPICEモデルにすることで大規模なアナログ回路の検証が高速に実施できる(図3)。

別の大規模検証手段としてSPICEシミュレータも高速化のアルゴリズムが開発されており、検証できる回路規模は増加しているが、SPICEシミュレーションの場合、すべての詳細設計が完了しないと全体の検証が開始できない。この手法では、設計完了部分があればTOPからの検証が開始できるため、フロントローディング手法として有効である。

無線用アナログASIC開発に適用した結果、従来400時間のSPICEシミュレーション時間を1時間に短縮することができ、機能的な不具合をサンプル試作前に検出する成果を得ることができた。

(注3) アナログ回路検証に広く利用されている市販シミュレータである。

#### 4. ループ解析発振防止検証手法

発振とは、回路に入力信号がないにもかかわらず、外部に不要信号が出力される状態である。発振が生じる条件は、回路から出力された出力信号が入力端子に戻る帰還経路(ループ)が形成され、そのループの利得 $G_L$ が1以上、かつ、通過位相 $\phi_L$ が、360度の整数倍となることである。アナログASIC、特に高周波ASICでは高利得の増幅器が多段接続され、かつ、周波数が高いため、電源の配線などを介して容易にループが形成される。また高周波では、チップ上の接地端子と外部の地導体を接続するワイヤが持つインピーダンスが無視できないため、接地端子の電位がゼロとならず、ループが形成される場合もある。一方、チップサイズの小型化には、各回路の電源端子や接地端子の共通化が不可欠であることから、端子共通化時の発振の有無、すなわち安定性を予測する必要がある。

ループ解析は、ループにおける $G_L$ と $\phi_L$ とを計算して発

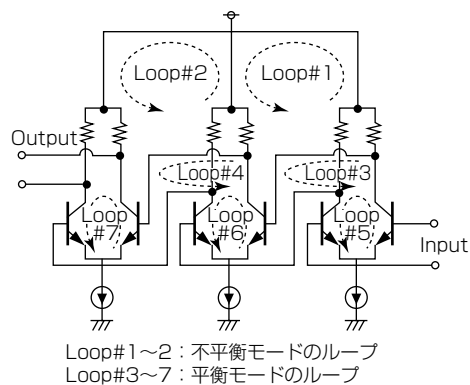


図4. 従属接続形差動増幅器の構成と考慮すべきループ

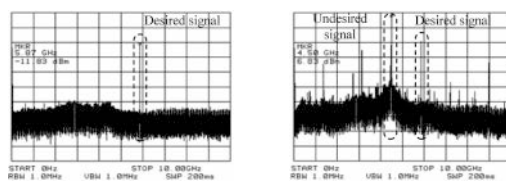


図5. 5 GHz帯多段増幅器ICの出力スペクトラムの測定結果  
(a) 発振防止手法の適用 (b) 発振防止手法の非適用

振の可能性を予測する手法であり、不平衡の入出力端子を持つ高周波増幅器についてはすでに確立している<sup>(1)</sup>。さらにこれを差動増幅回路に拡張することで<sup>(2)</sup>、ASIC内の多段の差動高周波増幅器でも発振を抑制する設計が可能となる。ただし、高周波回路を含むアナログ回路では信号経路を構成する配線によって通過位相が変化する。したがって配線が確定する前の回路設計の段階では $G_L$ のみに着目してループ解析を行い、レイアウト設計後に、 $\phi_L$ も考慮したループ解析を行う。なお、回路設計の段階で $G_L \ll 1$ を満たせば、一般にレイアウト設計後もこの条件を満足するので、再度のループ解析は不要となる場合が多い。またレイアウト後のループ解析でも、まず $G_L$ のみ計算し、 $G_L$ が発振条件を満たす場合は $\phi_L$ も計算すればよい。ただし、高周波回路では $\phi_L$ の計算で十分な精度が得られない場合もあるので、 $G_L < 1$ となるようにするのが妥当である。

図4に、従属接続形差動増幅器の構成と考慮すべきループを示す。いずれのループについても安定化の手法としては、各増幅器の電源端子及び接地端子の分離や、安定化抵抗 $R$ の追加があげられる。ただし、端子の分離はチップ面積の増加、 $R$ の追加は利得の低下となるので、上記ループ解析結果をもとに適切な手法をとる。

図5はこの手法を適用して設計した5 GHz帯多段増幅器ASICの出力スペクトラムの測定結果(図5(a))であり、比較のために適用せずに設計したASICの出力スペクトラム(図5(b))を合わせて示す<sup>(2)</sup>。

この手法の適用によって発振が抑制され、有効性を確認できる。

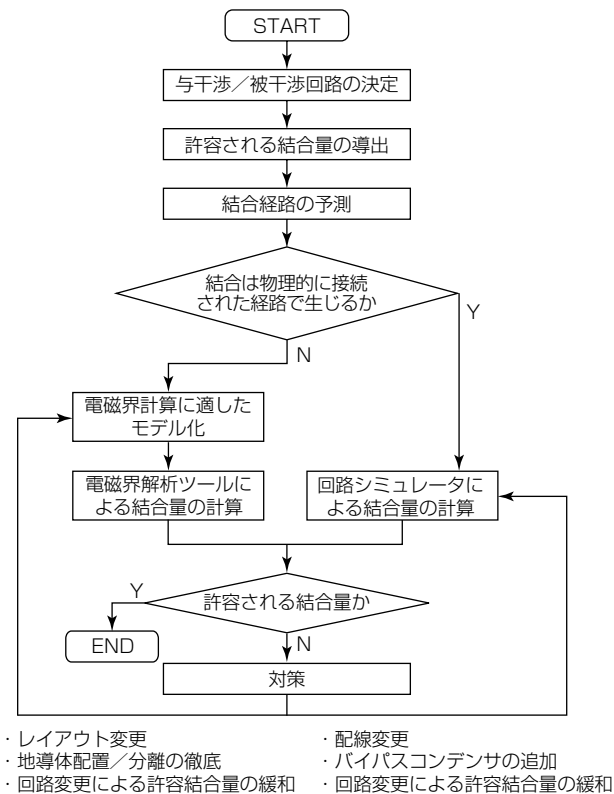


図 6. 電磁界解析を含む回路間結合の検証フロー

### 5. 電磁解析レイアウト検証

アナログASIC、特に高周波アナログASICでは、回路間の十分なアイソレーションが得られず、信号がほかの回路に結合して、特性が劣化する場合があります。結合の経路として、電源配線など想定外の物理的な接続のほか、配線の有無に関係しない電磁界結合がある。これについては、レイアウトをもとに電磁界解析を行って、結合を抑制する必要があります。ただし、あらかじめ許容できる結合量を明確にしたうえで、計算量を削減するためにレイアウトを電磁界解析に適したモデルに置き換えることで、効率的なレイアウト検証が可能となる。

図 6 に、配線による想定外の結合を含めたレイアウト検証のフローを示す。また、図 7、図 8 に5.8GHz帯のETC 車載器用高周波アナログASICで、送信回路と局部発振回路間の結合に電磁界解析を適用した例を示す<sup>(3)</sup>。

図 7 はチップ上の回路間の結合を計算する電磁界シミュレーションモデル、図 8 (a) は結合を抑制しない場合の送信スペクトラム、図 8 (b) は抑制した場合の送信スペクトラムである。

図 8 (a) では結合によってスペクトラムのアンバランスが生じている。これに対し図 8 (b) では、電磁界解析で求めた結合量とスペクトラムのアンバランス量の関係を計算して、

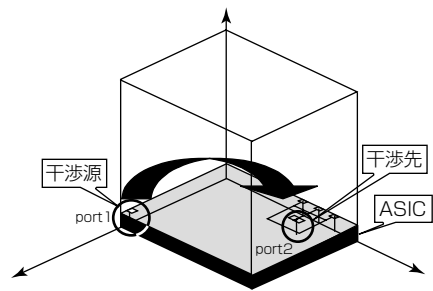


図 7. 三次元電磁界シミュレーションモデル

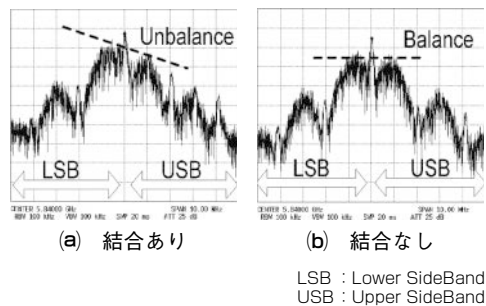


図 8. 結合の有無による送信スペクトラムの違い

改善すべき結合量を導出したうえで、(1)送信回路と局部発振回路をIC上の対角位置に配置する、(2)回路間へ地導体を配置する、(3)チップ厚さを削減するなどの対策をとった結果、回路間の結合量を低減して、アンバランスのない良好なスペクトラムを得た。

### 6. むすび

近年製品の重要なキーデバイスになっているアナログASICの設計フロントローディングについて4種の手法について述べた。今後、さらにフロントローディング手法を加えてアナログASICの試作回数を削減し、製品の開発期間短縮を図る予定である。

### 参考文献

- (1) Takagi, T., et.al.: Analysis of high power amplifier instability due to fo/2 loop oscillation, IEICE Trans. on Electron., **E78-C**, 936~943 (1995)
- (2) Shinjyo, S., et.al.: ASK and Pi/4-QPSK Dual Mode SiGe-MMIC Transceiver for 5.8GHz DSRC Terminals Having Stabilized Amplifier Chain, IEEE MTT-S Symp., 1071~1074 (2008)
- (3) 堤 恒次, ほか: SiシステムチップにおけるPA-VCO間干渉の検討, 電子情報通信学会技術研究報告 MW2005-182 (2006)