

高周波信号製品の耐ノイズ評価・設計技術

内田 雄*
宮崎千春**
三須幸一郎**

Immunity Evaluation and Design Technology for High Frequency Signal Products

Takeshi Uchida, Chiharu Miyazaki, Koichiro Misu

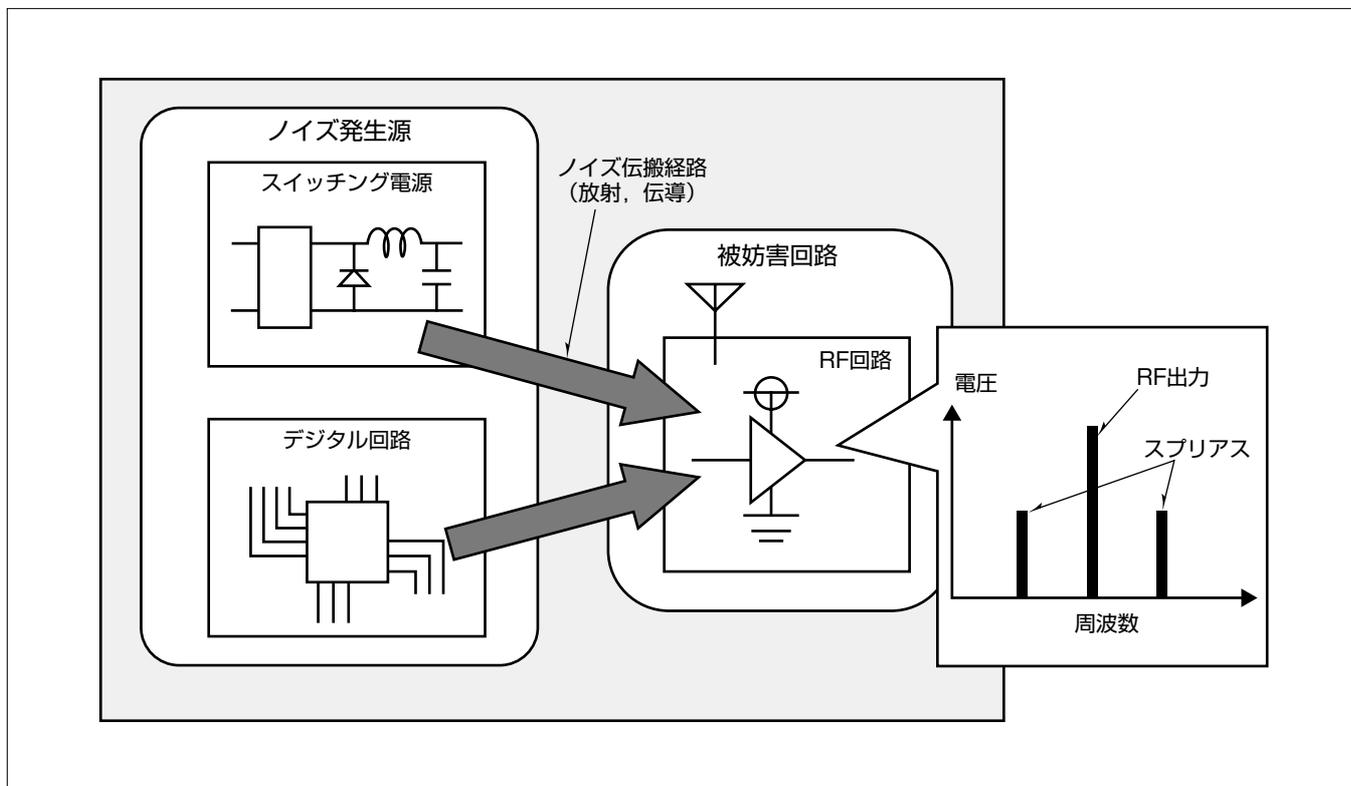
要 旨

通信機能を持つ情報通信装置などの高周波信号製品では、内部回路やインタフェースの高速化が進み、デジタル回路の基本周波数は数百MHzから1GHzを超えることが多くなっている。また、基本周波数が低い場合であっても、半導体プロセスの微細化に伴って、信号の立ち上がり時間が短くなっているため、信号の周波数成分自体は、基本周波数の数百倍を超える成分を持っている。このため、これらのデジタル回路は、GHz帯域まで周波数成分を持つことが少なくない。また、機器内部に実装されたスイッチング電源は、スイッチング周波数自体は数百kHzから数MHzと低いものの、その高調波がRF(Radio Frequency)回路に混入することで通信帯域内にスプリアス^(注1)を発生させる原因と

(注1) 無線通信などで目的の周波数以外の不要な周波数の信号やノイズのことをいう。

なる。携帯型無線端末を代表とする高周波信号製品には、小型・軽量化が求められており、回路部品の高密度実装が必要である。このため、RF回路とデジタル回路及びスイッチング電源が近接して実装されることによって、デジタル回路のクロック信号周波数の高調波成分や、スイッチング電源のスイッチング周波数の高調波成分がRF回路に干渉し、RF回路の性能劣化を引き起こす内部電磁干渉問題が懸念される。

本稿では、この内部電磁干渉を解決するための高周波信号製品の耐ノイズ評価・設計技術の重要な適用例として、RF回路の耐ノイズ評価・設計技術に関する検討例について述べ、さらに、有線通信機器を対象とした高速差動線路の耐ノイズ評価・設計技術について述べる。



内部電磁干渉によるRF回路の性能劣化

デジタル回路の基本周波数は数百MHzから1GHzを超えることが多くなっている。また、スイッチング電源は、スイッチング周波数自体は数百kHzから数MHzと低いものの、RF回路内で通信帯域内にスプリアスを発生させる一因となる。RF回路とデジタル回路及びスイッチング電源が近接して実装されることによって、デジタル回路のクロック信号周波数の高調波成分や、スイッチング電源のスイッチング周波数の高調波成分がRF回路に干渉し、RF回路の性能劣化を引き起こす内部電磁干渉問題が懸念される。

1. ま え が き

通信機能を持つ情報通信装置などを制御する回路では、クロック信号の動作周波数が高速度化しており、その基本周波数は数百MHzから1GHzを超えることが多くなっている。また、基本周波数が低い場合であっても、半導体プロセスの微細化に伴って、信号の立上り／立下り時間が短くなっているため、基本周波数の数百倍を超える高調波の電力は増加している。このため、これらのデジタル回路は、GHz帯域まで周波数成分を持つことが少なくない。また、情報通信装置などの高周波信号製品では、一般にスイッチング電源が使われることが多い。このスイッチング周波数自体は、数百kHzから数MHzと低いものの、その高調波がRF回路に混入することで通信帯域内のスプリアスなどを発生させる原因となる。一方、携帯型無線端末を代表とする小型・軽量化が求められる製品の場合、高密度実装が必要とされているため、RF回路とデジタル回路やスイッチング電源が近接して実装されることが多い。その結果、スイッチング電源のスイッチング周波数の高調波成分やデジタル回路のクロック信号周波数の高調波成分がRF回路に電磁干渉し、通信機能障害を引き起こす内部電磁干渉問題が懸念される。例えば、先に述べたスイッチング周波数の高調波成分が電源配線を伝導して、RF回路の電源端子に電磁干渉することで、出力信号に不要なスプリアスを発生する送信スプリアス問題や、受信回路に干渉して発生させる受信感度劣化などがある。一方、有線通信では、イーサネット^(注2)ケーブルに代表される高速差動信号を用いた通信が様々な環境で使用されている。差動信号による信号伝送は、不要放射が少ないことと、耐ノイズ性が高いことが特徴だが、伝送線路のレイアウトや接続コネクタ部の影響で平衡度^(注3)が劣化すると外来ノイズがディファレンシャルモード電流^(注4)に変換され、耐ノイズ性が劣化する。差動信号インタフェースの耐ノイズ性は、回路の誤動作やエラー率などで判定することが多く、その結果からは、印加されたノイズの伝搬量や抑制手法の効果の評価が難しい。このため、差動信号を用いた信号伝送に関する設計方針を構築するためには、ケーブルに印加されたノイズに対する耐性を定量評価する手段が必要になる。

本稿では、電磁干渉による性能劣化や耐ノイズ特性の劣化を解決するために必要な“高周波信号製品の耐ノイズ設計・評価技術”について述べる。

(注2) イーサネットは、富士ゼロックス株の登録商標である。
 (注3) 2線に流れる電流の電圧や位相のバランスが等しいことを示す度合い。
 (注4) 2つの導体に同じ大きさで逆向きに流れる電流。

2. EMCの基本要素

電磁干渉による高周波信号製品のEMC (Electromag-

netic Compatibility)問題は、図1に示す3要素(①ノイズ発生源、②ノイズ発生源から被妨害回路までのノイズ伝搬経路、③ノイズの影響を受ける被妨害回路)で構成される。

EMC問題を発生させないためには、被妨害回路が放射又は伝導で受けるノイズのレベルが、性能劣化を生じる誤動作レベル(ノイズ許容値やマージン)よりも低くなければならない。そのためには、被妨害回路を抽出し、誤動作レベルや周波数を定量化すること、ノイズ発生源を抽出し、レベルや周波数を定量化すること、基板レイアウトや筐体(きょうたい)内部構成から被妨害回路とノイズ発生源を結ぶノイズ伝搬経路を明らかにし、必要な耐ノイズ設計を講じる必要がある。すなわち、回路が電磁干渉によって障害を受けずに動作するためには、ノイズ発生源から伝搬経路を通じて被妨害回路に混入するノイズレベルが、被妨害回路のノイズ許容値より小さくなることが不可欠であり、そのための設計技術が必要である。

3. RF回路の耐ノイズ評価・設計技術

被妨害回路としてRFアンプを取り上げ、信号出力のスプリアスに対する電源系ノイズ評価について述べる⁽¹⁾。RF回路の電源配線に、スイッチング電源のスイッチング周波数やその高調波が干渉している場合、これがRF回路の電源端子での電圧変動となり、RF出力にスプリアスを発生させる一因となる。したがって、この電圧変動を抑えて、発生スプリアスをスプリアス基準や帯域内での許容値以下にする必要がある。このためには、発生スプリアスと電源端子でのノイズ電圧の関係を定量化することで、電源端子でのノイズ許容電圧値を得ることができ、2章で示したEMC設計を行うことができる。

3.1 測定方法

図2に測定構成を示す。被測定アンプのRF入力段に正弦波信号(周波数 f_c (Hz))を入力し、RF出力信号 V_{Sout} をスペクトラムアナライザで測定する。ここで、アンプは、ソース設置型回路構成のものを用いた。電源端子には、低周

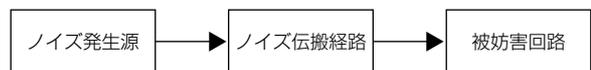


図1. EMCの基本要素

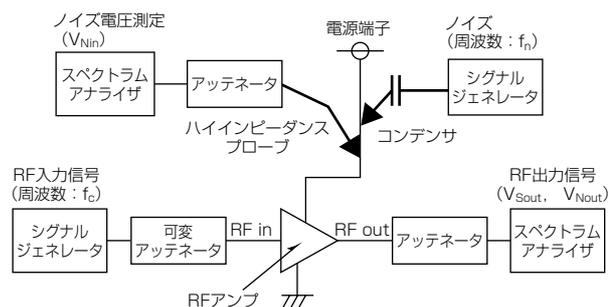


図2. RFアンプの電磁干渉測定構成

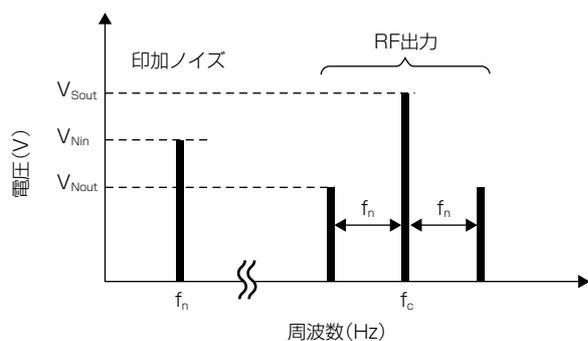


図3. 印加ノイズとアンプ出力の周波数スペクトラム

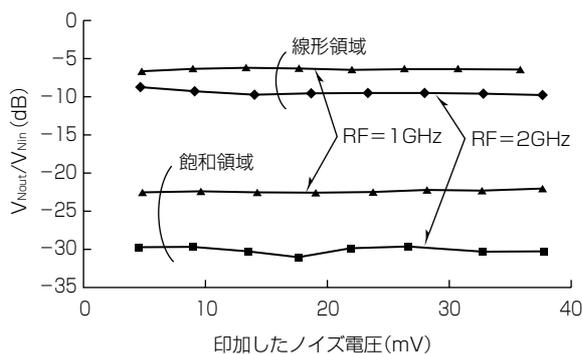


図4. 印加したノイズ電圧(V_{Nin})とRF出力信号のノイズ電圧/印加したノイズ電圧(V_{Nout}/V_{Nin})

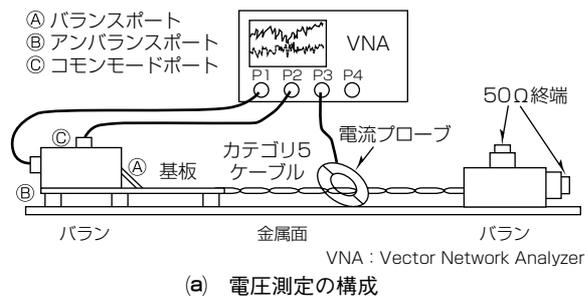
波数(kHz~MHzオーダー)の正弦波(電圧 V_{Nin} (V), 周波数 f_n (Hz))をノイズとして印加する。この結果, RF出力信号には, 図3に示すように, 入力信号 f_c を印加したノイズ f_n でAM変調した周波数スペクトラムが観測され, $f_c \pm f_n$ のスプリアス電圧 V_{Nout} が測定される。

3.2 測定結果

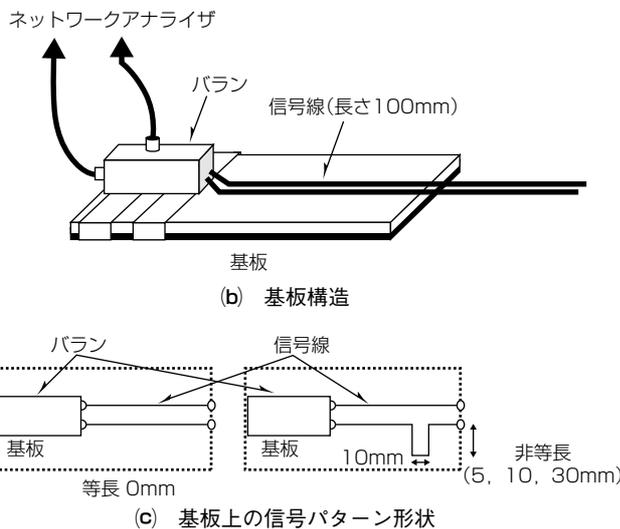
図4に, RF入力信号 f_c が1.0GHzと2.0GHz, 電源に印加したノイズの周波数 f_n が10kHzの場合の測定結果を示す。横軸は印加したノイズの電圧 V_{Nin} , 縦軸は印加したノイズの電圧に対する出力ノイズ電圧 V_{Nout} の比 V_{Nout}/V_{Nin} であり, これを線形領域と飽和領域(P1dB)の2通りの条件で示している。この結果からは, 電源系のノイズ電圧 V_{Nin} を変化させても出力ノイズ電圧比 V_{Nout}/V_{Nin} はほとんど変化していないことが分かる。

3.3 耐ノイズ設計技術

これらの結果から, 出力ノイズ電圧比 V_{Nout}/V_{Nin} が一定のため, 出力ノイズ V_{Nout} がスプリアス基準以下になる電源端子のリプル電圧を(V_{Nin})を規定することができ, RFアンプの電源端子に関する耐ノイズ評価・設計が可能に分かる。また, RFアンプを線形領域で使用する時よりも飽和領域で使用する方が, 印加したノイズ電圧 V_{Nin} に対する出力されたノイズ電圧 V_{Nout} の比 V_{Nout}/V_{Nin} が大きく, ノイズの影響を受けやすいことが分かる。したがって, 実設計では, RFアンプの動作条件に応じた被妨害回路の許容



(a) 電圧測定構成



(c) 基板上の信号パターン形状

図5. 高速差動配線のディファレンシャルモード/コモンモード電圧測定

値, マージンを満たすような設計(フィルタや隔離)も必要になる。

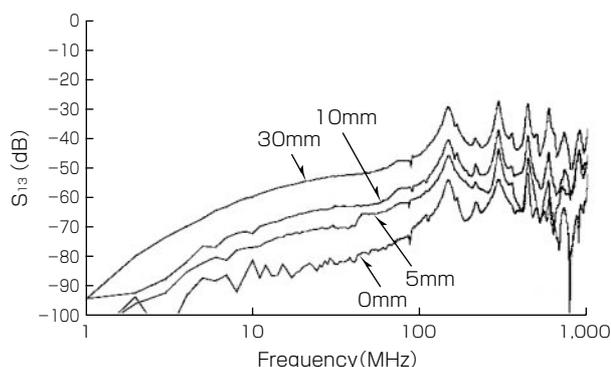
4. 高速差動線路の耐ノイズ評価・設計技術

高速差動信号のEMC性能の特徴として, 不要放射ノイズが低いこと, ノイズ耐性が高いことが挙げられる。ところが, 高速差動信号は, 配線レイアウトやその周囲構造, 接続コネクタなどによって信号伝送経路の平衡度劣化が発生する。平衡度が劣化すると, コモンモード^(注5)とディファレンシャルモード間の変換によってEMC性能が劣化する。したがって, このシステムの設計には, 回路のノイズ耐性と伝送経路のノイズ抑制性能に加えて高平衡度が要求される。この章では, 高速差動信号の設計方針を得るための検討として, 高速差動信号の基板実装条件の違いによる平衡度の変化を周波数特性で調べた結果を述べる⁽²⁾。

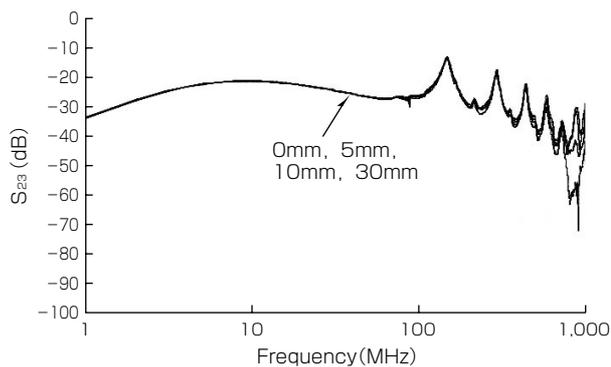
(注5) 2つの導体に同じ大きさで同じ向きで流れ, 大地を帰路とする電流。

4.1 測定方法

図5に電圧測定構成を示す。バラン, 基板, 非シールドのツイストペアケーブルで構成され, 電流プローブを使用してケーブルにコモンモードで電流を印加する。ケーブルは基板上の信号配線に接続され, 基板配線に発生するディファレンシャル/コモンモード電圧を, バランを通して測定する。



(a) S_{13} (ディファレンシャルモード)



(b) S_{23} (コモンモード)

図6. 基板配線長の違いと S_{13} と S_{23} の測定結果

4.2 測定結果

図6に基板の非等長配線によるディファレンシャルモード(S_{13})とコモンモード(S_{23})電圧を示す。基板上の差動配線の非等長分が長くなるほど S_{13} が増加しているが、 S_{23} はほとんど変化しない。図7に両者の比 S_{23}/S_{13} を示す。この結果からは、ディファレンシャルモードの発生量が周波数と基板配線長の差分に比例していることがわかる。

4.3 高速差動線路の耐ノイズ設計

差動伝送によるノイズ耐性の効果を得るためには伝送系

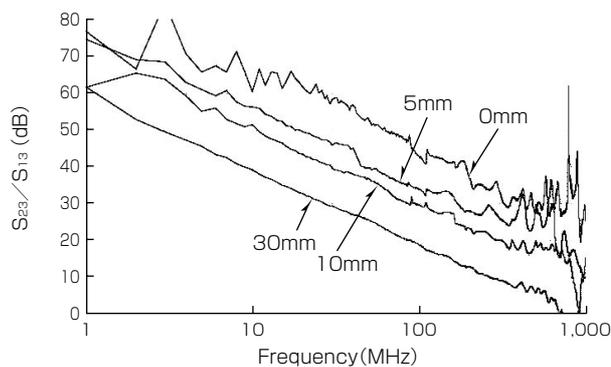


図7. 配線長の違いとディファレンシャルモード電圧 (コモンモード電圧との比)

の高平衡度化が重要である。これらの結果から、平衡度を高めるためには、等長配線は有効である。例として、40dBの平衡度が要求される場合、10MHzでは20mm、100MHzでは2mm程度の許容となる。また、平衡度は配線長差以外に、配線周囲との容量結合やグラウンド導体の欠落も影響するため、これに注意し、設計を進めなければならない。

5. む す び

高周波信号製品の耐ノイズ評価・設計技術として、①RFアンプの耐ノイズ評価・設計技術、②差動伝送信号の耐ノイズ評価・設計技術について述べた。

参 考 文 献

- (1) 中本藤之, ほか: RF部品の電源に対するノイズ耐性評価, 電子情報通信学会技術研究報告, EMCJ2010-21 (2010)
- (2) 熊本武文, ほか: 外来ノイズによって基板上の配線に発生するノイズ電圧の評価, 電子情報通信学会技術研究報告, EMCJ2009-114 (2010)