

Si高周波集積回路技術

下沢充弘*
平野嘉仁*

Si Radio Frequency Integrated Circuit Technology

Mitsuhiro Shimosawa, Yoshihito Hirano

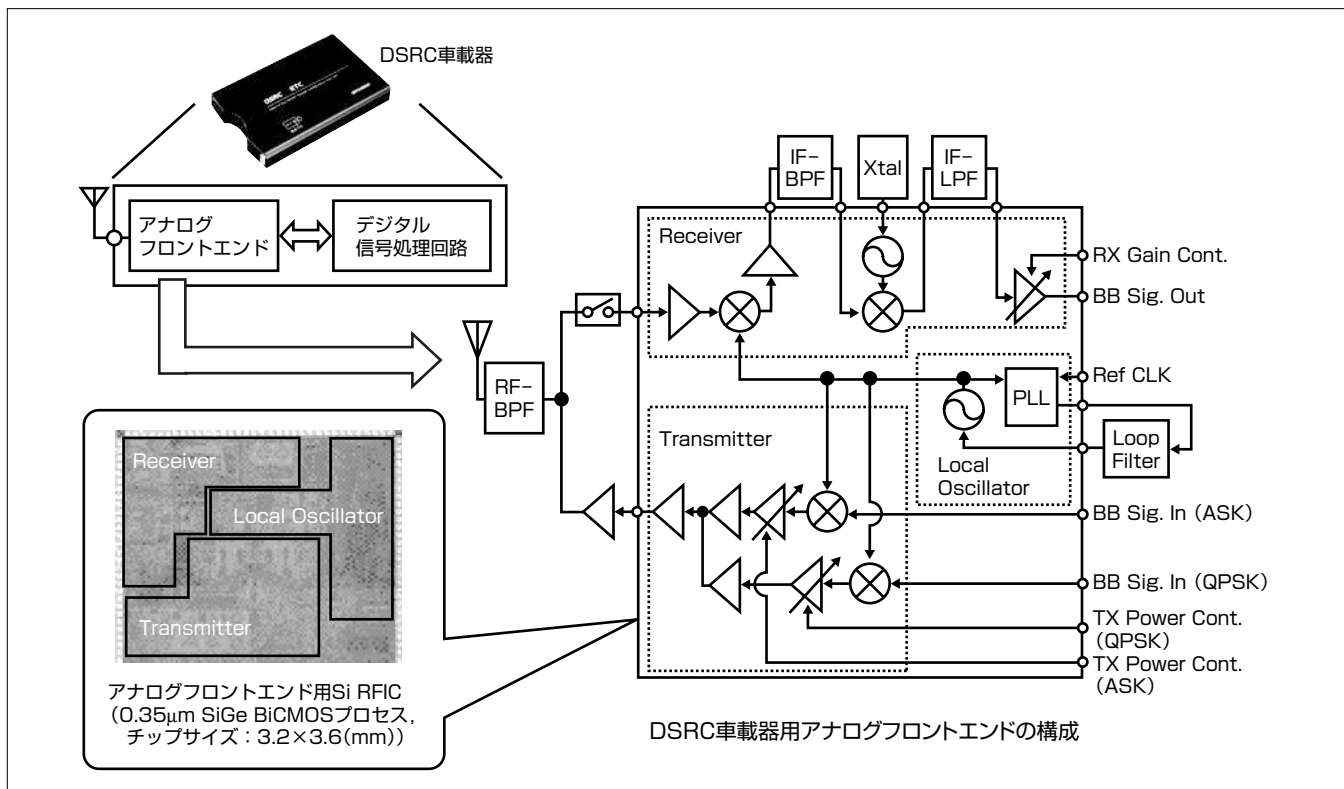
要旨

マイクロ波帯の高周波集積回路(Radio Frequency Integrated Circuit: RFIC)は従来、高周波特性にすぐれたGaAs(Gallium Arsenide)を用いて構成されてきたが、プロセスの微細化によるトランジスタやFET(Field Effect Transistor)など能動素子の動作周波数の向上によって、Si(Silicon)デバイスが用いられるようになってきている。Si RFICは増幅器や周波数変換器などを回路ごとにIC化した従来のGaAs MMIC(Monolithic Microwave Integrated Circuit)に比べると、RF回路だけでなくデジタル回路も含めて同一IC上に構成できるので、高い集積度を容易に実現でき、量産時のコストが小さく、定電流源を用いたバイアス回路によって、周囲の温度変化に対する無調整化が可能といった特長がある。一方でSi RFIC上の伝送線路やインダクタ、キャパシタなどの受動素子は損失が大きく、能

動素子の耐電力も小さいことから、回路に工夫を要する場合もある。

また、Siデバイスでも、Siのみでトランジスタを構成するほかに、Siに少量のゲルマニウムを添加してトランジスタの動作周波数を向上させたSiGe(Silicon Germanium)や、メモリやマイクロプロセッサを構成するFETと同一の構造を有し、低コストで製造できるCMOS(Complementary Metal Oxide Semiconductor: 相補型金属酸化膜半導体)FETなど、複数のプロセスがあり、SiやSiGeプロセスによるトランジスタとCMOS FETでは回路構成に違いが生じる。

本稿では、SiGeデバイスを中心に、三菱電機におけるSi RFICの開発例について述べる。



DSRC車載器のアナログフロントエンドの構成例とSi RFIC

DSRC(Dedicated Short Range Communication)車載器のアナログフロントエンドは、アンテナとデジタル信号処理回路との間に設けられ、マイクロ波(5.8GHz帯)の変調信号と送受信のベースバンド信号の変換を行う。プロセスの微細化によるSi RFICの動作周波数の向上によって、マイクロ波帯回路も含む大半のアナログ回路をSi RFICへ集積できるようになり、機器を大幅に小形化できるようになった。

1. ま え が き

携帯電話や無線LAN、高速道路における自動料金支払システム(Electronic Toll Collection System:ETC)など、マイクロ波は民生用の無線機器に広く使われるようになってきている。その高周波回路には従来、比較的高価なGaAs MMICが使われていたが、プロセスの微細化に伴うSiデバイスの動作周波数の向上の結果、Si RFICが適用されるようになってきている。

Si RFICはGaAs MMICに比べると、RF回路だけでなくデジタル回路も含めて同一IC上に構成でき、高い集積度を實現できること、量産時のコストが小さいこと、定電流源を用いたバイアス回路によって周囲の温度変化に対する無調整化が可能などの特長がある。また、バイポーラトランジスタをSiで形成するSiバイポーラプロセスのほかに、メモリやマイクロプロセッサと同じ低コストなCMOS FETを用いるCMOSプロセス、両者を同一IC上で使うBi-CMOS(Bipolar CMOS)プロセス、Siに少量のゲルマニウムを添加して動作周波数を向上させたSiGeトランジスタとCMOSとを組み合わせさせたSiGe BiCMOSプロセスなどがあり、目的によって使い分ける必要がある。一方でGaAs MMICと比べ、線路やインダクタ、キャパシタなど受動素子の損失が大きく、能動素子の耐圧も小さいことから回路構成に工夫を要する場合もある。

本稿では、SiGeデバイスを中心に、集積化やプロセスの微細化に伴う課題の解決を図ったSi RFICの開発例について述べる。

2. Siプロセスの高周波化と微細化

図1にSi RFICの高周波機器への適用周波数を示す。1990年ごろには100MHz程度であった適用周波数は、90年代終わりに800MHz帯携帯電話へ適用され、その後、SiGeデバイスが2GHz帯を用いた第三代移動体通信へ適用されて、一挙に使用範囲が広がった。雑音特性やひずみ特性などの要求がそれほど厳しくない無線LANではLNA

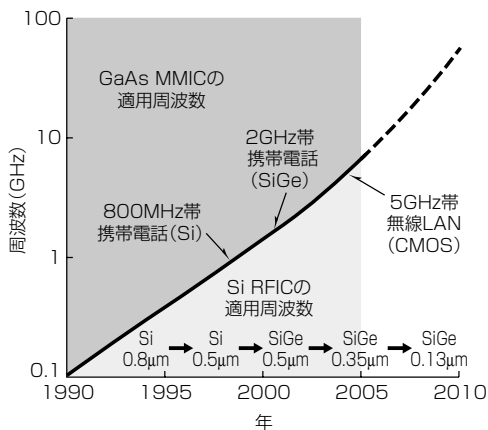


図1. Si RFICの適用周波数

(Low Noise Amplifier)及びHPA(High Power Amplifier)を除き、5GHz帯まで安価なCMOSプロセスを適用したRFICが用いられるようになってきている。現在は更にプロセスの微細化が進み、研究開発レベルであれば60GHz帯を用いたミリ波通信用CMOSトランシーバICも発表されている。

3. Si RFICの開発事例

3.1 ETC車載器用SiGe RFIC

2000年にサービスを開始したETCでは、料金所に設けられた路側機と車に設置された車載器が、5.8GHz帯の振幅偏変調(ASK)信号を使って通信を行う。ETC車載器では、当初は高周波特性にすぐれたGaAsデバイスが用いられたが、その後、集積度とコストにすぐれたSiデバイスに置き換えられた。図2に0.35μm SiGe BiCMOSプロセスを用いて試作したETC車載器用RFICの構成とチップを示す⁽¹⁾。このRFICは送信部と局部発振回路を同一IC上に集積しているため、送信出力が発振器(VCO)に干渉し、送信信号のスペクトラムが劣化する。このため、回路配置の工夫や地導体パターンを設けるなど空間やIC表面を介した結合を抑制するとともに、10Ω-cm程度の低抵抗Si基板内部の結合抑制のためにSi基板厚を通常の1/2以下に薄くしている⁽²⁾。図3は基板厚を変えた場合の送信スペクトラ

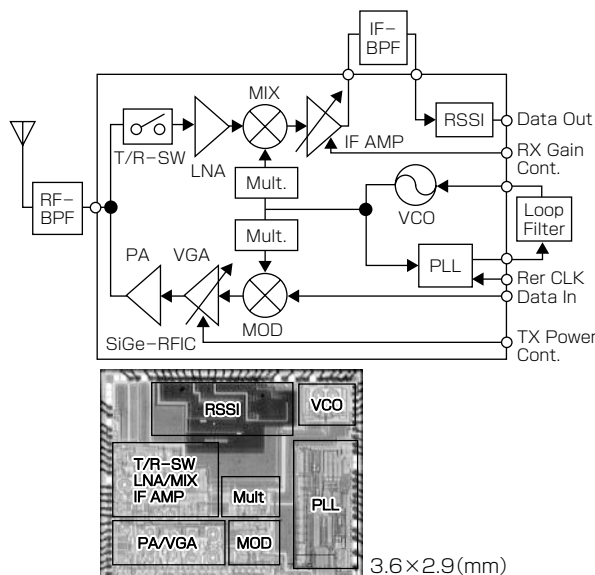


図2. ETC車載器用SiGe RFICの構成とチップ

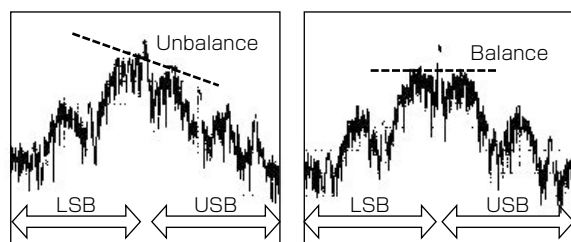


図3. 基板の薄厚化による送信スペクトラムの変化
LSB : Lower SideBand
USB : Upper SideBand

ムであり、薄厚化によって干渉を抑え、良好なスペクトラムが得られていることがわかる。送信部では、出力電力15.5dBm, ASKのマーク・スペースの振幅差25dB以上、アイ開口率^(注1)85%以上、受信部では雑音指数11.2dB, 入力換算した1dB利得圧縮電力(IP1dB) -33.1dBmを得ている。

(注1) 1と0を繰り返す信号の軌跡を多数重ね合わせた場合に、その中央部に生じる信号の軌跡がない部分(アイ開口)の大きさである。ひずみや雑音のない理想的な信号では100%となる。

3.2 DSRC車載器用SiGe RFIC

2009年よりサービスが開始されたDSRC(境域通信)システムでは、ETCと同じ自動料金支払に加え、高速道路を中心に情報提供サービスなどが行われている。通信にはASKのほか $\pi/4$ シフト直交位相偏移変調(QPSK)が用いられるため、車載器は2つの変調方式に対応する必要がある。図4に0.35 μ m SiGe BiCMOSプロセスを用いて試作したDSRC車載器用RFICの構成とチップを示す⁽³⁾。集積度の向上に伴い、複数の回路で電源端子や接地用端子を共用する必要があるが、これによって信号の帰還経路(ループ)が形成され、ループ内の利得 G_L が1を超えると不要発振が生じる可能性がある。ループ内に安定化抵抗 R_g を接続すれば G_L は低下するが、本来の信号に対する利得低下など

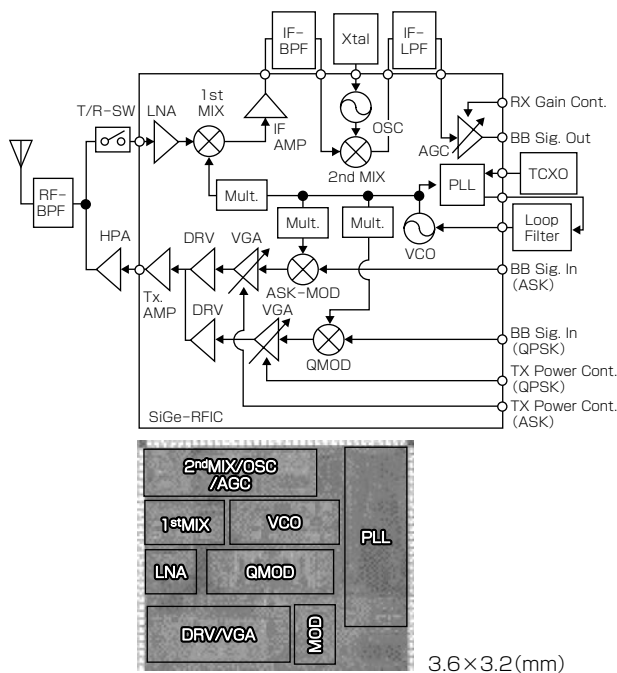


図4. DSRC車載器用SiGe RFICの構成とチップ

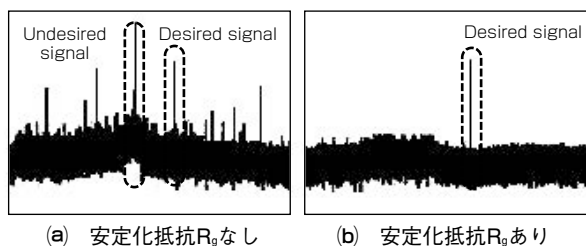


図5. 送信部(ASK-MOD~DRV)の出力スペクトラム

が生じる。そこで、従来のループ発振解析手法⁽⁴⁾を拡張し、不平衡モードのループに加えて、(1)差動トランジスタ対の内部、(2)従属接続された複数の差動トランジスタ対の間という2つの平衡モードのループを新たな解析対象として、端子共通化の可否と最適な R_g の導出を図った。図4に示すASK変調回路(ASK-MOD)からドライバ増幅器(DRV)までの送信ブロックにおける、 R_g の有無による出力スペクトラムの違いを図5に示す。(a)では4.5GHz付近に不要発振が観測されるが、(b)では観測されておらず、設計手法の妥当性を確認できる。

試作したRFICはASK, QPSKいずれの出力時も発振などの不安定動作は観測されず、ASK送信時の送信出力は5.2dBm(マーク送信時), アイ開口率は97%以上、QPSK送信時の送信出力は2.2dBm, 変調精度(E.V.M.)は5%以下であり、また受信時の雑音指数は6.2dB, 入力換算した1dB利得圧縮電力(IP1dB)は-34.5dBmである。

3.3 L帯送信RFIC

Siプロセスの微細化に伴う動作周波数の向上は、その一方で素子の耐圧低下と回路の出力低下を引き起こしており、バイアス電流を多くすれば出力電力は高められるものの、消費電力が大きくなる。このためSi RFICでは、低消費電力かつ高飽和特性を実現する手法として、出力電力レベルに応じて自動的にバイアス電流を変化させるインテリジェンスバイアス回路技術が提案されている。これまでバイポーラトランジスタを対象とした手法が報告されているが、ここではCMOS FETを用いた増幅器にも適用可能な検波電流補償形バイアス回路について述べる。

図6に出力検波電流補償形バイアス回路を内蔵したCMOS差動増幅器の構成を示す⁽⁵⁾。出力部に設けた検波回

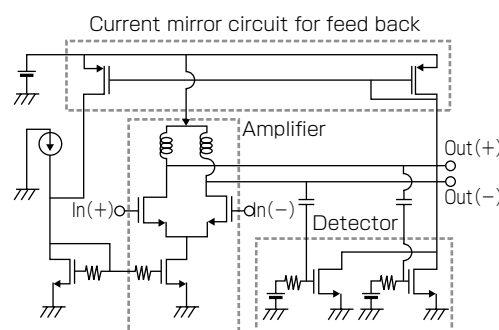


図6. 出力検波電流補償形バイアス回路を内蔵したCMOS差動増幅器の構成

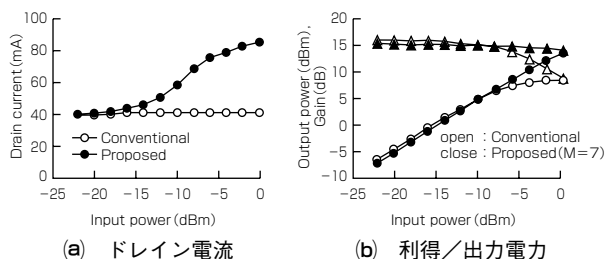


図7. 2段CMOS差動増幅器の入力電力依存性の評価結果

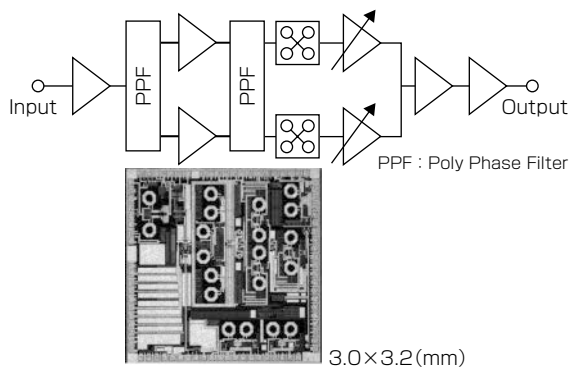


図 8. L帯送信RFICの構成とチップ

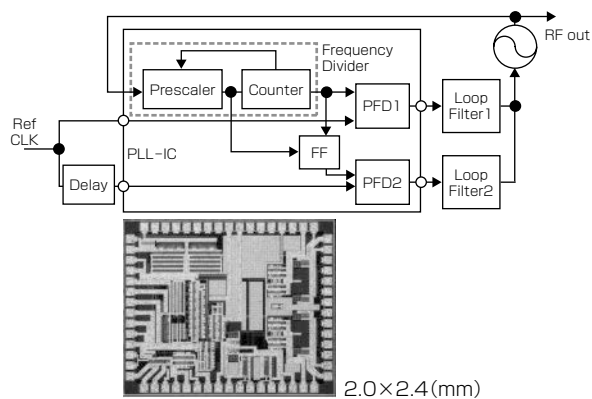


図 9. PLLの構成とPLL-ICのチップ

路には差動増幅回路の出力電力に応じた検波電流が流れるので、これをフィードバック回路によって差動増幅器のバイアス回路に帰還させる。図7はL帯で設計・試作した2段CMOS差動増幅器のドレイン電流及び利得・入出力特性の入力電力依存性の評価結果である。入力電力の増加とともに電流が増加し、利得低下を抑えて高飽和特性を実現している。図8に試作したL帯送信RFICの構成とチップを示す。最終段の増幅器以外は提案のバイアス回路を用いている。0.18 μ m SiGe BiCMOSプロセスを用いて電源電圧3.0V時に出力電力14.9dBmを得た。

3.4 Ku帯PLL-IC

PLL (Phase Locked Loop)の低雑音化の方法として、PLL全体の雑音特性への影響が大きい位相周波数比較器(PFD)を並列化し、分周器の出力を各PFDに入力してその出力を合成する構成がある。PFDで生じる雑音に相関がなければ、原理的には3dBの位相雑音の改善が期待できるが、同一IC上のPFDでは必ずしも無相関とはならず、改善量が低下する場合がある。そこで一方のPFDに入力する信号をフリップフロップ回路(FF)で遅延させ、2つのPFDを異なるタイミングで動作させることで雑音の相関を小さくする⁽⁶⁾。図9に試作したPLLの全体構成とPLL-ICのチップを、図10にKu帯における位相雑音の評価結果を示す。PLL-ICのPFDはCMOS FETに比べて低周波領域の雑音(フリッカ雑音)が小さいSiGe HBT(Heterojunction Bipolar Transistor)によるECL(Emitter Coupled Logic)を用いて構成し、低雑音化を図っている⁽⁷⁾。離調周波数10kHz付近における位相雑音の改善量は、単純な並列PFDを用いた場合は2.1~2.4dBに対し、提案する動作タイミングの異なる並列PFDを用いた場合は2.5~2.9dBとなり、提案構成の効果を確認した。

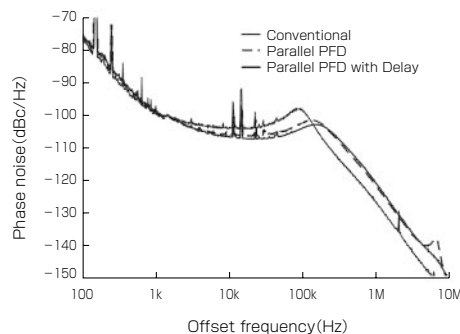


図10. 評価結果

参考文献

- (1) Shinjyo, S., et al.: 5.8GHz ETC SiGe-MMIC Transceiver Having Improved PA-VCO Isolation with Thin Silicon Substrate, IEEE MTT-S Symp. Digest, 2039~2042 (2006)
- (2) 堤 恒次, ほか: SiシステムチップにおけるPA-VCO間干渉の検討, 電子情報通信学会技術研究報告, MW2005-182 (2006)
- (3) Shinjyo, S., et al.: ASK and Pi/4-QPSK Dual Mode SiGe-MMIC Transceiver for 5.8GHz DSRC Terminals Having Stabilized Amplifier Chain, IEEE MTT-S Symp. Digest, 1071~1074 (2008)
- (4) Takagi, T., et al.: Analysis of High Power Amplifier Instability due to fo/2 Loop Oscillation", IEICE Trans. on Electron., E78-C, No.8, 936~943 (1995)
- (5) 新庄真太郎, ほか: 検波電流補償形増幅器を内蔵したL帯SiGe-BiCMOS送信MMIC, 電子情報通信学会技術研究報告, MW2010-11 (2010)
- (6) 堤 恒次, ほか: マルチタイミング動作並列PFD構成による低雑音Ku帯PLL-IC, 電子情報通信学会技術研究報告, MW2009-210 (2010)
- (7) Tsutsumi, K., et al.: Low Phase Noise Ku-band PLL-IC with -104.5dBc/Hz at 10kHz offset using SiGe HBT ECL PFD, Proceedings of APMC2009, TU4G-2, 373~376 (2009)

4. む す び

マイクロ波帯へのSi RFICの適用に伴い、集積化によるIC内の干渉や、プロセスの微細化に伴う飽和特性の低下などが課題となっている。本稿では開発例の紹介を通して、こうした課題に対する主として回路的な解決策を示した。