

素子の品質管理と解析技術

山下文昭*
 楠 茂*
 金 敏鎬**

Quality Control of Power Devices and Development of an Analysis Technique for Power Devices

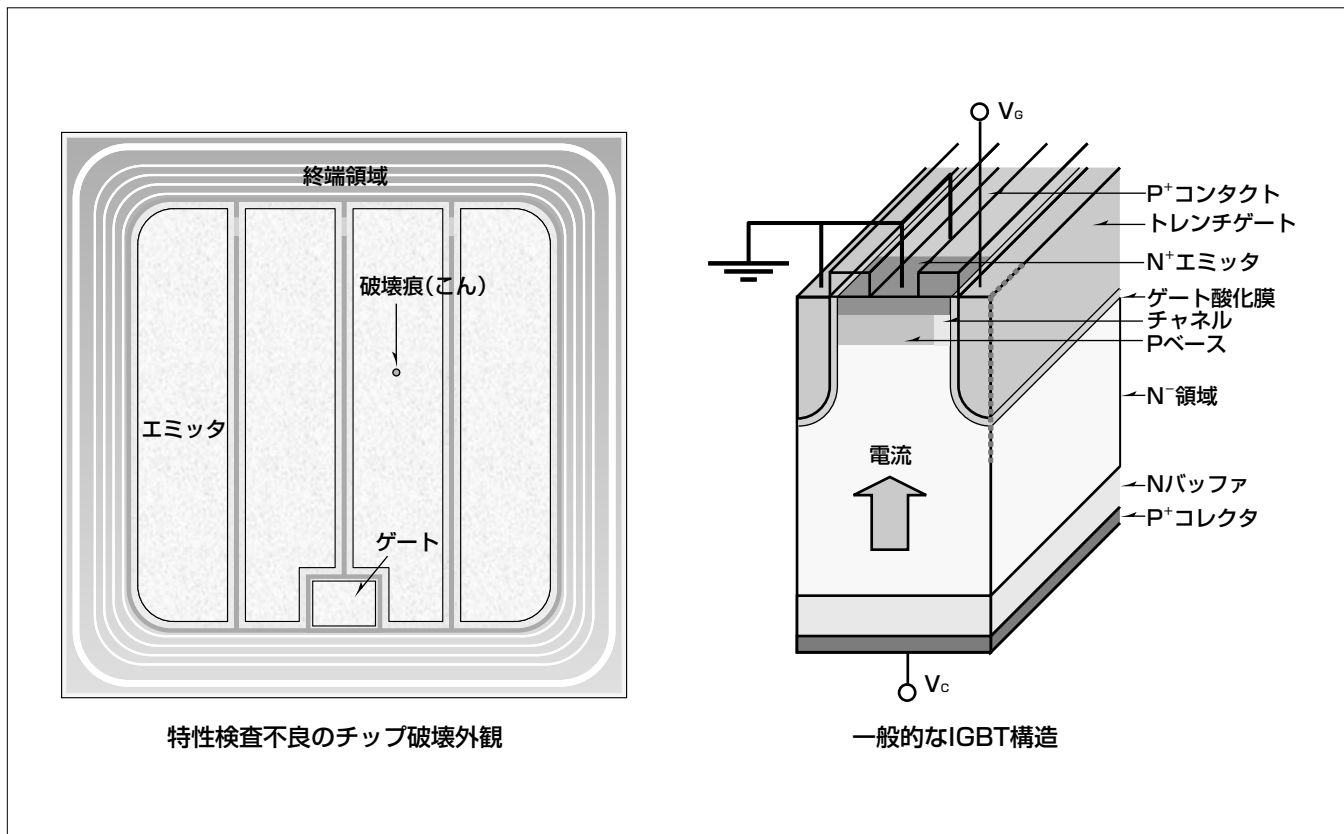
Fumiaki Yamashita, Shigeru Kusunoki, Minho Kim

要 旨

パワーデバイス実装過程で、モジュール内部に搭載されるIGBT (Insulated Gate Bipolar Transistor) や整流ダイオードなどのチップは、出力特性や制御機能の製品品質に及ぼす影響が大きく、それぞれ要求される品質水準を十分満足していることが求められる。また、組立て製造工程内で発見されるチップ特性異常に関しては、デバイス性能上及び製造面からも阻害要因となり、いかに付加価値が少ない前工程段階で高機能、高精度の検査を実施し、工程内実動作段階で異常を検出し取り除くかが重要である。ただし、パワーデバイスの検査における問題点として、製造最終過程で行う負荷特性検査において、要求規格を満足できない特性値がまれに検出されることが挙げられる。そこで検出された対象デバイスの特徴として、チップに関する内容は、過電流及び過電圧モード破壊ダメージから破壊箇所が容易

に確認されるのみで、破壊起点の詳細分析からは原因特定まで至らないケースを経験している。

しかし過去においては、モジュール検査破壊モードからメカニズム推定を行い、具体的物理解析でチップ出力特性検証を行い、デバイス特性不良の原因として、チップ内部を起点とする破壊現象が確認される事例も報告されている。今回、IGBTチップ低電流特性に着目した欠陥モード影響の検証を基に様々な測定技法、物理解析手法を調査した。トレンチIGBTのセル構造からメカニズム推定を行い、その中で最終製品破壊モードから課題解決を図るため、具体的付帯設備の応用確立と、平行して社内外の解析評価設備の活用事例を基に、チッププロセス品質管理を強化展開したので、その実証事例について述べる。



IGBTチップ破壊外観事例と構造

モジュール内に搭載されるIGBTチップ破壊外観事例を左に示す。まれに特性検査工程や市場稼働中、チップの局所領域に過電流が流れ、素子の機能が失われる事象が確認される。破壊様相からエミッタ電極上に破壊痕が見られ、右に示すチップ構造からIGBTチップには特異起点となる内部の影響証明が困難となる。

1. ま え が き

具体的事例として、チップ特性の目的が大電流を制御することであるIGBTチップは、その定格電流に合わせ、微小なセルを多数並列に並べた構造のセル領域と高耐压を保持する終端領域、制御信号を各セルに伝達する配線領域で構成されている。例えば、現在主流のCSTBT (Carrier Stored Trench-Gate Bipolar Transistor) チップでは、制御電極であるゲート電極には幅 $1.0\mu\text{m}$ 前後～サブミクロンのトレンチゲートが定格 10A ($2.5\sim 4\text{mm}$ 角) に対し、延べ長さ 1m 以上で配置されている。したがって、製造過程で、トレンチゲート幅に対し、加工に影響を与える程度以上の異常が1か所でもあった場合、そこが特異セル(他のセルと異なった特性のセル)となる。特異セルが存在すると、並列接続されたセル中、特異セルに電流が集中するなど、電気特性に影響を与え、チップの破壊や信頼性不具合につながる危険性が危惧(きぐ)される。そこで、チップの仕上がりに特異セルがある場合、テストで検出し、流出を防ぐこと・要因を取り除くことを目的に、特異セルのモードとテストで識別可能な電気特性の関連付けを行い、物理解析と電気特性評価を行う手法の開発を進めた。

2. 特異セルを含むチップの電気特性

2.1 IGBTの構造

トレンチIGBTのセル構造としてトレンチゲートに加えられる制御信号(ゲート電圧 V_{GE})が閾値(しきいち)電圧(V_{th})以上の場合、Pベース領域のトレンチゲート側がその電位によってN型に反転し、電流が P^+ コレクタから N^+ エミッタに流れる。制御信号が閾値電圧以下の場合、チャンネルが形成されず、電流は流れない。

2.2 特異セルの形成

IGBTチップには、1章で述べたようにセルが多数並列接続されているため、製造過程で異物が付着した場合、形状異常が発生することがある。一例として、図1にトレンチエッチ直前にトレンチゲート領域に異物が付着し、形状

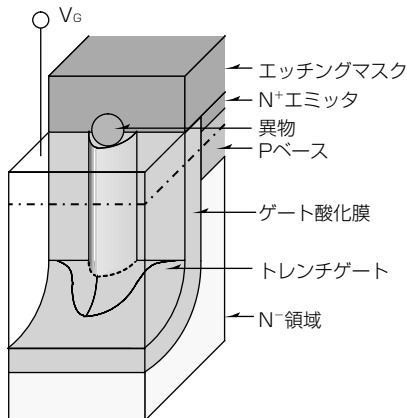


図1. 異物付着と形状異常の一例

異常が生じた場合を示す。異物がエッチングマスクとなり、トレンチ形状に形状異常が生じる。

2.3 特異セルの電気特性

チップ本来の(設定した)閾値電圧に達しない電圧を印加した場合でも、形状異常が発生した微小領域では、図2に示すようにチャンネルが形成される電位よりも高い電位に到達する。

したがって、チップ全体の電流とゲート電圧の関係は、図3に示すようになる。この領域は、ゲート電圧の低い状態で最初にONし、一方、OFFする場合には最後にOFFする。そのため、 V_{CE} にサージ電圧が生じるOFF時に大電流が微小な形状異常領域に集中し、図4のような破壊が発生すると推測される。このモードを特性面で検出するためには、チップ定格電流数十Aに対して、局所ユニットセルに限定した静特性は数 μA レベルの精度が要求される。

3. 付帯設備の応用確立と物理解析手法の調査検証

従来、IGBTにおける高圧 V_{th} 分布異常やICES(主耐圧リーク)異常、IGES(ゲートリーク)異常など、デバイス内部に起因するリーク不良やショート不良の故障箇所を特定し

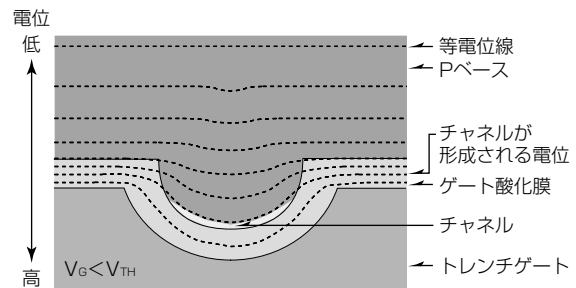


図2. 形状異常領域(特異セル)でのチャンネル形成

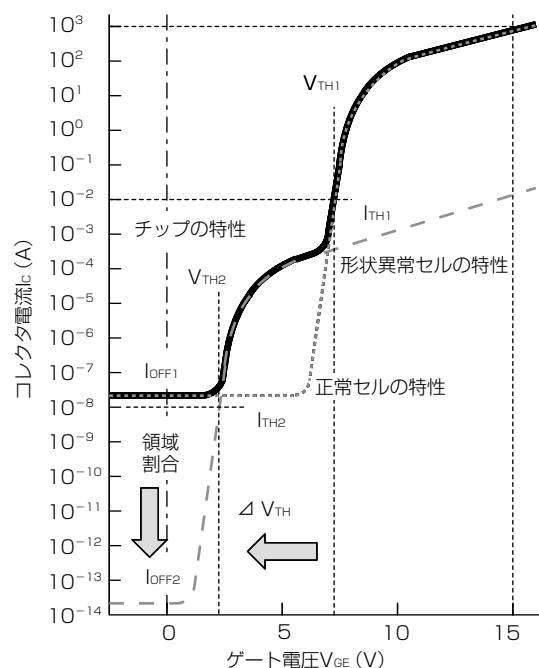


図3. 形状異常領域(特異セル)を含むチップの静特性

解析を行うことは、技術的課題が多く困難とされていた。しかし現在では、前処理法の手法改善、IRレーザ顕微鏡、レーザマーカを利用することで、EMS(Emission Microscope: エミッション顕微鏡)やIR-OBIRCH解析手法(Infrared Optical Beam Induced Resistance Change)を用いることによって、特定された故障箇所の解析が可能となってきた。故障解析の中で重要なのは、①故障箇所を特定する、②特定箇所を表面から分かるようにする、③故障モードに応じた適切な解析ツールを選択するの3項目が挙げられる。次に、EMSとIR-OBIRCHを用いた故障解析の事例手順について述べる⁽¹⁾。

3.1 前処理

EMSとIR-OBIRCH評価では、IRレーザ顕微鏡で撮ったパターン像と故障箇所からの発光や信号を重ねることで、故障箇所が特定できる。しかし、観察面に金属があると発光やIRレーザが透過しないため、金属の除去が必要となる。金属の除去方法は、樹脂に埋め込み研磨する方法と薬液による金属除去方法がある。薬液法は故障箇所が特定されれば、物理解析が容易なメリットがある反面、電極が取れにくいという問題があり、一般的ではなかった。最近、電極の一部を耐酸性保護材で保護し、ワイヤを残す技術が確立された。この新技術を用いれば、特殊な装置がなくてもチップ裏面からゲートとエミッタ電極に結線することが可能になる。また、チップ表面が樹脂で覆われていないため、表面からの物理解析が非常に容易になる。

3.2 EMSとIR-OBIRCHによる故障箇所の特定

EMSでは、デバイスにリーク電流不良がある場合、電圧を印加すると、その不良箇所に電界が集中しホットキャリアが発生する。そして、再結合するときに放出される光を検出することで、故障箇所を特定することができる。したがって、EMSは絶縁膜の損傷やPN接合部の損傷によるリークやショート箇所の特定に適している一方、大電流が流れても配線間ショートなどホットキャリアが発生しない故障モードには発光がないため、異常箇所の特定ができないという特徴を持つ。

IR-OBIRCHは、金属にIR(赤外線)レーザで熱を加える

と抵抗が増大し電流が減少する原理を利用する方法で、配線にIRレーザを走査したときの電流の大きさを明暗として検出することで、故障箇所の特定が可能となる。IR-OBIRCHでは、リーク電流の経路や配線間ショート箇所、配線中のボイドやSiの析出箇所などを特定することができる。図5にEMSとIR-OBIRCHの評価結果を示す。

3.3 解析箇所の確認

IRレーザ顕微鏡は光源である近赤外線レーザがSiを透過するため、チップ裏面から表面のパターンを観察することができる。これを利用すれば、チップ裏面から故障箇所を特定することも可能となる。

さらに、図6のように故障箇所近くにレーザマーカでマーキングをすれば、IRレーザ顕微鏡で故障箇所とレーザマーキングの正確な位置関係が測定でき、3.4節で述べる物理解析で失敗の可能性が少なくなる。

3.4 物理解析

故障箇所の解析は、故障箇所の大きさや位置、モードなどによって、断面研磨、SEM(走査型電子顕微鏡)、FIB(集束イオンビーム)、TEM(透過型電子顕微鏡)などの手法を用いて行う。図7に故障解析の一例を示す。

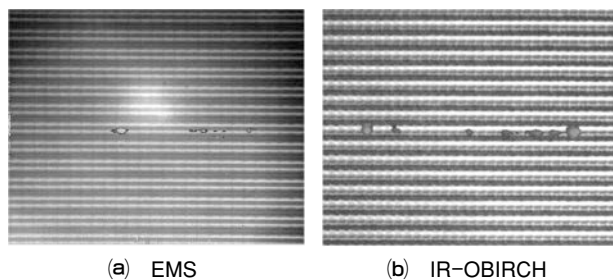


図5. EMSとIR-OBIRCH評価結果

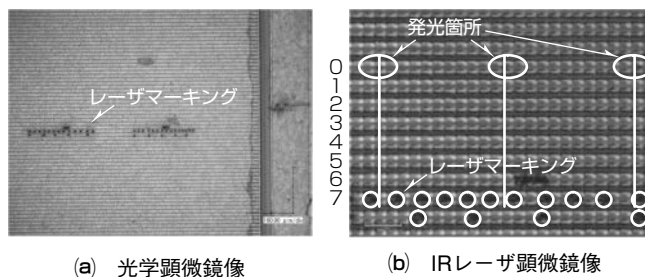


図6. レーザマーキングとIRレーザ顕微鏡像

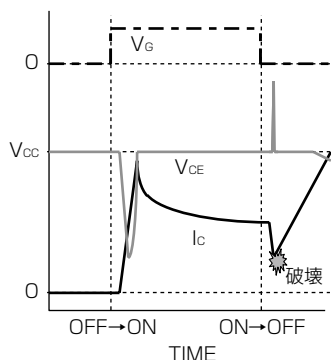


図4. 破壊時の波形

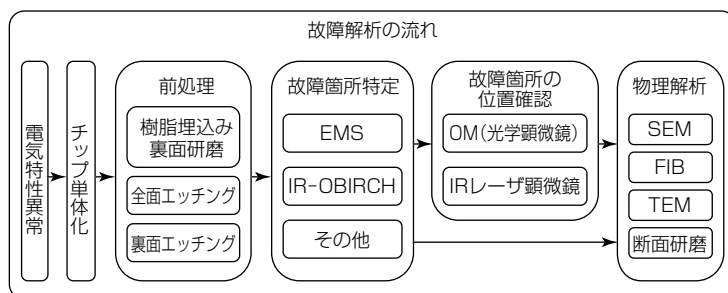


図7. 故障解析の一例

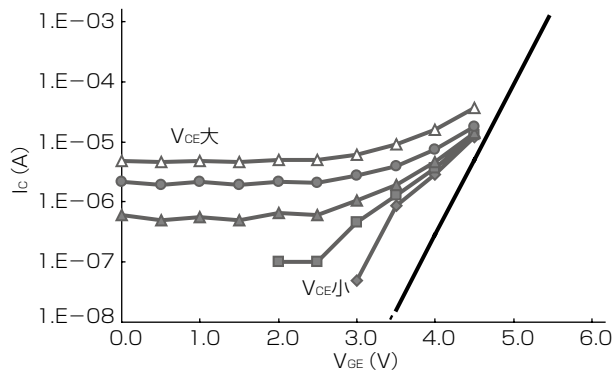


図 8. 高 V_{CE} での V_{th} 分布外れチップの微小リーク特性

4. IGBTの故障解析の事例

ここでは、IGBT故障におけるEMSとIR-OBIRCHで特定できる故障と、特定できない故障の事例について述べる。

4.1 特性(I_c), V_{th} 分布外れチップ解析

V_{th} 評価で規格内であっても3 σ 分布から外れるチップ) $V_{GE}-I_c$ 特性を測定したところ、低いゲート電圧でC-E間電流が流れ始めることが分かった(図8)。

リーク箇所の特定のために、EMSとIR-OBIRCH評価を行った。その結果、IR-OBIRCHでは異常信号が検出できなかったが、EMSではIGBTのメインセル内部で異常発光が観測された。これらの結果から、ゲートとSi基板間のショート(ゲート酸化膜の破壊)ではなく、PN接合部におけるリーク起点の可能性が高いと推測された。これを解析した結果、ゲート酸化膜に異常はなかったが、表1(a)のようなトレンチゲートが局所的に細い特異形状であることが発見された。

この V_{th} 異常のメカニズムは、解析結果からトレンチゲートが局所的に細くなったことによって、電界が集中したために低いゲート電圧でもゲートが開くようになったと推測される。

4.2 G-E間リーク不良

IGBTのG-E間リーク不良品でEMSとIR-OBIRCHによる故障箇所の特定を行った結果、EMSとIR-OBIRCHともに、複数箇所でリーク起点及び信号が検出された。EMSとIR-OBIRCHの両方で異常が検出されたことから、ゲート酸化膜の異常によるG-E間でPN接合を経由してリークしていることが予想された。さらに現物を解析した結果、表1(b)のようなトレンチゲート底部のゲート酸化膜に異常があり、ゲートとSi基板がショートしているモードが発見された。

4.3 G-E間ショート不良

IGBTのG-E間ショート不良品については、IR-

表 1. 各故障モードの物理解析結果事例模式図

故障モード	(a) V_{th} 異常	(b) G-E間リーク	(c) G-E間ショート
EMS	○	○	×
IR-OBIRCH	×	○	○

故障箇所の模式図			
----------	--	--	--

OBIRCHのみメインセル内部で異常信号が検出された。

解析した結果、表1(c)に示すようなトレンチゲートの開口部の形状異常で、ゲートとエミッタ電極が直接ショートしていることが確認された。

5. 今後の課題

IGBT故障における故障解析の手順と、EMSとIR-OBIRCHで特定できる故障と特定できない故障の事例について述べた。EMSとIR-OBIRCHは、故障箇所の特定で非常に有用なツールであるが、故障を検出するメカニズムが異なるためすべてのモード故障には対応できず、デバイスの故障モードによって使い分ける必要がある。故障解析の成功率と効率をアップさせるためには、電気特性評価結果から故障モードが予想できるデータベースとノウハウの蓄積が必要である。また、EMSとIR-OBIRCHを用いたことで、故障状態が断定できる確率は非常に高くなってきたが、現状は故障の原因究明までは至らないケースが多い。FIBやTEMなどの物理解析によって、故障の現象から詳細な解析を行い、また解析を通じてデータ蓄積を行う。発生対策と流出対策の両面でチッププロセスにおける品質管理強化を進める。

6. むすび

具体的破壊モードに限定しユニットセル領域の解析手法や特性モードの事例を挙げて述べた。特性異常や、破壊モードは実装状態に近い環境でいかに検出するか、不具合発生時の原因を究明することによって改善の具体性が出てくる。また、発生メカニズムを明確にすることが直結した重要課題である。

参考文献

- (1) 井原惇行, ほか: 最新電子部品・デバイス実装技術便覧 (2002)