# 第2世代分割RESURF構造を適用したHVIC技術 <sup>満x和g\*</sup>

High Voltage IC Technology with 2nd Generation Divided RESURF Structure Kazuhiro Shimizu, Akinori Kinugasa, Tomohide Terashima

## 要 旨

近年の環境問題に対する意識の高まりから、省エネルギー技術への関心は年々増加している。この省エネルギー技術の一つとして注目されるパワーエレクトロニクスで重要 な役割を果たしているのが、IGBT (Insulated Gate Bipolar Transistor)やMOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor)等のパワー半導体素 子とそれらを制御する回路技術である。

三菱電機では、このパワー半導体素子の制御回路を1チ ップに搭載したHVIC(High Voltage Integrated Circuit: 高電圧集積回路)を開発し、IPM(Intelligent Power Module)の高機能化、差別化のキーデバイスとして継続的 な性能改善を行っており、パワー半導体素子の駆動機能に 加え、保護機能の強化やROM内蔵、ブートストラップ機 能内蔵などを進めている。また、この進化に対応するため、 HVICは微細加工技術を適用することで、より大規模な回 路の搭載を実現してきた。本稿では第2世代分割RE-SURF(REduced SURface Field)構造と、8インチ製造ラ イン/0.5µm相当のデザインルールを適用した第4世代 600V HVICプロセス技術,搭載デバイス特性の概要につ いて述べる。

この最新世代HVICの特徴は次のとおりである。

- (1) N<sup>+</sup>埋め込み拡散層とP<sup>-</sup>エピ基板をベースにした,第
  2世代分割RESUF構造の適用
- (2) 微細埋め込みマスクパターンで形成した電界緩和構造 による高耐圧(800V)の実現
- (3) 8 V/24V系素子 (CMOS (Complementary Metal Oxide Semiconductor)/Bip.Tr/容量・抵抗類)と
  600V系Nch/PchMOSを同一チップ上に形成
- (4) N<sup>+</sup>埋め込み拡散層の導入による、高サージ耐量の実現
- (5) レーザトリミング機能の内蔵によって,回路特性の微調整が可能

今後,第4世代HVICの製品展開を行うとともに,1,200V クラスへの適用を目的とした構造開発を継続する。



## 第2世代分割RESURF構造を適用した第4世代600V HVICチップ

高電位島分離領域内に高耐圧デバイスを形成可能にする "分割RESURF構造" を第2世代に進化させ、この構造と0.5µm級加工技術と8イン チ製造ラインを適用した第4世代の600V HVICプロセスを開発した。

# 1. まえがき

ゲートドライバ用HVICは、パワー半導体素子の駆動に 関して, 短絡等による素子破壊を防止する保護機能なども 含め、統合した機能を持つキーデバイスとしてIPMに広く 採用されている。このHVICの構造的な特徴は、低電位領 域の制御信号を高電位側回路へ伝達するレベルシフト機能 を実現するため、高電位が印加される内部配線を形成可能 としたことであるが(1),この配線に対する層間絶縁酸化膜 の耐量などを考慮すると、HVICの高耐圧化は600Vクラス が限界であった。当社では独自の"分割RESURF構造"を 開発することでこの限界を克服し、1,200V耐圧のHVICを 実現した<sup>(2)(3)</sup>。この第1世代分割RESURF構造は高耐圧化 に適していたが、深いN拡散層を基本構造としてデバイ スを構築しているため、縦方向の寄生PNPが容易に動作 し、それを抑制するために素子レイアウト設計の自由度を 制限していた。この問題点を解決する目的で,P<sup>-</sup>基板/ P<sup>-</sup>エピ層とN<sup>+</sup>埋め込み層(NB), 微細マスクパターンから 形成されるマイクロN<sup>+</sup>埋め込み層(µ-NB)を適用した第 2世代分割RESURF構造を開発した。

本稿では第2世代分割RESURF構造と、この構造を適 用した最新のHVIC技術について述べる。

## 2. デバイス構造及びプロセス

図1に、第2世代分割RESURF構造を適用した高耐圧 Nch-LDMOSFETの断面図を示す。P<sup>-</sup>基板上にP<sup>-</sup>エピ層 を形成しているため、RESURF領域となるN拡散層は、 リンの高エネルギー注入と高温拡散プロセスによって形成 している。デバイス構造でNBを導入することで、第1世 代型の問題点であったロジック領域下部に存在する寄生 PNP動作を抑制できる。また、P<sup>-</sup>エピ層をP<sup>-</sup>基板と同一 濃度とすることで、分割部が高電圧印加時に完全に空乏化 し、電界集中による降伏が発生しない構造にできる。

一般にNBは, 浅くかつ高濃度にすると, 面積が小さく 寄生動作に対し効果的な分離構造が形成できる。一方, 深 くかつ低濃度の場合, 拡散終端コーナー部での電界集中を 緩和できるので, 高耐圧分離に適している。この背反する



高耐圧Nch-LDMOSFETの断面構造

要求項目にこたえるために,μ-NB構造を新たに導入した。 この構造では微小領域からの不純物拡散によって、同一の 製造工程で広い面積部(NB部)より低濃度の拡散層が形成 できる効果を利用している。図2に、テストパターンにお けるNB部とµ-NB部の不純物プロファイルを示す。µ-NB 部のパターンは等間隔の点(微小領域)で形成されており、 各拡散層はSR (Spreading Resistance)法で測定した。微小 な不純物導入部からの三次元的な拡散によって、u-NB部 ではNB部と比較して表面濃度は1%程度と低いにもかかわ らず、拡散深さは75%程度を確保できている。したがって、 NBパターンの終端部にu-NBパターンを配置することで、 電界を緩和することが期待できる。今回開発した第2世代 分割RESURF構造は、8インチ製造ライン/0.5µmルール 相当のウェーハプロセス技術を適用しており、8V/24V 系素子(CMOS/Bip.Tr/容量・抵抗類)と回路特性の高精 度化を目的としたレーザトリミング機能が搭載されている。

#### 3. デバイス特性

#### 3.1 RESURFダイオードの耐圧特性

**図3**に, デバイス耐圧実験に使用したµ-NBのパター ンレイアウトを示す。





図3.NB及びµ-NBのパターンレイアウト

なお, このパターン端はすべて同一の半径 R となるよう設計されている。

図4に、図3(a)(b)の2種類のN<sup>+</sup>埋め込み拡散層パター ンを適用した場合と、NBを全く適用しない場合の RESURFダイオード耐圧の分離距離Liso(図1)依存性を示 している。Liso=119µmの場合、NBなし構造の耐圧は 1,020Vである。この基本構造にNB構造を付加すると耐圧 は640Vにまで大きく低下するが、μ-NB構造を適用するこ とで815Vに改善される。この値は、NB構造のLiso= 170µmにおける耐圧と同等である。これはμ-NB構造を採 用することでRESURF分離距離が50µmも縮小できること を示しており、μ-NB構造はチップ面積縮小にも効果的で あるといえる。

#### 3.2 高耐圧Nch-LDMOSFET/Pch-MOSFETの特性

図5に、第2世代分割RESURF構造を適用したNch-LDMOSFETのチップ写真とその等価回路を示す。分割領 域はP<sup>-</sup>エピ層で形成されており、その上部はNch-LDMOSFETのドレイン電極に接続されたポリシリコンの フィールドプレートでカバーされている。またドレイン電 極はポリシリコンフィールドプレート上に形成したアルミ 配線によって、高電位島内の電極パッドに接続されている。

図6に、Nch-LDMOSFET(Liso/Wgate=119µm/ 140µm)のI-V特性を示す。オン抵抗は、V<sub>d</sub>=5V/V<sub>g</sub>=







図 5. Nch-LDMOSFET(分割RESURF構造)のチップ写真と 等価回路

15V印加時で2.5k  $\Omega$ が得られている。またオン耐圧は、 V<sub>g</sub>=~8V/I<sub>ds</sub>=8mAの範囲でレベルシフト動作に要求 される600V以上を確保している。図7に示すように、オ フ耐圧は815Vであり、この値は先に述べたRESURFダイ オード構造で同じ分離距離(Liso=119µm)の場合と同じ耐 圧である。これは分割領域を形成するP<sup>-</sup>エピ層が完全に 空乏化して、この不連続部で耐圧劣化を引き起こさないこ とを示している。分割領域で、高電位島部とNch-LDMOSFETのドレイン部間のパンチスルー耐圧は35Vで あり、レベルシフト回路の動作上十分な値が確保できてい る。

図8に、高耐圧Pch-MOSFETの断面構造を示す。 Pch-MOSFETは、RESURF分離領域にP<sup>-</sup>オフセットド レイン層を付加した自己分離構造として形成できる。今回 P<sup>-</sup>オフセットドレイン層パターンを、従来の全面パター ンからスリットパターンに変更することで、耐圧と出力電





図 7. Nch-LDMOSFETのオフ耐圧波形



図8. 高耐圧Pch-MOSFETの断面構造



図9. ラッチアップ破壊耐量評価回路

流のトレードオフを改善した。スリット構造を適用すると、 ドレイン層の総断面積が減少し抵抗値が増加するというデ メリットがあるが、N領域に対する表面積が増加するため 空乏層形成が促進されるというメリットがある。このため 従来構造では高耐圧を保持できない、比較的濃度の高いオ フセットドレイン層を導入しても高耐圧保持が可能になり、 抵抗値が低くなることで出力電流が増加し特性を改善でき た。今回の試作デバイス(Liso/Wgate=119µm/140µm) は、オフ耐圧800V/オン抵抗20k $\Omega$ @Vd=5V/Vg=15Vで あり、従来構造の同耐圧品より約2倍の出力電流が得られ た。また、オン耐圧もゲート印加電圧が-15V以上で -600Vを保持できており、レベルシフト素子として十分 な特性を持っている。

#### 3.3 ラッチアップ破壊耐量

ゲートドライバ用HVICが使用されるインバータ回路は, モータ等のL負荷に大電流を供給するため,スイッチン グ動作時に大きなサージ電圧が発生する。この影響で, HVICの高電位側回路基準電位となるVS端子には,負バイ アスが印加される。PN接合分離が順バイアスされること でHVIC内部に過大な電流が発生し,CMOS構造の寄生サ イリスタが動作してラッチアップ破壊が起こる。このため HVICは,この負サージ電圧に対する破壊耐量の大きさも 重要な特性となる。

図9に、VS端子における負サージ電圧のラッチアップ 破壊耐量への影響を評価する回路を示す。HVIC内部回路 がラッチアップ破壊するまで、負電圧を矩形(くけい)パル ス幅0.2~1.0µsの範囲で印加している。図10に、室温にお けるラッチアップ破壊耐量評価結果を示す。今回の試作デ バイスでは、入力サージパルス幅1.0µs以下でサージ破壊 電圧を-60V以上確保している。



4. む す び

P<sup>-</sup>基板/P<sup>-</sup>エピ層とµ-NB構造を適用した,第2世代 分割RESURF構造を開発した。µ-NB構造はこれを適用し ない通常のNB構造と比較して,小さいRESURF分離距離 で同一耐圧を得ることができた。また第2世代分割RE-SURF構造は,分割部のP<sup>-</sup>エピ層が完全に空乏化すること で,これを形成しない基本のRESURFダイオード構造と 同一の耐圧値が得られることを確認した。このことは更に 高耐圧の1,200VクラスのHVICにも適用可能であることを 示唆しており,現在この耐圧クラスのHVIC開発を進めて いる。

#### 参考文献

- (1) Terashima, T., et al.: Structure of 600V IC and a new voltage sensing device, Proc. ISPSD, 224~229 (1993)
- (2) Terashima, T., et al.: A New Level-shifting Technique by divided RESURF Structure, Proc. ISPSD, 57~60 (1997)
- (3) Donlon, J., et al.: A New 1200V Converter-Inverter-Brake(CIB) Module Family Featuring CSTBT Chips and a New 1200V High Voltage Integrated Circuit(HVIC), Industry Applications Conference, 2006. 41st IAS Annual Meeting. Conference Record of the 2006 IEEE Volume 2, Issue, 763~769 (2006)