

## SiCインバータの低損失化技術

### Technology of Power Loss Reduction for SiC-inverter

シリコンカーバイド(SiC)を用いたデバイスは、低抵抗、高耐熱性等の優れた特長を持ち、パワーエレクトロニクス機器に適用することで低損失化、小型化が期待される。

当社では、SiCの電界効果トランジスタ(MOSFET)とショットキーダイオードを用いた11kWインバータを試作し、Si-IGBT(Insulated Gate Bipolar Transistor)を用いたインバータに比べて、体積比1/4の小型化と電力損失の70%低減を実現した。

インバータの損失の一つに、素子をON/OFFする際に発生する損失がある。この損失は、スイッチング時間(SW時間)の短縮とともに減少し、素子構造で決まる値に漸近する。Si-IGBTは原理的にSW時間短縮に限界があるが、SiC-MOSFETは大幅な短縮が可能である。今回、SiC-MOSFETを用いたインバータのSW時の損失を極限まで低減する低損失化技術を開発した。

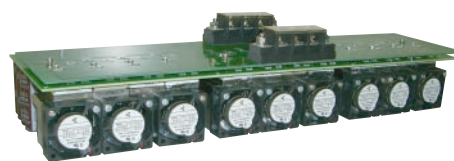
SW時間短縮のためには、スイッチング時に発生する過渡的な電圧・電流変動を抑制できる主回路及び駆動回路の実現が必要となる。このためSiC-MOSFETの電気特性を詳細に測定してインバータの最適設計を行った。

試作したインバータ(図1)の静特性・動特性を測定し、スイッチング時の損失が極限まで低減できていることを実

証した。また、電力損失(出力20kW、キャリア周波数20kHz)が、第五世代Si-IGBTを用いたインバータに対し世界最高(\*1)となる90%低減されることを確認できた。

このように、SiC-MOSFETのスイッチング性能を最大限引き出す低損失化技術の開発を行うことで、これまでにない大幅な電力損失低減が実現できることを実証した。

\*1 2009年11月11日現在、SiCインバータとして



今回試作したSiCインバータ

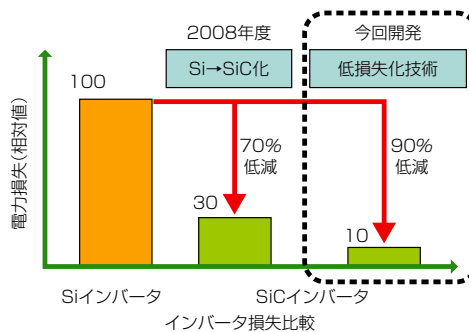


図1. SiCインバータの低損失化

## 太陽光発電システム用100kWパワーコンディショナ

### Mitsubishi 100kW Inverter for Photovoltaic System

世界的な環境保全意識の高まりによって、発電時に二酸化炭素(CO<sub>2</sub>)を排出しない太陽光発電システムが注目されている。太陽光発電システムにおいて、発電した直流電力を交流電力に変換するパワーコンディショナの効率向上は非常に重要な課題である。当社は、業界最高(\*1)の変換効率97.5%を持つ家庭用のパワーコンディショナをすでに製品化している。

今回、世界的に設置が拡大している大容量太陽光発電システム向けに、家庭用パワーコンディショナで実用化した階調制御型インバータ技術の大容量への適用展開と、小型のDC/DC昇圧器の開発を行い、100kW出力の大容量パワーコンディショナプロト機で、97.5%という高い変換効率と容積約1.8m<sup>3</sup>(1,200×800×1,900mm)の小型サイズを実証した(図1)。階調制御型インバータは、電圧の異なる3台のインバータの出力を組み合わせることで階段状の擬似正弦波を出力するため、一般的なPWM(Pulse Width Modulation)

方式と比較して、出力電圧の高周波成分が小さくなり、パワー半導体のスイッチング損失やフィルタでの損失が大幅に低減される。今後、2010年度の実用化を目指して検証試験を進めていく。

\*1 2009年2月現在、当社調べ。PV-PN40GのJIS8961で規定する定格負荷効率。国内用パワーコンディショナの電力変換効率で。

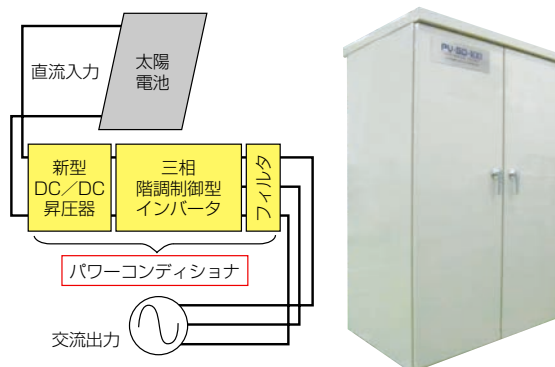


図1. 100kWパワーコンディショナの構成と概観

# 柔軟物も取り扱える生産用ロボットシステム

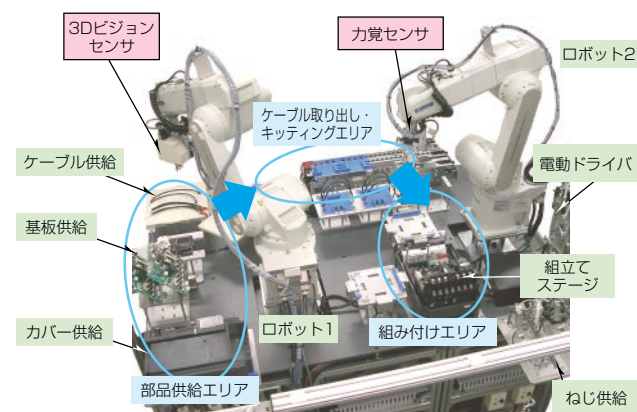
## Industrial Robot System with Flexible Cable Handling Abilities

産業用ロボットは溶接や部品搬送等で活躍する一方で、柔軟ケーブルの配線や組立て作業を行うことは困難であった。当社では、各種要素技術の開発を通じて、コネクタ付きケーブルのような柔軟部品を含む電気電子製品の自動組立が可能で、次世代ロボット生産システムの開発を行っている。

この開発では、①ロボット手先に取り付け可能な小型三次元ビジョンセンサと、それをを用いた対象物体の三次元位置姿勢認識技術、②幅広い対象へ高速な動作が可能な力覚制御技術、③短時間でのシステム立ち上げを目的としたプログラム生成システム、④作業高速化のための動作最適化技術、⑤作業時のエラーからの自動復旧技術、といった要素技術の開発を行っている。また、実際の産業機器を対象とした組立て作業実証システムを構築した。このシステムでは、①コネクタ付きケーブルを三次元位置姿勢認識に基づいて作業用固定具に整列(キッティング)させる作業、②エラー復旧を含む基板へのコネクタ挿入作業、③カバー

移載及びねじ締結作業、といった一連の作業を実行し、対象とする産業機器の主要な組立て工程が実現可能であることを確認している。今後、各要素技術の完成度を高めるとともに、要素技術の事業化を進める予定である。

この開発は、独立行政法人新エネルギー・産業技術総合開発機構(NEDO)委託研究から補助金を得て実施している。



組立て作業実証システム

# 新型ノーヒューズ遮断器の新遮断技術

## Advanced Technologies for Circuit Interruption of MCCB

近年、低圧遮断器の小型化・高遮断容量化の要求が高まる中、新しい遮断技術を開発し、小型・高遮断容量化を実現した新型ノーヒューズ遮断器“WS-Vシリーズ”を製品化した。新たに採用した新遮断技術について述べる。

### (1) MCCB用新アーク走行遮断技術

アーク走行方式は、遮断初期に発生したアークを、グリッド等の消弧が容易なエリアまで高速走行させる遮断方式であり、小型で高容量の遮断が可能となる。今回、電界、ガス流、及びアーク駆動電磁力の解析技術を駆使することで、アーク走行遮断技術の高度化を図った。その結果、63A定格MCCB(Molded Case Circuit Breaker)業界最小<sup>(\*)1</sup>となる横幅54mmと遮断容量の格上げを実現した(Ics<sup>(\*)2</sup>当社従来比：4→8kA)。

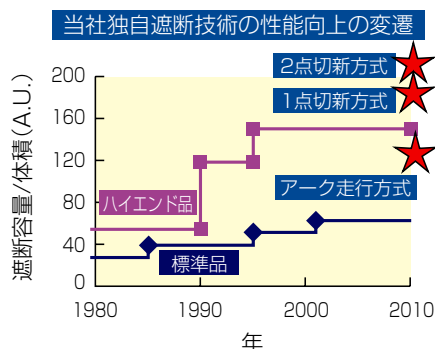
### (2) “Expanded ISTAC<sup>(\*)3</sup>(Impulsive Slot Type Accelerator)”を搭載した1点切新遮断技術

当社独自のISTAC構造の電路形状最適化によって、遮断初期の開極電磁力を7割増強し、遮断容量の大幅格上げとなるIcu<sup>(\*)4</sup>=Icsを実現した(250A機種 当社比：Icu/Ics=50/25→85/85kA)。

### (3) 当社独自の2点切遮断技術

ハイエンド機種として、従来シリーズではラインアップのなかった2点切遮断方式を新たに開発した。新しい2点切遮断技術では、電磁力解析を用いて開極速度の向上を図ることで、業界最小<sup>(\*)5</sup>の筐体(きょうたい)寸法でIcs=150kAを実現した。

- \*1 2009年8月現在、当社調べ。63AフレームクラスMCCBにおいて。
- \*2 3回遮断容量
- \*3 電気の流れる経路を工夫し、接点の開く速度を大幅upする構造
- \*4 2回遮断容量
- \*5 2009年8月現在、当社調べ。250AフレームクラスMCCBにおいて。



新型ノーヒューズ遮断器 WS-Vシリーズ

新型ノーヒューズ遮断器の新遮断技術

## 10G-EPON用バースト光送受信技術

### Burst Mode Optical Transceiver Technology for 10G-EPON Systems

次世代光アクセスシステムとして10G-EPON (10Giga-bit-Ethernet<sup>(注)</sup> Passive Optical Network) システムが注目されている。10G-EPONシステムは、GE-PONと同様に1台の局側装置(Optical Line Terminal: OLT)と複数の加入者側装置(Optical Network Unit: ONU)が光スターカプラを介して接続される構成であり、GE-PONによって敷設した光ファイバスターカプラを含む伝送路をそのまま使用して10倍の高速化が実現可能なシステムである。

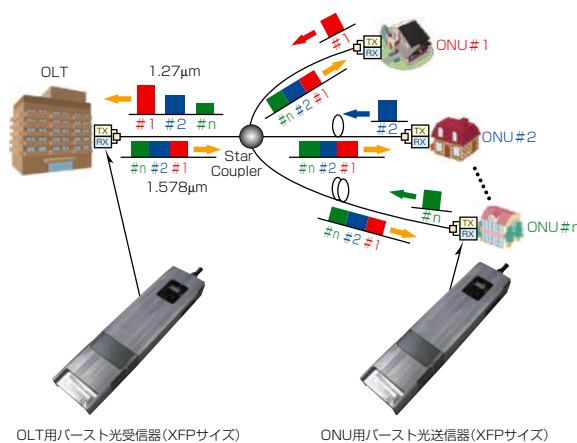
技術的には、10倍高速化されたバースト光信号を送受信するための高度な回路技術が要求される。

開発したバースト光送受信器の特徴として、

- (1) OLT用バースト光受信器：バースト信号に連続的にかつ高速に応答する独自の自動利得制御技術及び自動閾値(しきいち)制御技術を適用した、プリアンプIC、リミッティングICと、高感度APD(Avalanche Photodiode)によって最小受信感度-30.1 dBmの高感度化を実現
- (2) ONU用バースト光送信器：高出力DFB-LD (Distrib-

uted Feedback-Laser Diode)とLD駆動回路間へインピーダンス整合技術を開発し、+6 dBm以上の高出力化を実現

開発したバースト光送受信器は、国際標準IEEE802.3av PR30規格を満足する特性を達成した。



10G-EPONシステムの概要と開発した光送受信器

## ワイヤ放電加工機 “NAシリーズ” のデザイン

### New Design of Wire-cut Electrical Discharge Machine "NA Series"

工作機器のユーザーの多様化を背景に、加工機デザインでも操作性・使いやすさが重視されている。作業員へのヒアリングや観察法を用いた行動分析等の現場実態調査から問題点を抽出し、動作を小さく、近付きやすくするため前面カバーに傾斜をつけるなどの改善アイデアを盛り込んだデザイン開発を実施した。

加工槽と操作盤と工具箱を結ぶ作業員の移動距離に着目し、安全かつ速やかにアクセスできるように操作部の高さ・角度を検討し、従来機種より操作部の高さを低くした。

世界最高クラス<sup>(\*)</sup>の加工性能を実現した高精度機器にふさわしい機能美と新規性をねらい、複雑な構造をシンプルにパッケージングした斬新(ざんしん)なスタイリングとした。本体色は当社産業機器の新デザイン標準色である白、灰色、赤の3色でまとめた(第39回機械工業デザイン賞受賞)。

\* 1 2009年11月25日現在、ワイヤ放電加工機として。形状精度、ピッチ精度の加工精度保証±2 μm (NA-P, 指定形状)



ワイヤ放電加工機 DIAX NA2400

# 新型成田エクスプレス向けトレインビジョンの画面デザイン

## Train Vision GUI Design for New Narita Express

2009年10月から営業運転を開始したJR東日本・新型成田エクスプレスE259系のトレインビジョンの画面デザインを開発した。2画面表示器タイプとしては当社初の特急車両向けトレインビジョンで、客室通路上天吊(つ)り型17インチワイド液晶2画面の表示装置を採用した。これによって、豊富な情報を指定座席に座ったままで入手でき、特急車両ならではの快適性を実現した。また、当社車両統合管理システムとの連携によって走行位置を検知し、駅接近時での乗り換え路線や駅設備案内、長い駅間での広告、ニュース、天気予報やフライト情報など、走行状況に合わせた情報提供を実現した。

ユニバーサルデザイン(UD)の視点では、色弱者に配慮したカラーUD、利用割合の高い外国人に対応した4か国語表示、主要文字の視距離に対する判読可能な文字サイズの確保、読みやすい形状の日本語フォントの導入など、様々な配慮の下にデザインを展開し、できるだけ多くの人々が情報を取得できる画面デザインを実現した。



フライト情報(往)



駅構内案内(復)



走行位置案内

新型成田エクスプレス向けトレインビジョン画面デザイン

# 組み込み型表示器向けGUI描画処理用小型高速IPコア

## High-speed and Compact IP Core for Processing Graphics in Built-in Display Systems

近年、組み込み型の表示器も、最新のパソコン画面と同様の視認性の良い表示や素早い反応が求められている。この要求にこたえるため、表示器に組み込み可能なGUI(Graphical User Interface)描画処理用小型高速IPコア(Intellectual Property Core)を開発した。

文字の描画は、その輪郭部を滑らかに表示する当社独自の描画ソフトウェア技術“Saffron”(図1)を、演算能力の低いCPU(Central Processing Unit)でも処理できるようにIPコア化し、毎秒8万文字(動作周波数66MHz時)の高速描画を達成した。

また、グラフィックスの描画は、美しい表示品質が得られるベクターグラフィックスを独自アルゴリズムで高速に処理するIPコア“Sesamicro”(図2)を開発した。

Sesamicroは、CPUに負荷をかけずに描画処理を実行できるため、動作周波数が数十MHz程度のCPUを搭載した組み込み型表示器でも、2GHzの汎用(はんよう)CPUを用いたパソコンを超える高速描画を達成した。

それぞれのIPコアは、描画アルゴリズムに最適化した小型演算回路を用いることによって、最小100キロゲートの回路を実現し、低価格のFPGA(Field Programmable Gate

Array)や組み込み機器用カスタムLSI(Large Scale Integration)に低コストで搭載することが可能である。



図1. Saffron IPコアによる文字描画例



ベクターグラフィックスによるスムーズな拡大縮小描画

図2. Sesamicro IPコアによるグラフィックス描画例

## FPGA搭載アクセラレータによるLSIのハードウェア・ソフトウェア協調検証技術

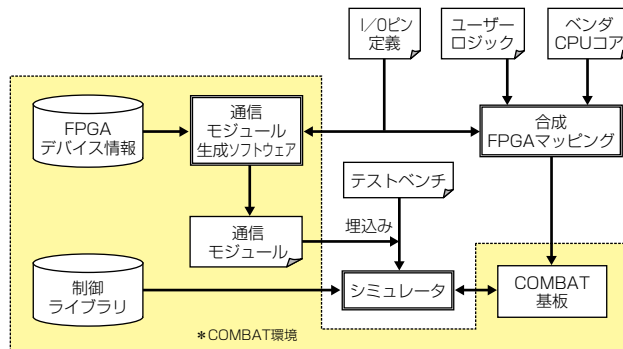
### Co-verification for Hardware and Software of LSI by FPGA-based Accelerator

近年FPGA(Field Programmable Gate Array)の大規模化とFPGAベンダーによる組み込み可能なCPU(Central Processing Unit)コアの提供によって、FPGAを用いたシステム構築が容易となり利用が拡大している。しかし、回路の複雑化に伴う検証時間の増加が問題となっている。

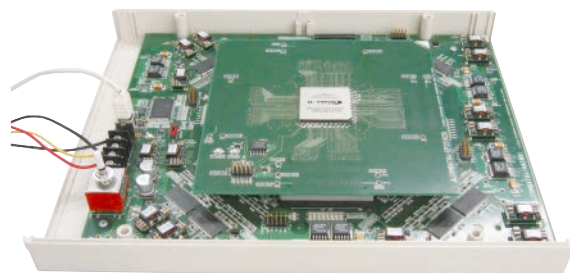
当社では、論理シミュレーションのアクセラレータ“COMBAT(Co-emulation Modeling Board with Acceleration and Testing)”を開発し、LSI(Large Scale Integration)のハードウェア・ソフトウェアの協調検証を実施することによって、製品開発期間の短縮を図っている。

COMBATの主な特徴は次のとおりである。

- ①ユーザーロジックに加え、CPU等ベンダーIPコアをCOMBAT内のFPGAへ実装
- ②ハードウェアによる、イベント数によらない高速論理シミュレーションを実現
- ③ドータボード部のみの変更によって、任意のFPGAデバイス・パッケージでの検証が可能
- ④通信モジュール生成ソフトウェアによって、COMBAT使用準備にかかる作業者の負担を軽減



協調検証実施フロー



COMBAT本体

## 品質工学を活用した構造強度解析技術

### Structural Design Using CAE and Quality Engineering

製品の構造設計で、構造強度不足による設計手戻りや、過剰強度設計によるコスト増の問題を解決するために、構造強度解析(CAE)と品質工学を組み合わせた設計手法を開発した。

必要な強度を保ちつつ構造部材を削減するといった構造の最適化を図るためには、主たる構造部材の板厚や幅、補強部材の有無など、数多くの設計パラメータについて、それぞれ強度への影響度を検証する必要がある。また、個々に影響度の高い設計パラメータを抽出しても、それらが相互に影響して、組み合わせによっては、必ずしも最適構造にならない場合がある。

そこで、構造強度解析に品質工学を組み合わせ、直交表による効率的な解析パターンを絞り込みと、感度解析による各設計パラメータの影響度評価により、効果のある設計パラメータの組み合わせを抽出し、構造最適化を実現する手法を構築した。

現在この手法は、空調機器や冷熱機器の構造設計に適用している。

