

ASIC / FPGAの機能検証技術

上野 仁*

A Functional Verification Method for ASIC and FPGA

Hitoshi Ueno

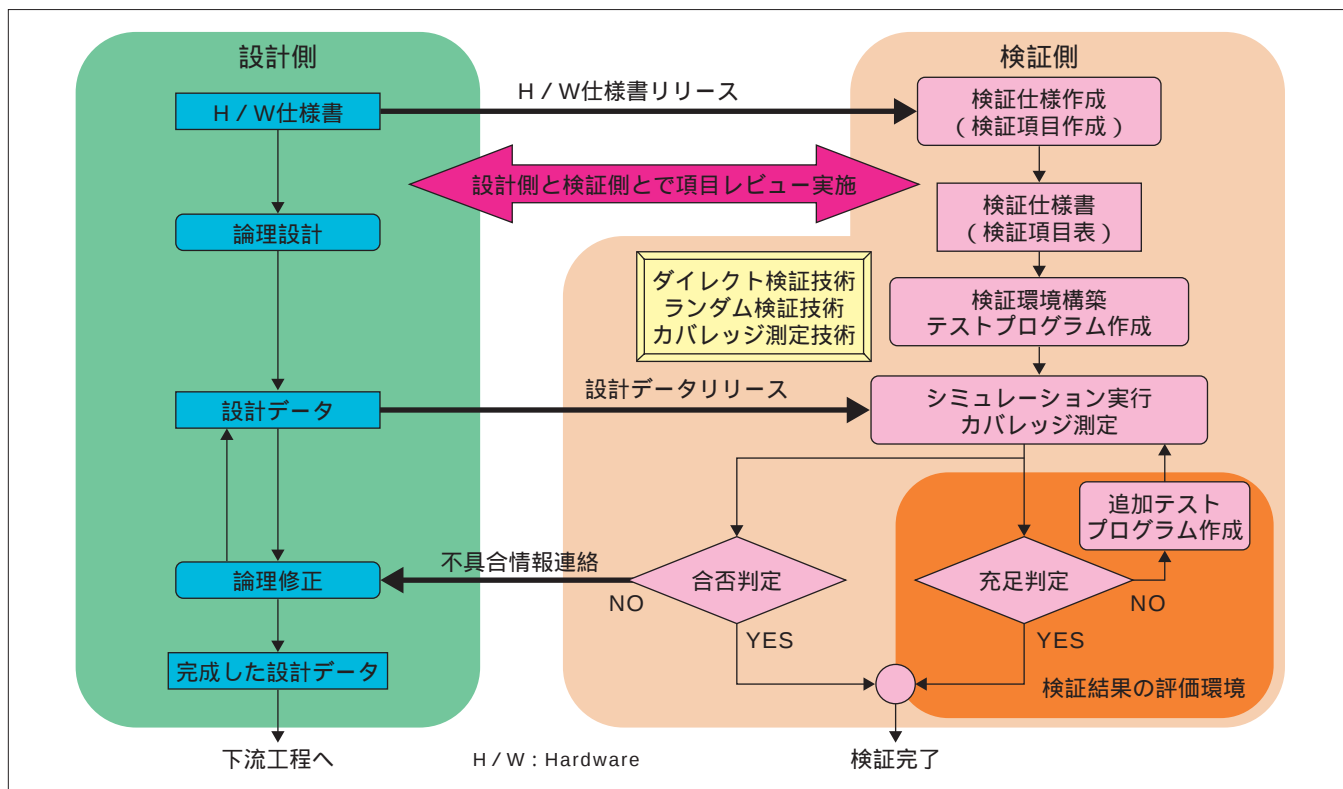
要 旨

デジタル機器のキーパーツであるASIC(Application Specific Integrated Circuit)/ FPGA(Field Programmable Gate Array)の開発では、半導体の微細加工技術の進歩に伴い集積可能な素子数が増大しており、搭載可能な機能も増大し高機能化・複雑化している。このために、論理設計の負荷増大に加えて、機能検証負荷の増大が顕著である。このような背景の下、論理設計段階での機能不具合の除去が不十分となり、開発下流であるレイアウト設計段階や製造段階、又はフィールドにおいて致命的な不具合が見付かるおそれが増大している。製品開発フローの中で見付かる不具合の除去にかかるコストは、下流になるほど増大する。ASICを再作成する場合、最先端プロセス(90 ~ 65nm)を使用するとマスク費用として数億円が必要である。また、フィールドで不具合が見付かった場合には、社会的

信用の失墜やブランド力の低下など、重大な影響を及ぼす。このような状況により、ASIC / FPGA開発における機能検証の重要性が増している。

本稿では、ASIC / FPGAの品質確保のキーとなる第三者的機能検証技術についてダイレクト検証技術、ランダム検証技術、カバレッジ測定技術といった要素技術を述べた後、現状分析と課題整理を行い、問題解決に向けた取り組みとして検証結果の評価環境について述べる。検証結果の評価環境とは、意図した試験が確実に実施されたことを自動チェックする環境である。この環境を構築し汎用マイコンのCPU(Central Processing Unit)周辺回路検証に適用した結果、テストプログラムの試験条件漏れを検出し検証漏れの防止に効果があることを確認した。

特集
II



第三者的機能検証フロー

論理不具合を論理設計段階で確実に除去するためには、設計者の思い込みや勘違いを排除できるよう、客観性を持った機能検証を行うことが重要である。したがって、機能検証は、検証専任の検証エンジニアを置いた第三者的機能検証フローに従って実施する。