

# 遮断器制御基板における耐ノイズ評価技術

白木康博\*

Noise Evaluation Technique for Breakers' PCB

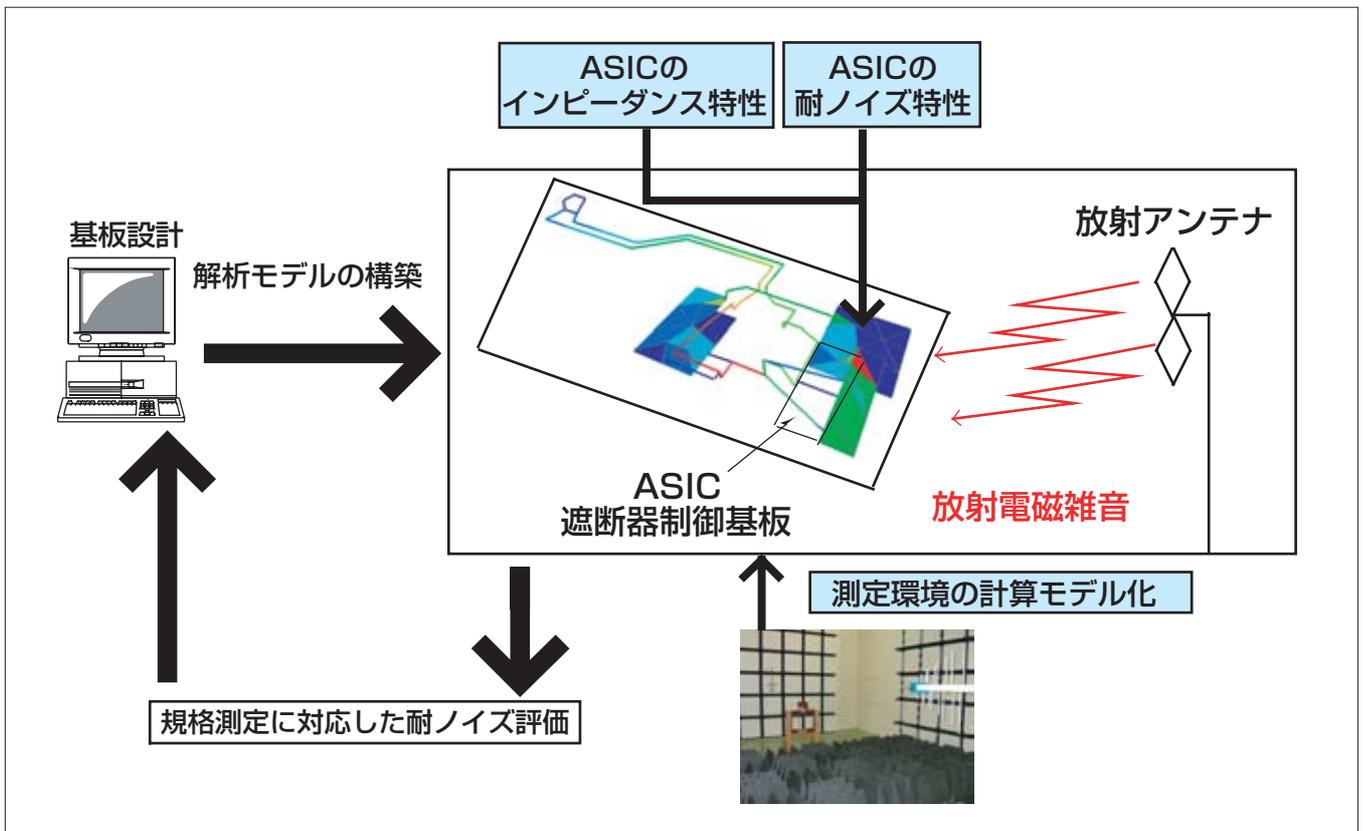
Yasuhiro Shiraki

## 要旨

遮断器は、工場などの劣悪な電磁環境で使用されることが多く、放射電磁雑音に対して誤動作しないことが求められている。そのため、IEC(国際電気標準会議)で遮断器などの電子機器のノイズ耐性が規格化されており、製品出荷前に確認試験が義務付けられている。遮断器では、制御基板(Printed Circuit Board: PCB)のノイズ対策を行うことにより、遮断器のノイズ耐性を強化している。しかし、これらのノイズ対策は設計・試作後に行われることが多く、対策のために試作回数が増えて製品開発期間を延長させることがある。最小限の試作回数で製品開発を行うためには、設計段階で制御基板のノイズ対策を行う必要がある。

本稿では、電磁界解析技術とASIC(Application Specific

Integrated Circuit)の耐ノイズ評価技術を連携させることにより設計段階における遮断器制御基板の耐ノイズ評価技術を開発したので述べる。ASICの耐ノイズ評価では、専用の評価基板と高周波測定装置を用いてASICに関するインピーダンス及び耐ノイズの周波数特性の測定技術を開発した。さらに、ASICのEMC(Electromagnetic Compatibility)特性を考慮した電磁界解析技術により制御基板を含む遮断器全体の耐ノイズ特性を評価する技術を開発した。最後に、この耐ノイズ評価技術を適用した遮断器について、電波暗室でIECの規格試験を行い、この耐ノイズ評価技術の妥当性を検証した。



## 遮断器の耐ノイズ評価技術

設計・試作後の実測により遮断器のノイズ特性を評価する従来方式に比べて、この耐ノイズ設計技術を使うと、遮断器のノイズ特性を設計段階で把握することが可能になる。この設計技術では、測定環境、遮断器制御基板の構造及び制御基板に搭載されるASICのインピーダンス特性を考慮した電磁界解析により遮断器制御基板のノイズ分布を解析して、ASICの耐ノイズ特性と比較することにより、遮断器の耐ノイズ特性を算出する。