

# 微細構造適用600V系HVIC

楠 茂\*  
清水和宏\*  
守谷純一\*

## 要 旨

エネルギー需要の増加と環境保護・省資源化等の社会的な要請を背景に、パワーエレクトロニクス機器は小型・軽量、高効率、低騒音等の特長を備え、情報機器・家電品等広い分野へその応用範囲が広がってきている。小型・高機能化の進展には、部品点数の削減とそのシステムに合った効率的制御が可能なHigh Voltage IC (HVIC) の発展に起因する部分も大きい。

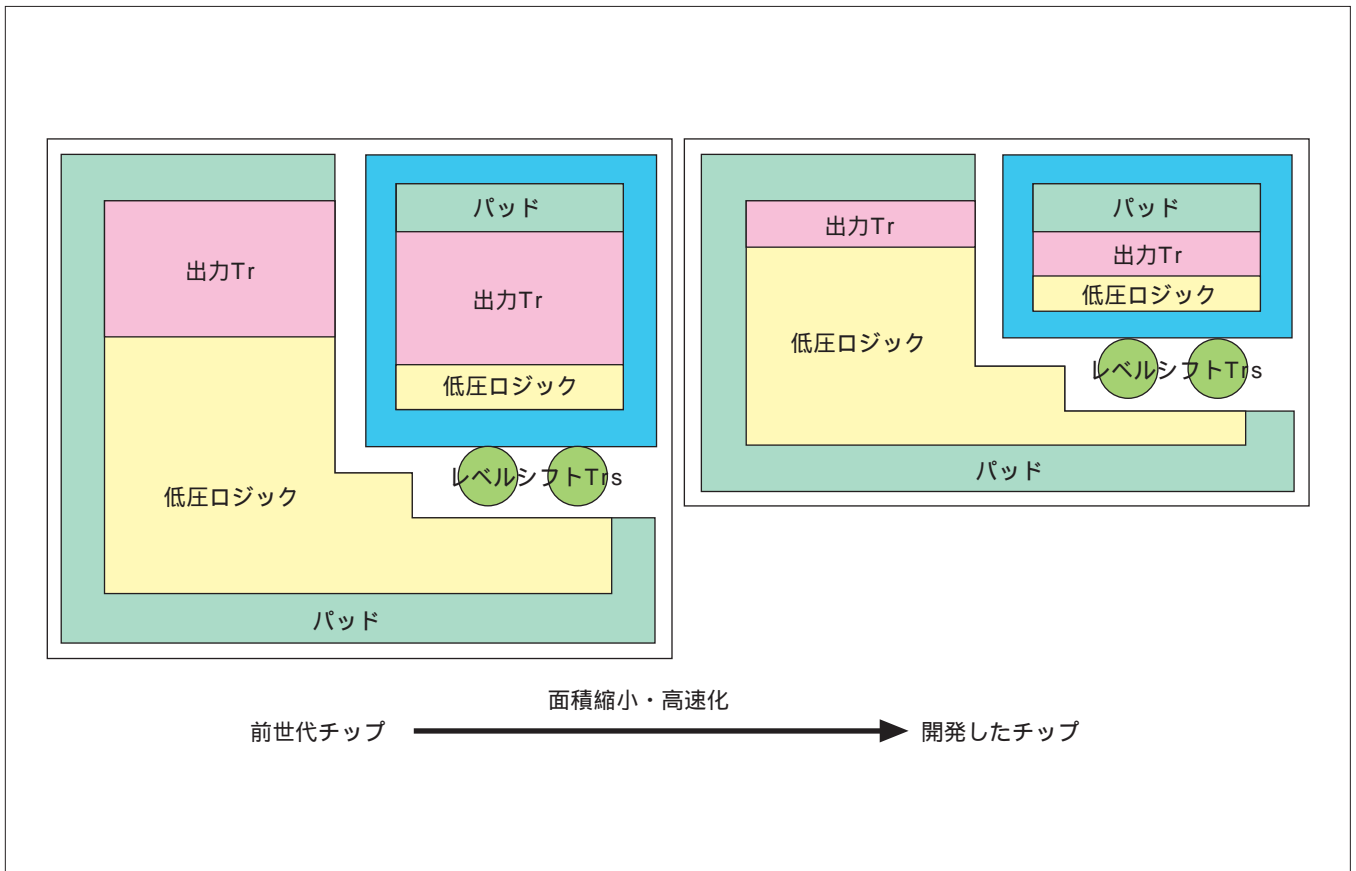
本稿では、600V耐圧クラスのHVICを高性能化するため、IC部分の低電圧CMOS素子を電源電圧一定(前世代と同様24V)の定電圧スケールリングを行ったので述べる。

素子の縮小はゲート酸化膜の薄膜化と浅い接合を用い、ゲート長の縮小と共通コンタクト領域の縮小によるチャネ

ル長方向のディメンジョンの縮小、単体素子の電流駆動力を向上させることによるチャンネル幅方向のディメンジョン縮小の両面から行った。また、各々のトランジスタがその用途によって最適に用いられるように素子の分類を行い、個別に用途に応じたメリットを引き出す方向に重点を置いたスケールリングを行った。

その結果、個々の単体トランジスタにおいて単位電流当たりの寄生容量を前世代比35~82%、単位電流当たりの素子面積を前世代比24~52%にまで削減できた。

このため、出力電流定格の比較的大きなICチップでは、36%のチップ面積削減が達成され、さらに、スケールリングメリットとしてほぼ2倍の回路動作速度が得られた。



## 微細化によるチップ面積縮小と高速化

前世代チップをパターン縮小(チャンネル長方向)と電流駆動力向上によるチャンネル幅縮小の両面からスケールリングにより縮小した。その結果、出力トランジスタ部分は面積を前世代比約1/3にまで縮小でき、ロジック回路部分も数十%(回路内容により異なる)縮小できた。その結果、出力電流2AクラスのICで36%の面積削減と、さらに、面積縮小に伴うスケールリングメリットにより回路動作速度が約2倍となる高速化が達成できた。