

MITSUBISHI

三菱電機技報 Vol.77 No.9

特集「パワーデバイス技術の最前線」

2003 9



目次

特集「パワーデバイス技術の最前線」

パワーデバイス特集号に寄せて 塚本克博	1
未来社会を支えるパワーデバイス技術の進展 長山安治・マジウムダール ゴーラブ・由宇義珍	2
新パワー素子の技術 湊 忠玄・高橋英樹・山下潤一・楯崎敦司	7
低駆動電力新トレンチIGBTモジュール“NFシリーズ” 田畑光晴・石村暢一・松岡 徹	11
新di/dt制御機能搭載低損失・低ノイズIPM“Lシリーズ” 五十嵐 高・谷口信剛・井上貴公	15
大容量1,200V IGBTモジュール“900/1,400A Mega Power Dual” 山田順治・佐伯聖司	19
3Vマイコン駆動の新世代DIP-IPM 岩上 徹・末次英治・白川真也	23
大容量(30・50A/600V)DIP-IPMのパッケージ構造技術 川藤 寿・内田清宏・上田哲也・林 建一	27
新方式力率改善コンバータ“DIP-PFC” 岩崎光孝・瀬尾 護・天野勝之・孔 小明	31
ソフトリカバリーダイオード搭載1.7kV HVIGBTモジュール 森下和博・石澤慎一・井浦真一	35
6.5kV級IGBT 末川英介・石澤慎一・川口安人	39
マトリックスコンバータ用逆阻止IGBT 高橋英樹・金田 充・田畑光晴	43
微細構造適用600V系HVIC 楠 茂・清水和宏・守谷純一	47
パワーモジュールの長寿命化技術 菊池正雄・林 建一・吉原邦裕・高尾治雄・鶴迫浩一	51
2kV耐圧SiC-MOSFET技術 今泉昌之・榎井陽一郎・大塚健一	55
パワーモジュールの分布定数抽出と動特性解析 大井健史・碓井 修・中武 浩	59

特許と新案

「半導体装置」「絶縁ゲート型バイポーラトランジスタの製造方法」	63
「半導体装置」	64

スポットライト

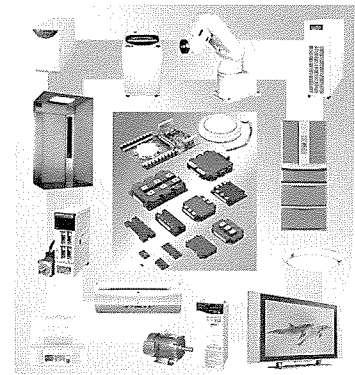
第五世代新トレンチチップ(CSTBT)適用による低損失、
及び新開発制御IC搭載による低ノイズを実現したIPMシリーズ(Lシリーズ)

表紙

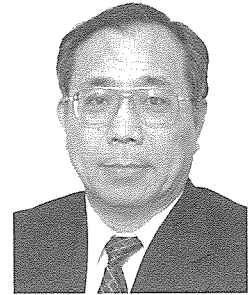
発展する三菱パワーデバイス

エレクトロニクス産業のキーパーツであるパワーデバイスは、近年、省エネルギー化、地球環境への配慮から、低損失化、高性能化、高機能化、小型化が急速に進んできた。

表紙に三菱パワーデバイスの一例を示す。現在、主流のIGBTモジュールは、技術革新により更なる低損失・高速化が進行中であり、新たな市場を創生しつつ発展を遂げている。一方、高機能化と小型化を追求したIPMは、その使い勝手の良さから、家電・産業用途に年々需要が増しており、特にDIP-IPM、SIP-IPMは市場で急成長している。このほか、4.5kV系列までの高耐圧IGBTモジュール、電力用の大容量GTO、GCTと、豊富な品ぞろえを誇っている。



パワーデバイス特集号に寄せて



半導体事業本部長 塚本克博

パワーデバイスはその歴史が始まった当初から電力制御やモータ制御等の電源装置に広く使用され、ダイオード、サイリスタ、トライアック、バイポーラトランジスタ、MOSFET、IGBT (Insulated Gate Bipolar Transistor) など多くの種類のパワーデバイスが開発され実用化されてきた。その間、電力系統の送配電や電車／電気機関車、産業プラント、家電製品など広範な分野で使用され、社会の発展を支えてきた。

半導体デバイスの中では一番早く適応分野が確立されたが、現在でもなお活発な研究開発が行われており、それに伴って適応分野もますます広がりつつある。

世の中のモータは、インバータ制御による省エネルギー化が進行中とはいえ、世界的に見ればインバータ化率はまだ8%程度にすぎない。インバータシステムの低コスト化が進めばインバータ化率は急速に高まり、それに伴って電力消費量も大幅に抑えることができる。エアコンなどの白物家電では、日本が突出してインバータ化が進行しており、省エネルギーに大きく寄与しているが、世界的に見ればインバータ化率はまだまだ10%程度である。今夏は原子力発電所の停止による電力不足が懸念されていたが、全世界のインバータ化率が2倍になるだけで原発8基分の電力を省エネルギー化することができる。世界的に見れば、インバータ化による省エネルギーの余地はまだまだ大きいと言える。

化石燃料の枯渇や地球温暖化を食い止めるクリーンエネルギーとして、風力発電が大きく脚光を浴びている。デンマークなどの北欧では総発電量に占める風力発電の割合が既に16%を超えるところまで普及しているが、日本や米国でもクリーンエネルギーとして認知され始め、普及に弾みがつきつつある。風力発電機から電力線に安定に電力を供給する電力変換システムは2～3メガワットクラスが実用化されており、小型電気機関車並みのインバータシステムとなっている。太陽光発電や、マイクロガスタービンを使用したコジェネレーションなども新しいエネルギー源として普及期を迎えているが、ここにもパワーデバイスの大きな需要が待ち構えている。

自動車は、石油燃料を動力源としたエンジンで走行を始めてほぼ100年が経過した後、排気ガスによる環境破壊や化石燃料の枯渇を前にして、電気エネルギーを動力源とする方向に舵(かじ)をきり始めた。1997年に最初の量産型ハイブリッドカー(HEV車)が日本で走り始めたが、2005年、2010年には全世界の車の各々2%、10%がHEV車になると予測されている。その後には燃料電池を動力源とする電気自動車が続くと見られており、この分野でのパワーデバイス需要も今後大きく伸びていく。

このような適応分野の広がりに対応して、パワーデバイスも大きな発展を遂げてきた。1980年にIGBTの基本構造が提唱されて以来、駆動の容易さ、内部電力ロスの低減、大電力化、高電圧化、高速動作化に向けて幾多の改良が加えられ、今日のパワーデバイスの基幹製品として成長を遂げてきた。三菱電機では1986年からIGBT製品を世に送り出し、さらに、業界に先駆けてトレンチ構造のIGBTやIGBTの発展構造であるCSTBT (Carrier Stored Trench-gate Bipolar Transistor)などを製品化して、IGBTのリーディングメーカーとしての地位を確立してきた。3A/600Vクラスの小容量から1,200A/3,300V、600A/6,500Vクラスの大容量モジュールまで豊富な製品ラインアップを取りそろえている。

高機能化/小型化による使いやすいパワーデバイスを目指して複合モジュール(Intelligent Power Module: IPM)への動きが加速されている。制御回路や保護回路の内蔵から、最近では、マイコンを内蔵した高機能IPMへ進化しつつある。内部で使用されるBiCMOSやCMOS集積回路には高耐圧化が要求され、現在では1,200Vクラスの耐圧を持つ制御ICが内蔵されている。また一部では、大電力のIGBT素子と制御ICとをワンチップ化したシステムパワーデバイスも登場しつつある。モジュールのパッケージ技術も従来の組み込み型のケースタイプからトランスファモールドによる一体成型タイプに移行しつつある。

この特集号ではこのようなパワーデバイスの研究開発の最前線を紹介しているので、ご一読いただき、ご参考にしていただければ幸いです。

未来社会を支える パワーデバイス技術の進展



長山安治*



マジュムダール
ゴープ**



由宇義珍***

要旨

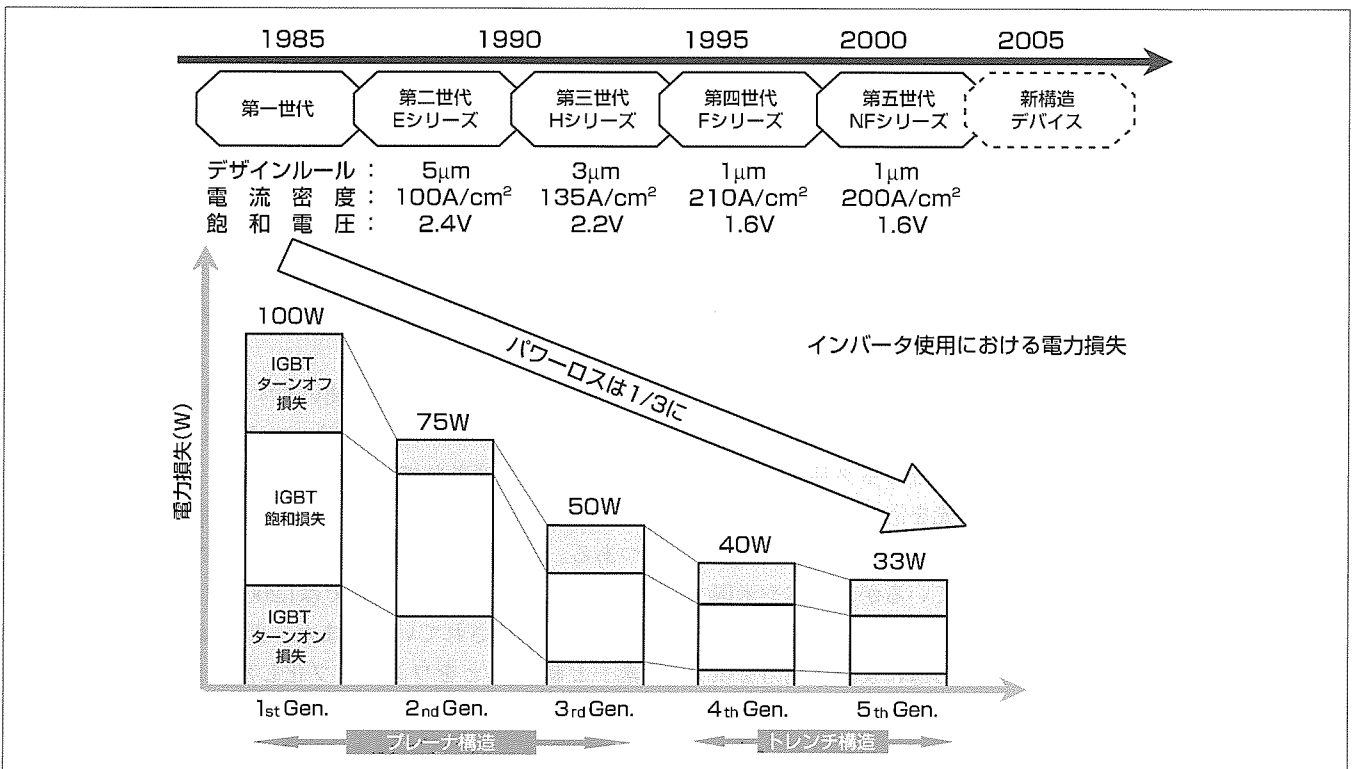
不透明な経済情勢の中にあっても、電気エネルギーを支える根幹であるパワーエレクトロニクス分野は確実にその技術開発を進歩させている。特にパワーデバイスは、地球環境や生活環境をより快適なものとするため、インバータ装置等の各種省電力機器や風力・太陽光・燃料電池発電等クリーンエネルギーの電力制御装置に欠かすことのできない半導体デバイスに成長した。

パワーデバイスの中でもIGBT(Insulated Gate Bipolar Transistor)の技術革新は、ここ20年程度で飛躍的な成果を収めてきた。1980年代に製品化されたIGBTは、半導体メモリの超微細加工技術を取り入れながら、5 μ mからサブミクロンのデザインルールへと進歩し、2000年代に入ってチップの電流密度は約2倍、飽和電圧は約65%まで改良された。このようなIGBT技術の変遷は、電力損失を大幅に低減し、省エネルギー機器の電力変換効率向上に貢献している。

パワーデバイスの技術進歩でもう一つ忘れてならないの

は周辺回路の集積化による高性能・高機能化である。最近のインバータ用パワーデバイスで最も多く用いられているパワーモジュールは、IGBT等のパワーチップとその周辺回路とのコラボレーションによる製品である。つまり、駆動回路、電流・電圧・温度センサ及びそれら保護回路がIC(集積回路)に組み込まれ高機能・小型化を促進している。駆動回路はLVIC(低電圧集積回路)からHVIC(高電圧集積回路)へと進み、電流・温度等の各種センサもオンチップで搭載されるようになった。また、センシングや保護機能だけではなく出力電流の制御のための演算機能やdi/dtの制御機能が内蔵されるようになり、より高性能なインテリジェントパワーモジュール(IPM)と呼ばれる新しいコンセプトのパワーデバイスが実現している。

さらに、パッケージ技術も内部配線インダクタンスの低減やトランスファモールドパッケージの開発で、小型化のみならず、パワーチップの性能・機能を十分に発揮できるような開発が盛んである。



IGBTモジュールの技術革新による電力損失の変遷

IGBTモジュールの各世代におけるチップ技術及びその性能の変遷により、インバータ応用での電力損失は飛躍的に改善されるに至った。これらの技術革新はインバータ装置の小型化・高信頼度化・高効率化に大きく貢献し、インバータ革命をもたらした。

1. ま え が き

三菱電機のパワーデバイス事業は、世界市場のIGBTモジュールやインテリジェントパワーモジュールの分野で技術的に見てもマーケットシェアで見ても常にリーディングポジションにあり、パワーエレクトロニクス応用で有益な製品群を次々と市場に投入してきた。これら新製品を生む技術開発の源は、市場ニーズ・顧客の要求にどうこたえるかという点にあることを十分に認識し、製品開発を行ってきた。

21世紀、環境問題が注目される現在、CO₂削減対策として省エネルギーやクリーンエネルギーが不可欠な要(かなめ)となっているが、その中心となるのがインバータに代表される省電力機器及び太陽光・風力発電、燃料電池のクリーンエネルギー機器である。これら電力変換装置の主役としてパワーデバイスは欠かせない存在であり、その性能、信頼性の向上に対する期待は大きい。

この特集号では、パワーモジュールを中心とする最近の技術や新製品、特に第五世代IGBTチップ“CSTBT(Carrier Stored Trench-gate Bipolar Transistor)”を応用したIGBTモジュールやIPM、さらに新世代素子についてまとめた。

2. 三菱電機パワーデバイス開発の展望

当社は、パワーデバイスにおける新製品開発方針として、まず、特定の強い分野のパワーデバイス製品でリーディングメーカーを目指すこと、次に技術イノベーションをベースに新しい市場を切り開くことを事業ビジョンとして掲げ今後も事業展開していく。このような事業ビジョンを具体化するために、当社の総合力を発揮した開発体制の下で、重要な市場分野の顧客とのパートナー関係を大切に、それぞれ応用分野に適合した価値ある製品開発を継続的に行っていく。さらに、従来製品のような単機能のパワーデバイスではなく、ソリューション型デバイスとしてインテグレーション(集積)化やインテリジェント(機能集積)化を積極的に進めていく。パワーチップの周辺機能は、これまで

培ってきた総合半導体メーカーとしての技術力で、LVIC(Low Voltage IC)やHVIC(High Voltage IC)とパワーチップとを融合させ新しいコンセプトのパワーモジュールを提案していく。また、HEV(ハイブリッド電気自動車)、FCHV(燃料電池自動車)等の電気自動車関連のインテリジェントモジュールや風力発電・燃料電池等の新エネルギー分野についてもパワーモジュールの市場として大きく開拓していきたい。

現在、注力するパワーデバイス、特にパワーモジュール製品は、表1に示す製品群、応用分野である。製品カテゴリー別に見ると、小容量のトランスファモード型DIP-IPM、中容量では第五世代IGBTモジュールとIPM、さらに高耐圧IGBT・IPMである。

3. IGBTの技術進歩

1950年代に始まったパワーデバイスの歴史は、“より低損失”“より高耐圧”“より高速”を目標に、それぞれの応用に適したデバイスを提供してきた。その間、パワーエレクトロニクス分野においても急激な変化を遂げたのがインバータ装置である。従来のサイリスタからバイポーラパワートランジスタに移り、インバータ装置は、急速に発展を遂げることになる。その後、わずか数年でIGBTが開発・実用化され、パワーデバイスの主役の座はIGBTへと移行していった。現在、IGBTを使用したインバータ装置は、高性能化・小型化・低コスト化が進み、インバータ家電から産業用機器、電気自動車、電車に至る様々な分野に応用されている。

技術的にみても、IGBTは、最近の国際的な学会や展示会でその発表件数は他のパワーデバイスに比べ抜群に多い。これは、各メーカーや研究機関の研究テーマ、製品開発の関心の高さを示しているにほかならない。

当社も、パワーモジュールのトップメーカーとして、IGBTチップの性能向上を目指して絶えず技術革新を図っている。

IGBT性能改善の歴史は、パワー損失を低減することに終始している。一方、パワー損失の実体はと言うと、飽和

表1. 三菱電機のパワーモジュール主要製品群とその応用分野

製品群	応用分野	進歩する技術
DIP-IPM(SILを含む)	小容量インバータ(～3.7kW) 家電及び産業用インバータ	トランスファモードパッケージによる小型化 IGBT技術革新による低損失化
IGBTモジュール	一般産業用インバータ 各種電源用途	低損失IGBTチップ プレーナ→トレンチ→CSTBT
インテリジェントパワーモジュール(IPM)	インバータ ACサーボ	インテリジェント機能集積化(高性能化) オンチップ温度センサ、di/dt制御 etc
自動車用インテリジェントパワーモジュール	HEV, FCHV	インテリジェント機能集積化 高寿命, 高信頼性
HVIGBT HVIPM	電车用インバータ 工業用インバータ	高耐圧化 2.5kV→3.3kV→4.5kV→6.5kV 高信頼性

電圧とスイッチング時間であり、この両者がトレードオフの関係にあること、さらに破壊耐量の指標となる安全動作領域(SOA)も含めた三つ巴(どもえ)のトレードオフが、課題を難しくしている。

第一世代から第三世代までのIGBTは、エピタキシャルウェーハを用い、微細化とライフタイム制御技術による最適化設計で特性改善を図ってきた。

第四世代では、IGBTも、MOSFET同様、平面構造からトレンチ構造へと微細化への極限へウェーハプロセス技術が進歩し、飛躍的に飽和電圧の改善が進んだが、その反面、飽和電圧の改善は飽和電流(短絡電流)の増加を招いた。これを克服するために、エミッタバラスト抵抗挿入や電流抑制回路(Real Time Current Control: RTC)を外部回路として付加する等の制御技術が考案された。

第五世代になって、薄厚ウェーハのプロセス技術が実用化され、LPT(Light Punch Through)型素子の開発で更なる性能向上を遂げた。この第五世代には、第四世代のトレンチ構造の欠点を改善したWide Cell Pitch 型のCSTBT構造を開発し、飽和電圧、スイッチング損失、SOAのトレードオフ曲線を大幅に改善した。

このように、IGBTの性能改善は、トレンチ構造、薄厚ウェーハを開発の“キーワード”にして飛躍的な性能改善を遂げてきたが、これだけにとどまらず、これら新開発されたウェーハプロセス技術を応用することによって次世代の新機能素子を開発することが可能となった。

当社では、次世代新機能素子として、逆阻止型IGBT(Reverse Blocking IGBT, 以下“RB-IGBT”という。)の製品化に向け開発を進めている。RB-IGBTは、次世代モーションコントロールの新しい制御装置として期待されているマトリクスコンバータ回路に最適なデバイスで、その実用化が注目されている。

また、現状の電圧型インバータ装置に不可欠なFree-Wheel Diode(FWD)をIGBTチップに内蔵した逆導通型IGBT(Reverse Conducting IGBT, 以下“RC-IGBT”という。)の開発研究も将来の実用化に向け進めている。

4. HVIC技術とインテリジェント化

IGBTやMOSFET等のパワーチップは、それ自体でスイッチング動作を行うことができない。つまり、ゲートに入力信号を必要とし、適切な電気信号を発生させるための制御回路が不可欠である。パワーデバイスの制御回路は、応用からのニーズに従い、駆動機能や保護機能のほか、入力絶縁機能、自己診断機能、さらには演算機能等を付加することが求められ、このような要求に対応してパワーデバイスのインテリジェント化が進められている。

当社のIPMは、1980年代後半に業界初で製品化され、これまで多くの応用分野で顧客の要求、悩みのソリューション

ンとして大きな役割を果たすとともに、技術進歩も遂げてきた。

これらIPMは、パワーデバイスとして使用が簡便であるほか、市場での故障率が改善されるなどを特長に、産業用インバータ、インバータ家電、電気自動車、電車等の駆動システム用途に幅広く普及した。それぞれの応用装置によって要求される機能は異なるが、初期のIPMでは、各応用装置に共通で最小限必要な機能として駆動回路、保護回路をLVICに内蔵し、IGBTチップと組み合わせたパワーハイブリッドデバイスとしてモジュールパッケージに収めた。その後、1990年代になって、家電製品にインバータ技術が採用され、急速に普及し始めるようになると、より小型化・高集積化・低コスト化の要求が強まり、HVICの開発が進んだ。

このHVICの実現で、マイコンからの制御信号を直接受けることのできるASIPM(Application Specific IPM)やDIPIPM(Dual In line Package IPM)が次々と商品化され、現在も更なる小型化が進められている。

HVICは、特に三相インバータ応用回路におけるIGBTの制御回路用として、その有効機能を拡大しつつ、技術的な開発進捗(しんちよく)をしている。HVICの構成要素技術として根幹をなすものは、絶縁分離技術と機能集積技術である。絶縁分離技術は、現在、接合分離と誘電体分離の二つの方式があり、それぞれ使用する電圧領域やコストパフォーマンスで使い分けられる。一方、集積化技術面では、LSIのプロセス技術で微細化をすることにより、より高密度な回路集積が可能となる。最近では、EPROM内蔵等の多機能化も実現している。また、CMOS技術の採用で消費電力を低減するなど、小型で高品質な装置設計に貢献できることも大きな特長として挙げられる。

従来の単機能デバイスでは、周辺回路も含めた制御基板を搭載するために必要なスペースが大きく、装置全体の容積内に収めることが設計者にとって大きな課題となる場合が多々ある。HVICは、必要な機能回路をシリコンチップ上にコンパクトにまとめているので、特に小型・軽量が要求されるインバータ家電製品応用では有効である。

パワーモジュールのインテリジェント化は、前述したように、LVIC、HVICの技術によってASIPM、DIPIPMへと進化し、さらに、システム化への指向を強めている。この背景には、市場ニーズとして“より高付加価値の集積化によるコストパフォーマンスの追求”がある。より簡便に、より使いやすく、より壊れ難いパワーデバイスを目指して、更なるシステム化を推進していく必要がある。

その対応策の一例として、インバータ応用におけるインテリジェント化の現状と将来技術を図1に紹介する。パワーチップ側では、各種検出機能内蔵が重要な課題である。各IGBTチップ上に半導体温度センサを付加し、モータロ

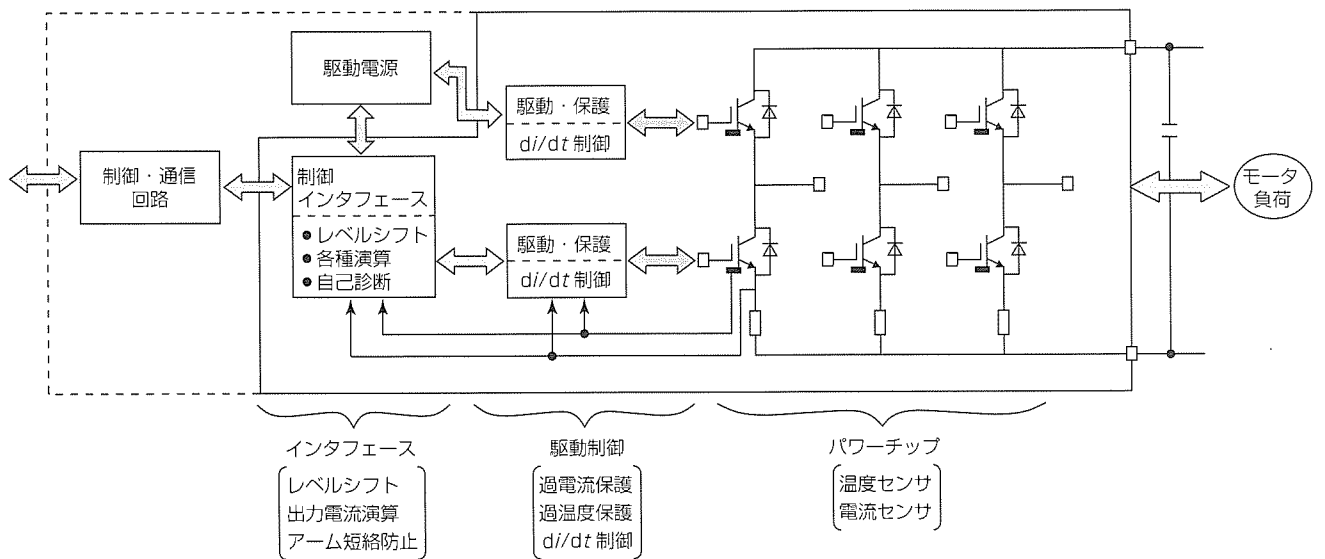


図1. インバータ用インテリジェントパワーモジュールのシステム

ック動作時においても温度異常検出・保護が可能になった。この機能は、将来、負荷制御に有効な手段になるであろう。また、各相の電流検出機能を利用して電流ベクトル制御が低コストで実現している。

一方、制御側では駆動回路の他各種保護機能が内蔵され、さらには出力電流に応じた dI/dt 制御機能が付加されたことにより、EMI対策に有効な技術として今後利用価値が認識されるであろう。また、制御インターフェースとしてレベルシフト、自己診断及び演算機能が内蔵され、装置の信頼性向上、制御性能改善に大きく貢献している。将来は、制御電源や外部との通信機能を備えたシステム化の方向に向かっていくものと考えられる。

このようなパワーデバイス制御用HVIC技術は、モータ制御装置にとどまらず、蛍光灯用電子制御、PDP (Plasma Display Panel) 駆動用等の用途へも拡大を見せている。

5. パッケージ技術と信頼性

従来、パワーデバイスのパッケージは、外部環境からの保護、取付け及び外部電極への接続が主な必要機能であったが、最近のスイッチング用パワーデバイス、特にパワーモジュールにおいては①内部インピーダンスの最小化、②内部電極による電磁界の影響の抑制、③最適な絶縁性能、④長寿命化の要求及びコストの視点から、それに対応するパッケージ技術が展開されている。当社はこれまで様々な用途に対応しパワーモジュールパッケージを開発してきたが、大別すると、図2に示すように、ケースタイプとトランスファモールドタイプの2種に分けられる。ケースタイプでは比較的高耐圧・大電流のデバイスに適し、トランスファモールドタイプは、その低コスト、小型の要件を満たす小容量パワーモジュールに採用されている。この両者は

その性能もそれぞれの用途に合わせて外部電極端子や絶縁技術は大きく異なっている。

パワーモジュールにおいては、絶縁技術は非常に重要で、現在採用されている主なものにセラミック (Al_2O_3 , AlN) 基板、IMS (Insulated Metal Substrate)、及び樹脂絶縁がある。それぞれの絶縁技術は、絶縁材料や厚みで絶縁性能、熱伝導性、絶縁容量 (キャパシタンス) が決定される。そのために、使用電圧、発生損失、高周波漏れ電流の観点から最適な絶縁構造が選定される。DIPIPMは、樹脂絶縁であるが、新構造技術開発により従来限界であった電流容量20Aの壁を破り50Aまで許容できるようになった。さらに、大容量への挑戦が始まっている。

一方、ターンオフサージ電圧の抑制、スイッチング時の波形振動の抑制を目的として、パッケージ内部の電極配線や構造を改良し、内部インダクタンスの低減を図ることは重要な技術課題である。

また、スイッチング時の過度電磁界現象を定量的に解析評価することでモジュール性能に与える電磁界の悪影響を抑制することも技術課題となっている。

これらの技術課題を解決するために、モジュール内部の各配線及び配線間の結合を定量化する分布定数の抽出とモジュールの動特性解析でシミュレーションによる電磁界解析が可能となり、実際のパッケージ設計に用いられている。

パワーモジュールは、長寿命化も重要な課題である。環境条件や使用条件によってその寿命要求値は異なるが、特に自動車・電車等の車載用途では使用環境条件が厳しい。温度サイクルやパワーサイクル寿命は材料間の接合面で決定されるため、はんだ接合技術・アルミワイヤ接合技術の研究を基盤に、長寿命・高信頼性モジュールの開発に力を注いでいる。

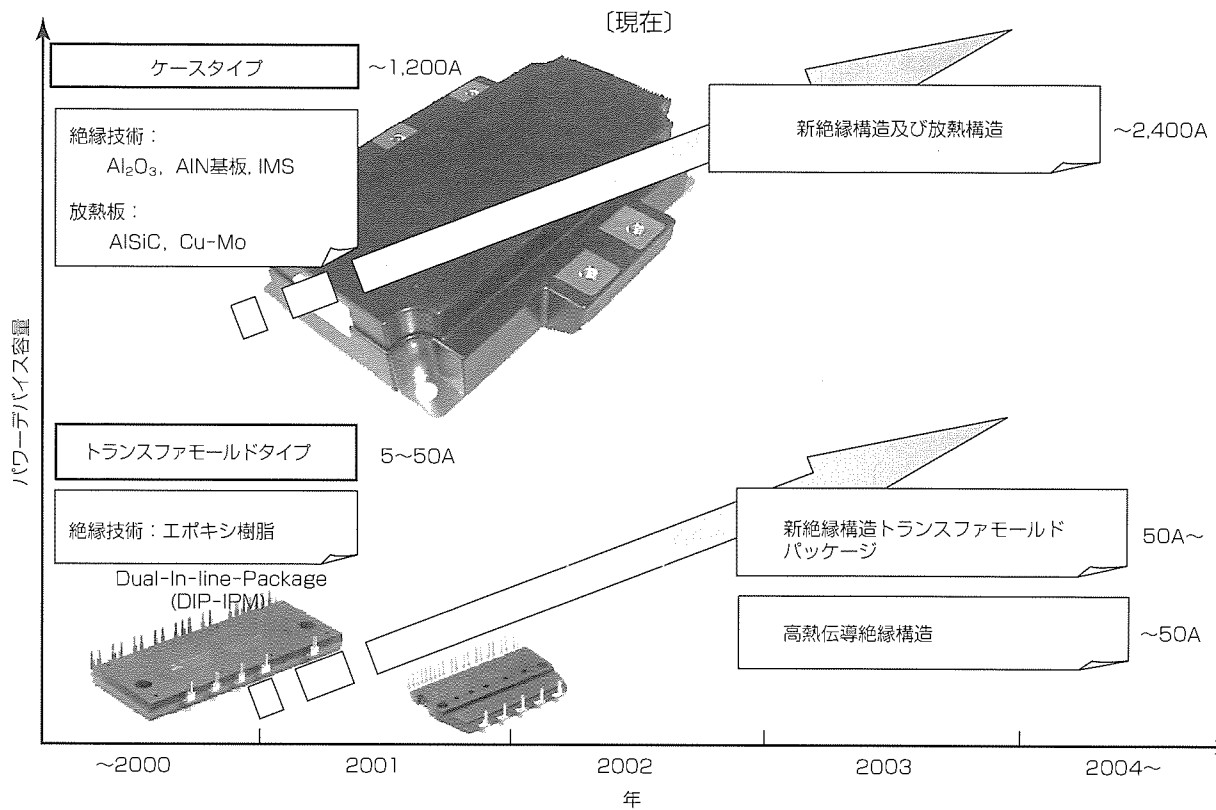


図2. パワーモジュールのパッケージ技術

6. む す び

21世紀の環境型社会でCO₂削減のための省エネルギーやクリーンエネルギーの創出をリードするパワーエレクトロニクス技術、とりわけその鍵(かぎ)を握るパワーデバイスがどのような役割を果たせるかが重要である。パワーデバ

イスの技術革新は、以上述べたように目覚ましいものがあり、市場ニーズ・顧客要求に対応した性能・品質・信頼性及び使いやすさを追求しながら発展している。

この特集号では、これらの要求に対応した新製品やその新しい技術とともに将来の技術展望についても紹介した。

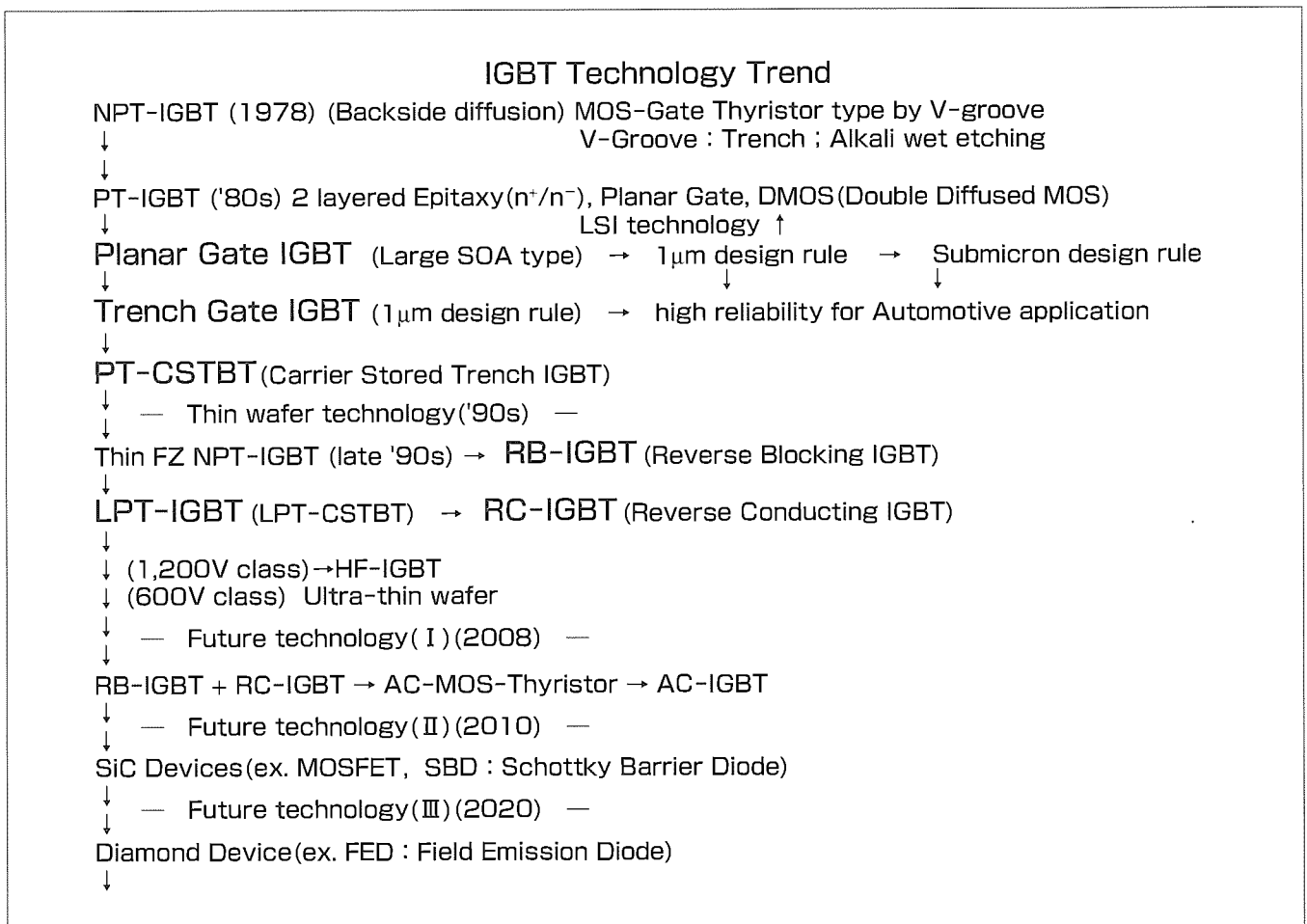
新パワー素子の技術

湊 忠玄* 榑崎敦司*
高橋英樹*
山下潤一*

要 旨

微細化や“薄厚”ウェーハ技術等、ウェーハプロセス技術の向上により、電力半導体の高性能化が一段と進んでいる。かつて、DRAMがLSIのテクノロジードライバであったように、微細化が有効な低圧MOSFETにおいては、トレンチゲート型のMOSFETがウェーハプロセスでのテクノロジードライバの役目を担っている。ウェーハの裏表に電極

のあるディスクリート素子が主流の電力半導体素子においては、LPT-CSTBTに代表される“薄厚”ウェーハ技術が鍵を握っている。この“薄厚”ウェーハ技術は、従来型IGBTのコストパフォーマンスを上げるだけでなく、逆耐圧型IGBTや逆導通型IGBT等の高機能化も可能にした。



IGBTの歴史と展望

1978年にアルカリ異方性ウエットエッチングを使ってV溝ゲートを持つMOSサイリスタとして開発された素子が、IGBTの原点である。当時、ウェーハ径は小さく、厚みも200~300μmであった。ウェーハ裏面にほう素デポジションによりp型コレクタ領域を形成するNPT (Non Punch Through)型として立ち上がる。V溝形成のエッチャントに含まれるアルカリ金属は、MOSゲートには有害であること、ICのウェーハプロセスで二重拡散MOS (DMOS : Double Diffused Metal Oxide Semiconductor) 構造が立ち上がったことにより、IGBTも、DMOS構造の平面ゲート化が進む。並行して、縦構造は、Si結晶成長(エピタキシャル成長)技術の進歩があり、耐圧保持時に空乏層(空間電荷領域)がp型コレクタ領域に到達してしまうパンチスルー現象を防ぐためのn型バッファ領域を形成した、PT (Punch Through)型構造へと発展した。その後、縦構造の改良に加えて、ゲート寸法の微細化やエミッタパターンの工夫などが進む。1990年代に入り、LSIの新しいSiドライエッチング技術によるトレンチ分離技術が立ち上がってきたことから、IGBTも、再び、トレンチゲート構造化が進む。1990年代以下の“薄厚”ウェーハ技術 (Thin Wafer Technology) と、その派生構造であるLPT-CSTBTについては、本文中で詳述する。今後は、単体素子としての性能向上に加えて、外付け素子として使用していた逆阻止ダイオードやFWD (Free Wheeling Diode) 等を取り込んだ新機能素子化を進める。将来的には、Siよりも物性の優れたシリコンカーバイド (SiC) やダイヤモンド素子の実用化が進む。

1. ま え が き

電力用半導体素子は、電力系統に組み込むスイッチなので、通電時の抵抗が無限小で、遮断時の抵抗が無限大であることが望まれる。金属と絶縁体の中間の抵抗率を持つ半導体にあつては、通電能力(オン抵抗)と遮断(阻止)能力は、相反(トレードオフ)関係にあり、その改善が素子の進化となる。バイポーラ素子のIGBTは“オン電圧とターンオフ損失”が、ユニポーラ素子のMOSFETは“オン抵抗率と耐圧”が、それぞれトレードオフ関係の性能指標である。また、他のどのような特性にもまして“壊れない”こと、つまり、SOA(FBSOA, RBSOA, SCSOA)が用途に見合う広さを備えていることが大前提である。したがって、電力用半導体素子は、オン特性とオフ特性のトレードオフのみで評価されるのではなく、図1の左に示したように、これらにSOAを入れた“三つ巴(どもえ)”のトレードオフの中で性能が決定されている。また、これらの関係は、図の右に示したように、更に細かいトレードオフからなっている。

そういった観点からは、素子を形成する素材の物性定数が優れたものが有利であり、Si素子が数年先にSiC素子やDiamond素子に置き換わると考えており、三菱電機のそれら試みについては、この特集の別稿で紹介している。

2. テクノロジードライバとしてのMOSFET

100V級以下の低圧MOSFETにおいては、オン抵抗成分のうち、MOSゲート構造で決まるチャネル抵抗と蓄積層抵抗の割合が支配的で、20V級素子になると、全抵抗成分の8割以上を占める。したがって、微細加工によりユニットセルサイズを小さくしチャネル密度を上げることが、非常に効果的である。当社は、2000年度に図2の左の第六世代pseudo-0.35 μ m Trench MOSFETを開発⁽¹⁾し、さらに、2003年に、図の右の0.35 μ m VLSIのウェーハプロセス技術とSAC(Self Alignment Contact) Trench技術を用いて、主耐圧20V級、オン抵抗率 0.7m Ω ・cm²のTrench MOSFET (SAT-MOS)を開発した⁽²⁾。これらの素子特性を、power MOSFETの主耐圧とオン抵抗の物理限界である“Siリミット”とともに、図3に示した。

また、耐圧保持層であるN⁻ドリフト層の抵抗の割合が支配的になる中・高耐圧領域では、当社独自のトレンチ技術を応用したSTM(Super Trench power MOSFET)⁽³⁾ ⁽⁴⁾

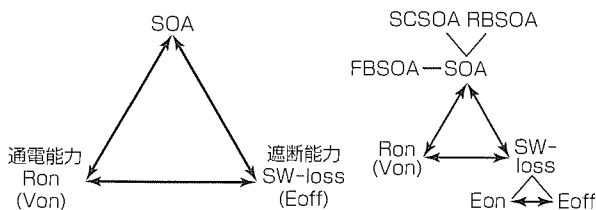


図1. 三つ巴トレードオフの概念(左)とその詳細版(右)

(図4の左)を開発し、SiリミットをMulti-RESURF (Reduced Surface Field)効果を用いることで突破、300V級の平面ゲート素子で、Siリミット比60%の超低オン抵抗が得られた。Multi-RESURF効果は、図の右に示したように、微細な繰り返し周期で形成しpn接合により耐圧保持層部分を完全空乏化し、pin構造と同様な台形型の電界分布を得ることにより、従来構造のnドリフト層より一桁(けた)以上高い濃度でも、高耐圧が保持できる。STMは、p型とn型の繰り返し層を三次元的に形成する当社独自構造であり、他社で同等の効果を発揮している多層エピタキシャル方式に比べて、製造工程が簡略化でき、微細化に適している。しかしながら、オン抵抗率とSOAとの間にトレードオフ関係があり、通常のMOSFETやIGBTに比べて

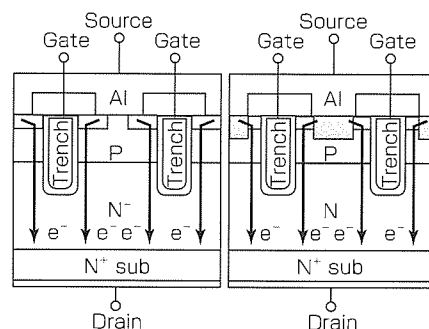


図2. 0.35 μ m Trench MOSFETとSAC-Trench MOSFET

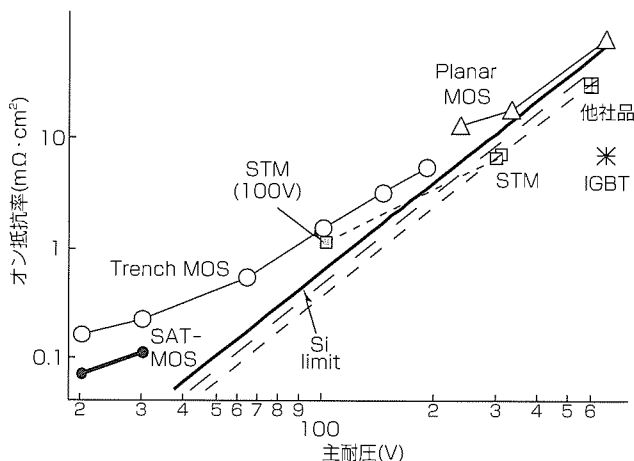


図3. 各種MOSFETの主耐圧とオン抵抗率の関係

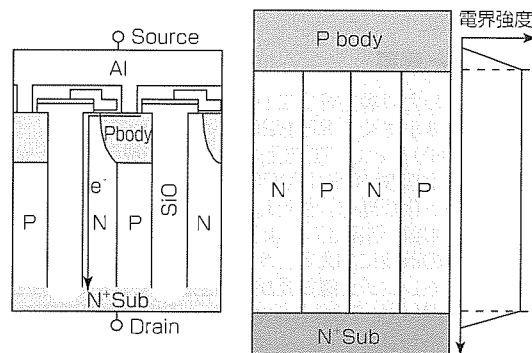


図4. STMの構造とMulti-RESURF効果の簡単な説明図

使いづら問題があった。

アバランシェ耐量に代表されるSOAをオン抵抗よりも重視する中・高圧領域では、従来型の平面ゲート型MOSFET(Planar MOS)の最適化は依然有効であり、当社の高アバランシェ耐量のPlanar MOSFETでは、図3に示したように、総合的な特性を合わせ込んだ上で、オン抵抗率がSiリミット比140%という通常構造での限界の特性を実現している。

3. 進化するIGBT

IGBTもMOSFET同様、ウェーハプロセスの進歩とともに高性能化してきており、LSIで素子分離としてしか使われていなかったトレンチ構造をMOSゲート部に応用したこと⁽⁵⁾⁽⁶⁾でオン電圧を低減できた。トレンチゲート化により、平面ゲート型IGBTでは微細化の妨げとなったpボディ領域に挟まれたN⁻領域でのJFET効果によるオン電圧上昇がなくなり、加工技術面だけでなく素子動作面でも高集積化が可能になった。しかし高集積化による低オン電圧化は、一方では負荷短絡時のピーク電流(I_{cp})の増加を招き、SCSOAの確保が課題となった。

これに対し、エミッタ・バラスト抵抗の調整等、セル構造の工夫に加え、RTC(Real Time Clamp)回路やIPM(Intelligent Power Module)化等の制御技術により製品のSOAを確保してきた。更なる低コスト化に向けて、素子単体での耐量向上の観点から、トレンチゲート化によって“密”にできたセル構造を、逆に“疎”にして、MOSゲートの総チャネル幅を減らし、図5に示すように飽和電流を低く抑えるWide cell pitch型(図6)を開発し、最小限のオン電圧の犠牲で、SCSOAを広げている。

バイポーラ(電子と正孔の2キャリア動作)素子のIGBTがユニポーラ(単一キャリア)素子のMOSFETと大きく違うのは、MOSFETのオン電圧や出力特性が主にチャネル移動度と耐圧保持のためのドリフト層の抵抗率及びバルク

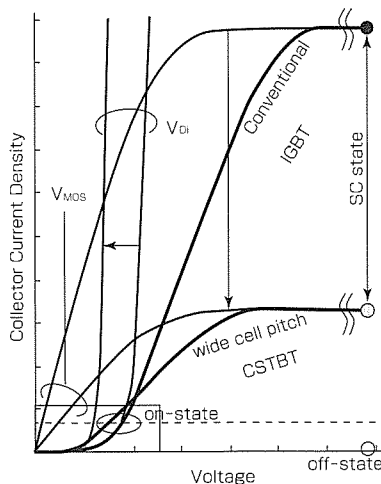


図5. Wide Cell Pitch構造IGBTの動作を示す概念図

中のキャリア移動度“ μ ”で決まるのに対して、IGBTのオン特性は、 μ に加え、pn接合のbuilt-in potentialと、主耐圧を保持する比較的厚いドリフト層中の電子と正孔のそれぞれのキャリアライフタイム“ τ ”に支配される点である。特に、1,200V級以上のIGBTでは、微細化によるオン電圧の低減よりも、ドリフト層中の τ を長くしてオン電圧を改善することと、 τ を短くしてターンオフ損失やSOAを改善することのトレードオフの関係の中で、用途に応じた最適点を見出すことが重要であり、これがオン電圧とターンオフ損失のトレードオフ曲線を性能指標とする由縁である。したがって、トレードオフ関係を改善するには、微細化より、ユニットセルと縦構造の工夫が必要となる。

3.1 CSTBT

上述の観点から、トレンチゲート化に加え、キャリア蓄積(CS)層と名付けた耐圧保持のn⁻層より高濃度のn型層を形成してオン電圧を低減したのが、図7のCSTBT(Carrier Stored Trench gate Bipolar Transistor)⁽⁷⁾である。CS層により、トレンチゲートから注入された電子は、n⁻ドリフト層より高濃度n型のCS層の中で横に広がり、導電率変調を起こしやすくする。同時に、裏面p型コレクタ層から注入される正孔にとっては、通常のN⁻ドリフト/pベース接合よりも、高濃度のn型CS層/pベース接合の方が、エネルギー障壁が高くなるので、CS層があると、正孔はpベース層に入り難くpベース直下に蓄積されやすく、電荷中性条件を充たすため、nエミッタからの電子注入も増える。キャリア蓄積量が増えることは、電流が流れやすいことを意味し、オン電圧が下がる。なお、この構造は主にトレンチゲート素子で展開しているが、CS層の原理は平面ゲート構造にも応用可能である。

3.2 LPT型素子

当社は、トレンチIGBTの次世代構造としてのCSTBT構造に加え、図6に示す“薄厚”ウェーハ技術を用いるLPT型素子を製品化してきた。

要旨の図に示すように、IGBTの構造は、ウェーハプロセスの進歩とともに、厚いNPT型(Non Punch Through type)→2段エピタキシャルPT型(Punch Through type)→薄厚ウェーハNPT型→LPT型(Light Punch Through)(図6)と、螺旋(らせん)状に進化しており、その進化はオン電圧とコスト低減の歴史であった。

LPT構造は、コストパフォーマンスの改善目的から産

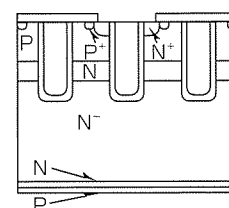


図6. Wide cell pitch LPT-CSTBTの断面模式図

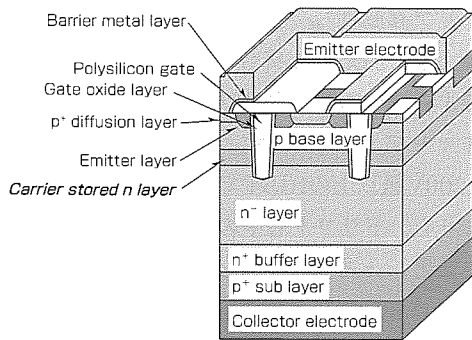


図7. CSTBTの構造

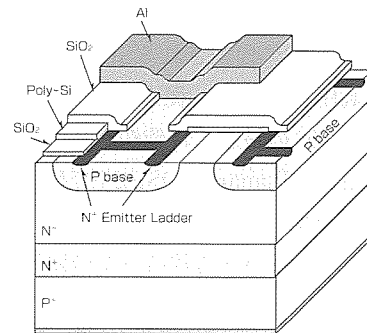


図8. Sub-micron rule Planar Gate IGBT

まれたが、デバイス設計の自由度が増した意義も大きい。例えば、LPT構造は、2段エピタキシャル成長する従来型のPT構造に比べ、ウェーハ裏面のNバッファ層とpコレクタ層を直接、精度の良いイオン注入法により形成するので、これらの層の深さや濃度の最適化の自由度が増した。例えば、適度な正孔注入が可能な比較的低濃度のpコレクタを形成できるようになり、従来のバイポーラ素子特性とは異なり高温ほど電流が流れにくくなる、ユニポーラ素子であるMOSFET的な出力特性が実現できる。

3.3 新機能素子

この“薄厚”ウェーハ技術により、新機能素子の開発も可能になった。これら新機能素子も構造や原理は教科書的なものであり全く新しいものというわけではないが、製造技術的な難しさが実用化の障害になっていた。今回、薄厚ウェーハ技術を使いこの特集の別稿で紹介している逆耐圧のあるRB-IGBT(Reverse Blocking IGBT)で十分な手応えを得ただけでなく、FWD(Free Wheeling Diode)内蔵型のRC-IGBT(Reverse Conducting IGBT)の開発も進めており、その成果を、近く発表予定である。

4. 新製品開発の視点

IGBTという言葉は、Siチップの開発現場では、数 μm 幅のユニット・セル構造を指すが、ユーザーは、数十cmの黒い箱型やDIP(Dual Inline Package)形状を想起されるであろう。また、チップ単体性能よりも、安全性(SOA)、信頼性、耐久性、等の当社が出荷する最終製品の性能が“デバイスの顔”として見えている。

当社が独自技術を駆使したDIP、SIP等のトランスファーマールド型IPMを展開していく中で、Siチップ内部の電気的特性の向上と同等以上に重要な項目として注力しているのが、チップのウェーハプロセス技術とパッケージ技術との境界技術の開発であり、複数の大きなテーマに取り組んでいる。例えば、鉛フリー化技術は、ダイボンドのはんだ材料の変更だけではなく、“薄厚”ウェーハ製造技術との組み合わせにおいて、Si裏面のメタライズにも、革新的な技術が必要である。これら境界技術をいち早く確立し、フィールドに投入する船頭役として、性能も実績もバランスのとれ

た平面ゲート型IGBT、なかでも図8のサブミクロンルールの写真製版技術を用いたIGBT⁽⁹⁾を、製品ベースで展開している。平面ゲートIGBTは、同一設計ルールにおいて、トレンチゲートにオン電圧は一步譲るものの、前述の総合的な製品性能の改善においては、中心的な役割を果たしている。

5. むすび

低圧領域においては、微細化とULSI技術を用いてトレンチゲートMOSFETの高性能化を図る。中圧領域では、wide cell pitch化したCSTBT構造と微細化平面ゲート構造を用途に応じて使い分け、SOAとオン電圧とターンオフ損失の三つ巴のトレードオフを、先端プロセス技術で、改善していく。特に、1,200V以上の耐圧級では、“薄厚”ウェーハ技術により、更なるコストパフォーマンスの向上を目指す。高圧領域の用途は、大電流用途でもあるので、高圧技術以上にチップの並列接続でのばらつきを抑えやすい構造や製造方法を重視した開発を進める。また、薄厚ウェーハ技術化により、中圧領域では、従来とは違う、逆耐圧型、逆導通型素子などの多機能化も展開していく。

最後に、紙面の都合で割愛したが、FWD(Free Wheeling Diode)についても、薄厚ウェーハ技術により、発振対策やソフトネス・ファクタを改善した構造を展開中であり、6,500V級の超高压IGBTに代表される高压素子の開発も、中圧級で開発した技術を展開中である。

参考文献

- (1) Narazaki, A. : ISPSD Proc., 377~380 (2000)
- (2) to be published.
- (3) Minato, T. : ISPSD Proc., 73~76 (2000)
- (4) Nitta, T. : ISPSD Proc., 77~80 (2000)
- (5) Chan, H.R., et al. : IEEE Trans. Electron Devices, ED-36(9), 1824~1829 (1989)
- (6) Harada, M. : ISPSD Proc., 411~416 (1994)
- (7) Takahashi, H. : ISPSD Proc., 445~448 (2001)
- (8) Nakamura, K. : ISPSD Proc., 299~302 (2001)
- (9) Yamashita, J. : ISPSD Proc., 421~424 (2001)

低駆動電力新トレンチIGBTモジュール “NFシリーズ”

田畑光晴*
石村暢一*
松岡 徹*

要 旨

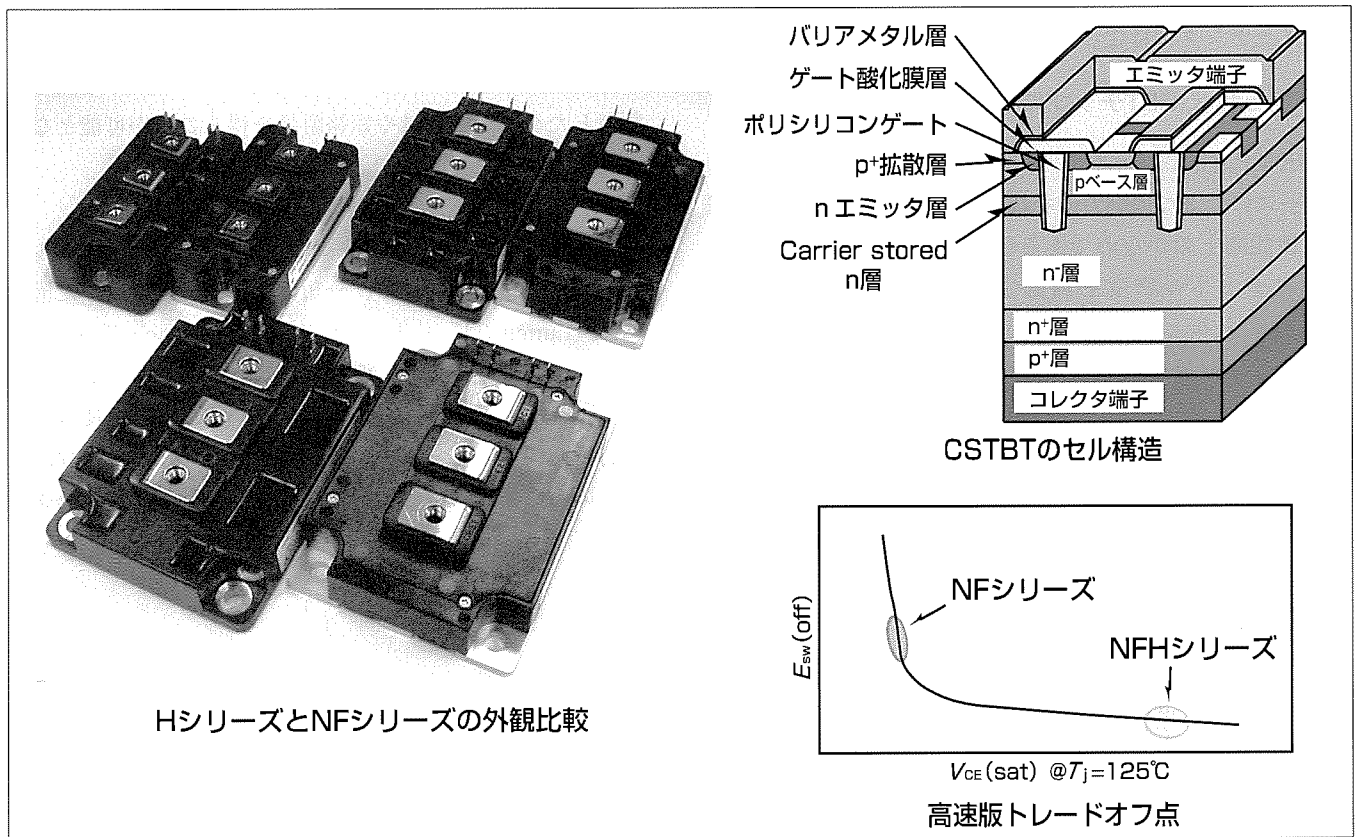
IGBT(Insulated Gate Bipolar Transistor)の特性改善はMOS部の微細化により行われてきたが、既に飽和状態にあり、今以上の特性改善のためには基本構造を見直す必要がある。IGBTの理論限界特性を突破する技術として開発されたCSTBT(Carrier Stored Trench-Gate Bipolar Transistor)は、長期量産実績のある従来のトレンチIGBTとほぼ共通のウェーハプロセス技術を用いながらも最先端の基本特性を持つ高性能かつ実用性の高い構造である。ここで紹介するNFシリーズは、汎用インバータなどの産業用電力機器に用いられるIGBTモジュールとして、この最新第五世代IGBT(CSTBT)素子を採用した製品群である。この製品群の一部は、第三世代IGBTを搭載したHシリーズの端子互換後継機種に当たるため、使用したCSTBTも損失低減一辺倒ではなく使いやすさや互換性を考慮した設計としており、Hシリーズに駆動特性を近づけるなど、過

去設計資産の有効利用を可能としている。

パッケージについては、外形寸法はHシリーズと互換性を持たせつつも内部には最新の設計思想やAssy技術を投入しており、パワーサイクルの高寿命化など信頼性も向上している。この製品群の主な特長を以下に挙げる。

- (1) 第三世代Hシリーズと外形寸法互換
- (2) CSTBT採用により低損失を実現
- (3) Hシリーズに近似した駆動特性
- (4) 高速ソフトリカバリダイオードの採用
- (5) 低インダクタンスパッケージの採用
- (6) パワーサイクル長寿命
- (7) 窒化アルミセラミック採用により低熱抵抗実現

また同時に、CSTBTのライフタイムを最適化し、高周波スイッチング用途に特化したNFHシリーズを開発したので、併せて紹介する。



Hシリーズ外形互換の第五世代IGBTモジュールNFシリーズと、高速版NFHシリーズ

左上写真の各々のペアは、左がHシリーズ、右がNFシリーズである。NFシリーズは、パワー素子として右上図に示す最新のCSTBTをパッケージ内部にも最新の技術を用いながらも外形はHシリーズ互換というコンセプトの製品である。一方のNFHシリーズは、高周波スイッチング用途に特化し、トレードオフなどを高速に調整した製品群である。

1. ま え が き

IGBTが産業用電力半導体スイッチとして開発・製品化されて15年ほどが経過したが、その間、性能向上とともに普及拡大し、トランジスタに代わる部品として電力を利用するほとんどの産業機器に利用されるようになった。IGBTモジュールの製品開発は5世代を数えたが、三菱電機が第五世代IGBTとして開発したCSTBTは、低損失で知られるトレンチIGBTと、広く普及しているプレーナIGBTの特性を合わせ持つ素子に仕上がっている。今回、このCSTBTを搭載したIGBTモジュール機種として、特に市場要求の高い2素子入り100A~600Aの製品を開発した。パッケージに関しては、既に広く普及している第三世代製品と互換性も持たせ、製品の置換えが容易となるよう配慮した。

一方、IGBTモジュールは医療や誘導加熱など電力機器としては高周波領域となる20kHz以上のスイッチング周波数の応用にも利用されているが、このような用途においてはIGBTのターンオフスピードはやや遅く、使いづらかった。特に昨今のIGBTモジュールの低ノイズ対策はしばしば高周波応用の要求に逆行するものであった。今回開発したCSTBTは、特性のスケラビリティが高く、高速用途にマッチした設計が可能である。この特長を生かして高周波スイッチングに特化したIGBTモジュールを開発した。

2. 第五世代IGBTチップに採用された3つの新技術

第五世代IGBTチップは、第四世代トレンチIGBTの構造をベースに、3つの魅力的な技術が採用されている。1つ目は性能向上のかなめであるCSTBT構造の採用である。これにチャンネル密度を制御するPCM(Plugging Cell Merged)技術と高耐圧素子での並列性や高速化を容易にしかつ破壊耐量を向上させるためのLPT(Light Punch Through)構造が加わって、第五世代IGBTの骨子を形成している。

2.1 CSTBT

IGBTは、オフ時の耐圧を維持するために高抵抗にする必要のある n^- ドリフト層の抵抗をオン時にはPコレクタ領域からのホール注入により低下させることにより、定常損失を低下させている。しかし、オン時に n^- ドリフト層に蓄積されるホール密度はコレクタ側から遠ざかるほど低くなるため、エミッタ側近傍の n^- ドリフト層部分は抵抗が下がりにくい。このためオン電圧も下がりにくくなってしまい、特に高耐圧で n^- 層が厚いものほど不利である。オン状態での n^- 層のホール密度を最適化したものがCSTBTである。Pベース層の下にn型のCarrier stored層を設けることにより、Pコレクタ層から注入されたキャリアがエミッタ側に通り抜けにくいようにしている。このためオン状態に n^- 層

に蓄積されるホールの密度がエミッタ側でも高くなり、オン電圧を低減することが可能である。類似のアイデアとして知られるIEGTは、エミッタ側のホール密度の調整をPベース層とエミッタ電極のコンタクト部分を少なくすることにより実現しているが、この構造ではターンオフ時にホールが一部のセルに集中するため、破壊耐量が低下するという問題点がある。また、ホール密度の微調整が難しく、アプリケーション対応の調整に時間がかかる(図1)。

2.2 PCM

従来構造の継承性という点は、PCM技術にも現れている。トレンチIGBTは通電可能電流密度が非常に高いという特徴があったが、これは短絡耐量を必要とするインバータ装置には不利な特性である。そこで第四世代Fシリーズでは外部に短絡電流を制限するICを付加したが、短絡電流ぎりぎりまでオン電圧が低いままであるという特長は残った。また、トレンチIGBTは第三世代以前のプレーナIGBTよりもやや入力容量が大きい。これらは多くの場合むしろ有利な特長であるが、このわずかな違いがアプリケーションによってはHシリーズからFシリーズへの変更を困難にさせていた。これらの点をプレーナIGBTに近づけるにはチャンネル密度を下げる必要があるが、単にトレンチ間隔を広げただけでは耐圧に影響が出てしまう。そこでトレンチ間隔を広げる代わりに幾つか置きにトレンチのゲートをエミッタとショートにし、チャンネルがオンしないようにしたのがPCMである。これにより、プレーナIGBTと類似したゲート電荷量や短絡耐量を得ることが可能となった(図2, 表1)。

2.3 LPT

IGBTの母材となるウェーハは大きくエピタキシャルウェーハと単結晶ウェーハに分類でき、これらを用いた構造にPT(Punch Through)型とNPT(Non Punch Through)型がある。一般的にPT型は低オン電圧化に有利であり、NPT型は破壊耐量向上に有利である。これらの長所を併せ持った構造としてLPT型が考案されているが、1,200Vクラスの製品に搭載する第五世代IGBTにはLPT構造を採用した。

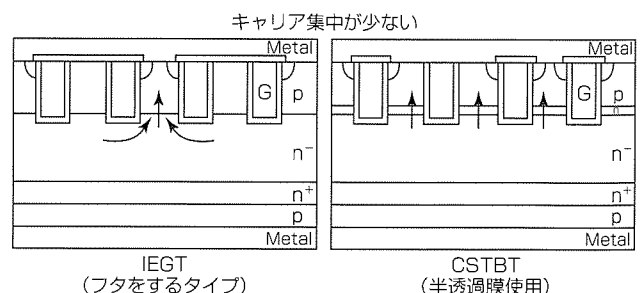


図1. ホール密度の調整

3. パッケージ

3.1 Hシリーズ互換

NFシリーズは、Hシリーズ互換をコンセプトに設計された。低い飽和電圧や若干の速度差など完全に同じではないものの、駆動上の性質などは短絡に至るまで非常に似通っており、わずかな調整で置換え変更可能としている(表2)。

パッケージについては、内部は最新技術であるが、外形寸法は、構造の違いにより表面の模様がやや異なるが、Hシリーズとはほぼ同一である。このシリーズの互換性については、定格電流(形名)の設定が一般的な製品と大きく異なる点に特徴がある。CSTBTは、トレンチIGBTの系譜で非常に飽和電圧が低く直流通電能力という意味で有利であるが、スイッチング損失が支配的となる多くの1,200Vのアプリケーションでは、直流通電能力だけで定格電流を決めたのでは、Hシリーズとの置換えで問題が発生するケースが多くなる。NFシリーズでは、Hシリーズとの置換えを同じ定格電流形名を目安に行うことができるようにするため、通電能力に通常よりほぼ1ランク上という大きな余裕を持たせている。これは、スイッチング周波数を低めにしていることの多い最近の装置設計では逆に余裕があり過ぎ定格電流ランクがずれることになるが、NFシリーズのコンセプトがHシリーズ互換ということ、あえてこのような設定とした。

3.2 パワーサイクル向上

当社は、第三世代後半(Uシリーズ)にパッケージの大幅な改善を行った。はんだ回数を1回のみとし、最適なのはんだを用いるようにしたためパワーサイクルは飛躍的に向上した。これ以降の製品は、ワイヤボンドのパワーサイクル

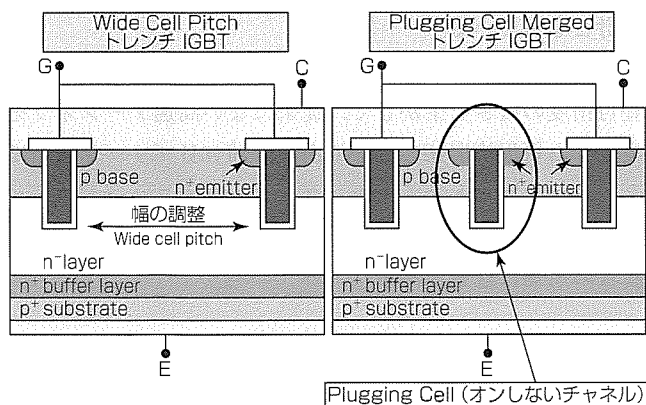


図2. チャンネル密度の調整

表1. ゲート電荷比較

シリーズ	形名	Qg(μC)
H(第三世代)	CM200DY-24H	1.00
F(第四世代)	CM200DU-24F	2.20
NF(第五世代)	CM200DY-24NF	1.35

が制約要因となっていた。今回のNFシリーズでは、このワイヤボンド部分に改良を加え、更に飛躍的にパワーサイクルを向上させた(図3)。

3.3 低インダクタンス

同じく第三世代後半の大幅改善によりメイン端子部の浮遊インダクタンスを激減させた(図4)。NFシリーズのパッケージはこれをベースに新技術を加えたもので、Hシリーズ外形互換にもかかわらず、Hシリーズ当時のパッケージと比較すると、約半分のインダクタンスとなっている。

4. NFHシリーズ

4.1 高速CSTBTチップ

まず、どの程度速いか波形を見てもらうのがよいだろう。図5はHシリーズと今回製品化したNFHシリーズのターンオフ時のコレクタ電流を比較したものである。同一の時間軸では評価が難しいほどの差が見られる。

前述したとおり1,200V耐圧クラスのIGBTにはLPT構造を用いたが、この構造は高速仕様にライフタイムコントロールを行う場合においても有利である。通常、PT型のIGBTを超高速対応にするために、ライフタイムを極端に短くした場合、低電流領域でn層のモジュレーションが起こりにくくなり、MOS動作を起こすため、オン電圧が極端に高くなってしまう。しかしLPT構造では、n+バッファ

表2. 外形寸法互換

Hシリーズ		NFシリーズ	
形名	外形寸法(mm)	形名	外形寸法(mm)
CM150DY-12H	94×48	CM150DY-12NF	94×48
CM200DY-12H	94×48	CM200DY-12NF	94×48
CM300DY-12H	94×48	CM300DY-12NF	94×48
CM400DY-12H	108×62	CM400DY-12NF	108×62
CM100DY-24H	94×48	CM100DY-24NF	94×48
CM150DY-24H	94×48	CM150DY-24NF	94×48
CM200DY-24H	108×62	CM200DY-24NF	108×62
CM300DY-24H	110×80	CM300DY-24NF	110×80

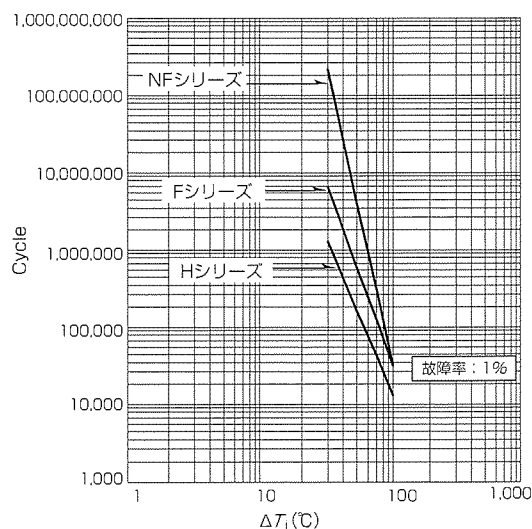


図3. パワーサイクルの向上

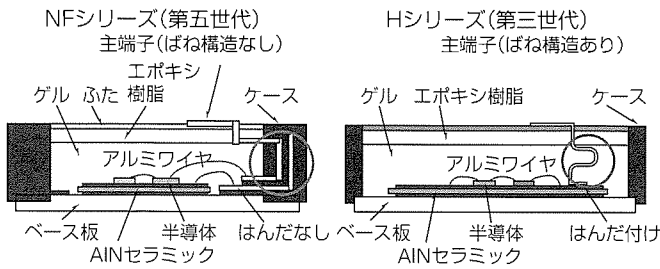


図4. 内部構造

層の濃度が低い場合、このような現象が起りにくい。また、本来、高耐圧になるほど全損失に占めるスイッチング損失の比率が増加するため、全損失を低減するためにはIGBTのライフタイムを高速仕様で設計した方が有利であるが、通常のIGBTモジュールは、低ノイズ追求や装置の配線レイアウト自由度などのアプリケーションの都合上、高速では問題があるので、最適点よりかなり低速気味に設計されている。しかし高周波スイッチング用途では、多少高度なモジュールの応用技術が要求されるとしても、高速仕様で設計した方が熱設計の面での応用範囲を広げることができる。一般のIGBTでは、ライフタイムコントロールが不要なLPT構造の高速化は、PTのライフタイムコントロール技術の適用で実現でき、技術継承性が高く短期間に高性能、高信頼性を実現できるというメリットがあった。

4.2 ソフトスイッチングへの対応

高周波スイッチングにはソフトスイッチング(共振)技術が用いられることがある。IGBTは、オン時にPコレクタ層よりn層へ注入されたホールを、ターンオフ時のコレクタ電圧上昇による電界により強制的に排出しているため、コレクタ電圧がすぐに増加しないソフトスイッチングではホールが排出されにくくスイッチング損失が大きくなってしまふ。このため、高周波スイッチング用IGBTでは、より低いコレクタ電圧でもホールが減少しやすいようにキャリア密度を調整する必要がある。この点でも、CS層によりオン状態でのホール密度を連続的に調整可能なCSTBT構造は威力を発揮する。CS層によるキャリア密度調整とライフタイム制御により、ソフトスイッチングからハードスイッチングの広い領域で、良好な損失低減を与えている。

4.3 パッケージ

高周波用途では1nHが問題となる。そこで、NFHシリーズでは、インダクタンスの小さいFシリーズのパッケージをベースとし、表皮効果対策のため内部配線を強化した。また、NFHシリーズは使用法が一般のIGBTモジュールと大きく異なるので、定格電流や外形などは独立に設定した。一方、ほとんどの高周波用途ではダイオードの還流電流の流れる期間が少なくリカバリー損失もない。このようなアプリケーションに合わせてダイオード面積を減少し、ターンオン共振外れによるリカバリー電流の異常発生に伴うサ

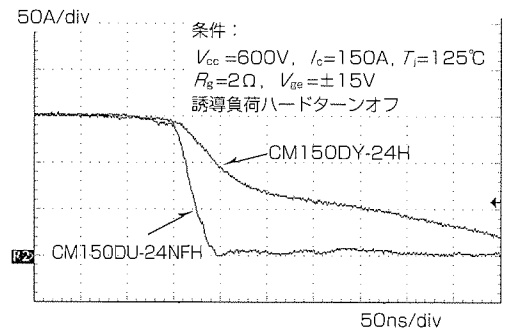


図5. ターンオフ波形の比較

ージ電圧に対処した。また、通常のIGBTモジュールでは短絡時の発振を起りに難くするため負帰還をかけるなどして帯域抑制をかけるが、これは高周波応用では邪魔になる。一般に高周波応用では素子の短絡耐量が要求されることはほとんどないため、短絡耐量確保をやめ、高速性の追求に専念した。このように、NFHシリーズは、ターンオフの高速性に特化した製品群で、損失が小さいと言っても一般のインバータ用途には向かないが、高周波スイッチング用途に使用すれば、これまでのIGBTモジュールでは得られなかった性能を追求できる。

5. む す び

装置の熱損失の相当分は素子の性能によって決まるとも言われる。素子の損失低減は省エネルギー、環境保護などの面で重要だが、広く利用されなければ効果は薄い。Hシリーズは広範囲のアプリケーションで利用されており、各社に様々な技術蓄積がある。従来の技術資源を生かしつつ最新の特性の素子に変更できるように、NFシリーズでは駆動特性や短絡特性などをHシリーズに近づけた。内部的にも長期実績のあるトレンチIGBT技術からの継承性を考慮しながら特性向上しており、信頼性や安定供給性の高い設計となっている。

一方のNFHシリーズは、CSTBTのキャリア密度分布調整自由度の広さを生かして、従来にない高速ターンオフを実現した新用途開拓の素子である。特にHブリッジ回路でターンオンソフトスイッチング、ターンオフハードスイッチングを行う医療機器、誘導加熱、溶接機、高周波リンクなどの用途に最適である。

参考文献

- (1) 高橋英樹, ほか: 次世代IGBT(CSTBT), 三菱電機技報, 75, No.6, 381~384 (2001)
- (2) 西原秀典, ほか: 600VトレンチIGBT(I)(試作結果), EDD-94-48, SPC-94-70 (1994)
- (3) Takahashi, H., et al.: Carrier stored Trench-gate Bipolar Transistor-A Novel Power Device for High Voltage Application, Proceeding of ISPSD 96 (1996)

新di/dt制御機能搭載 低損失・低ノイズIPM“Lシリーズ”

五十嵐 尚*
谷口信剛*
井上貴公*

要 旨

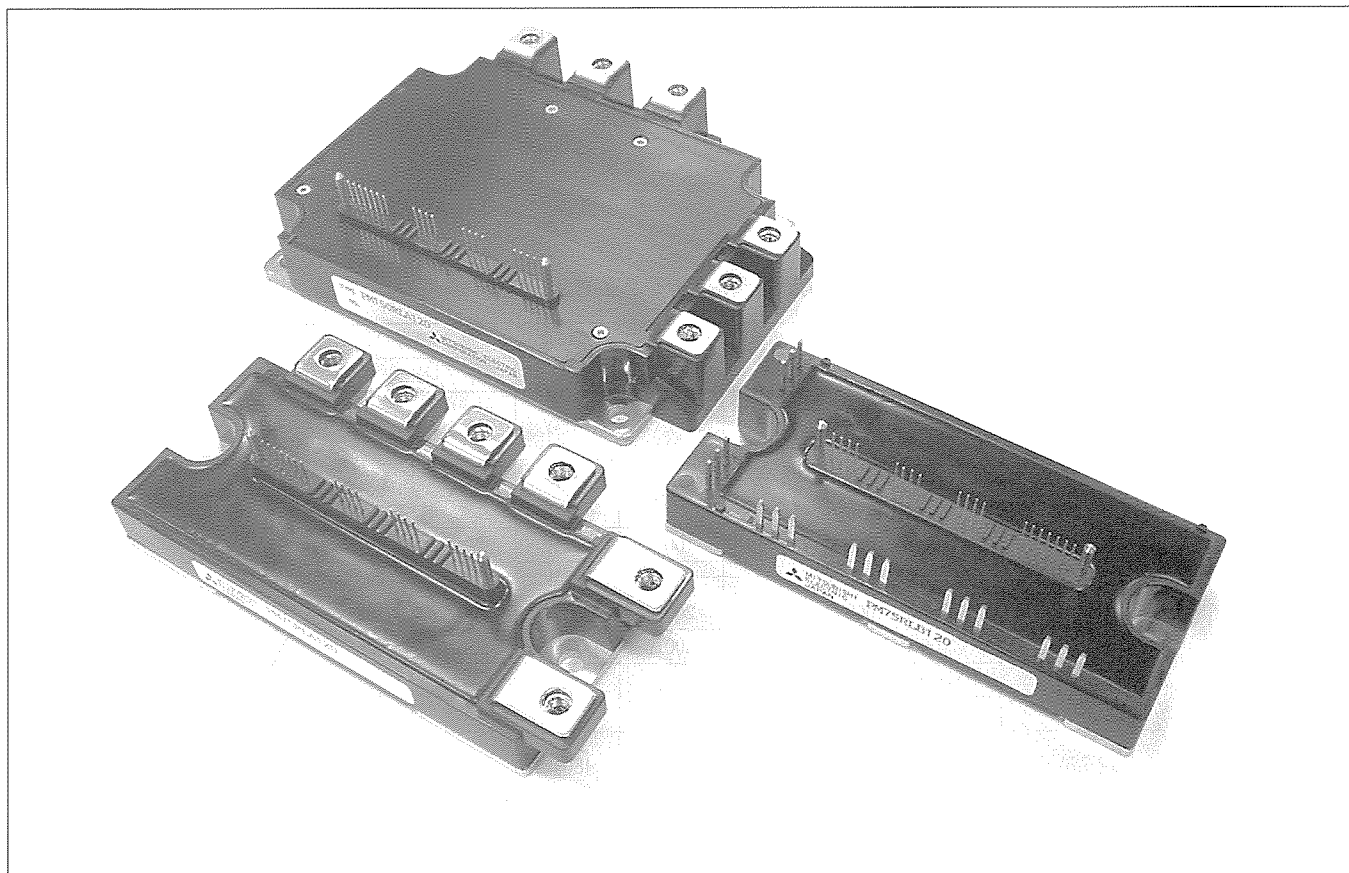
パワーデバイス応用機器の省エネルギー化は地球環境保全のためにも強く求められており、パワーデバイスの低損失化についてはこれまでに多大な性能改善がなされてきた。

近年では、省エネルギーに加えて、電源高調波の低減、電磁波ノイズの低減など、周辺機器に悪影響を与えない技術を実現することが求められている。

これらシステム側の要求にこたえるため、1 μ mの微細加工の平面ゲート構造で低損失化した第四世代IGBT (Insulated Gate Bipolar Transistor)とライフタイム制御技術で低ノイズ化したFwDiを組み合わせた第四世代IPM S-DASHシリーズを提供してきた。

今回、さらに、次に示すような優れた特長を持つ第五世代IPM(Intelligent Power Module)を開発し製品化したので紹介する。

- (1) 第五世代IGBTである0.8 μ mのCSTBT(Carrier Stored Trench-Gate Bipolar Transistor)を採用して低損失化した。
- (2) 制御・駆動回路に新規方式を採用してノイズを低減した。
- (3) 新パッケージを採用して小型化した。
- (4) ブレーキ部の定格電流を大容量化し、加減速の厳しい用途に対しても適合範囲を拡大した。



第五世代IPM Lシリーズの外観

- | | |
|-----|-----------------------------------------------------------|
| 左 | : 定格 50~150A/600V及び25~75A/1,200Vの6 in1/7 in1 端子ねじ締めタイプ |
| 中央奥 | : 定格 200~300A/600V及び100~150A/1,200Vの6 in1/7 in1 端子ねじ締めタイプ |
| 右 | : 定格 50~75A/600V及び25~75A/1,200Vの6 in1/7 in1 端子はんだ付けタイプ |

1. ま え が き

インバータシステムが一般市場へ広く浸透していくにつれ、パワーデバイスに対し低損失化はもとより、EMI (Electro-magnetic Interference) ノイズ低減の要請がますます高まってきている。これらの要請にこたえるため第五世代IPM Lシリーズを開発した。その製品系列と機能を表1に、パッケージタイプを図1に示す。3φ+ブレーキの回路構成以外に、ブレーキ部を除いた3φのみの製品も展開した。ブレーキ部の定格電流はインバータ部の50~67%と大容量化して市場の要望にこたえている。

本稿では、第五世代IPM Lシリーズに適用されているチップ技術、制御回路技術、パッケージ技術の特長について述べる。

2. 第五世代IPMの特長

2.1 チップ技術

低損失化のため、第五世代IPMのパワー回路には、第五世代IGBTであるCSTBTを採用している。

CSTBTは、最新のパワーチップで、低オン電圧とIGBTのターンオフロスの良いトレードオフを実現している。

またFwDiには、低ノイズ化のため、第四世代IPMと同様にライフタイム制御技術を適用している。

これら最新のパワーチップの適用と次項で述べる新規制御・駆動方式の組合せにより、第五世代IPMでは、低損失化と低ノイズ化を実現した。

2.2 制御回路技術

第五世代IPMでは、スイッチング損失の低減とEMIノイズの低減という相反する項目を両立させるために、IGBTの制御・駆動方式を見直し、制御ICを新たに開発した。

第四世代IPM S-DASHシリーズまでに使われている従来の制御回路方式では、スイッチングスピードを決めるパラメータ(制御ICの出力電圧、ゲート抵抗Rg等)は固定であった。このため、EMIノイズ低減を重視してスイッチングスピードを決めた場合は、全電流領域において損失が増加するデメリットがあった。

これに対し第五世代IPMの制御回路では、IGBTのコレクタ電流によってスイッチングスピードを2段階に切り換えることとした。

図2に第五世代IPMの制御回路のブロック図を、図3にこの制御回路のタイミングチャートを示す。図において、 V_{IN} :制御入力信号、 I_c :コレクタ電流、 V_{ics} :コレクタ電流検出電圧、 I_g :ゲート駆動電流である。

コレクタ電流 I_c がスイッチングスピードを切り換える電流値以下の場合には1つの電流源のみで、IGBTを駆動(SW1:ON, SW3:OFF)しコレクタ電流 I_c が切換え電流値を上回った場合は2つの電流源でIGBTを駆動(SW1, SW3共に:ON)する。

この結果、低電流領域では、ゲート電圧の立ち上がりを緩めてソフトスイッチングとなり、FwDiのターンオフ dV/dt を小さくしてEMIノイズを低減できる。一方、大電流領域では、通常のスPEEDでスイッチングすることで損失を低減することができる。

表1. 第五世代IPMの製品系列及び機能

適用モータ定格	形名	定格電圧	定格電流 I_c (A) とコレクタ損失 (W)				パッケージタイプ	
			インバータ部		ブレーキ部			
3.7kW	PM50RLA060	600V	50A	131W	30A	103W	A	
	PM50RLB060						B	
5.5/7.5kW	PM75RLA060		75A	390W	50A	297W	A	
	PM75RLB060						B	
11kW	PM100RLA060		100A	462W	50A	297W	A	
15/18.5kW	PM150RLA060		150A	625W	75A	390W	A	
22kW	PM200RLA060		200A	781W	100A	462W	C	
30kW	PM300RLA060		300A	1,041W	150A	625W	C	
3.7kW	PM25RLA120		1,200V	25A	150W	15A	130W	A
	PM25RLB120							B
5.5/7.5kW	PM50RLA120	50A		480W	25A	347W	A	
	PM50RLB120						B	
11/15kW	PM75RLA120	75A		595W	40A	446W	A	
	PM75RLB120						B	
15/18.5kW	PM100RLA120	100A		781W	50A	480W	C	
30kW	PM150RLA120	150A		1,041W	75A	595W	C	

- 上表記載の3φ+ブレーキの回路構成以外に、ブレーキ部を除いた3φのみの製品も展開した。
- 短絡電流保護機能、過熱保護機能(IGBTチップに温度センサを配置)及び制御電源電圧低下保護機能を搭載した。
- P側:素子ごとにエラー信号を出力する。N側:一括してエラー信号を出力する。

パッケージタイプ	Aタイプ(端子ねじ締めタイプ)	Bタイプ(端子はんだ付けタイプ)	Cタイプ(端子ねじ締めタイプ)
外形図			
サイズ	(L)66.75×(W)120×(H)31(mm)	(L)55×(W)120×(H)27.5(mm)	(L)110×(W)135×(H)34.7(mm)
質量	380g	340g	800g

図1. 第五世代IPMの外形

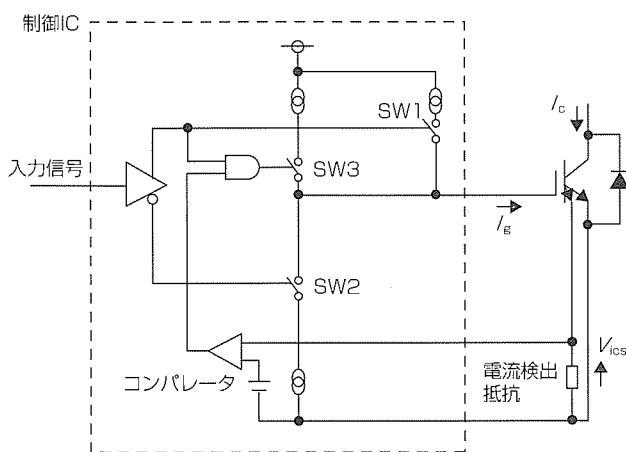


図2. 第五世代IPMの制御回路のブロック図

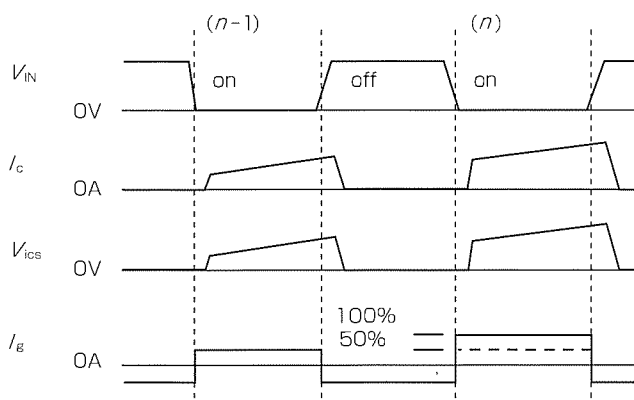


図3. 制御回路動作のタイミングチャート

図4は、ソフトスイッチングありなしでのFwDiターンオフ時の dv/dt のコレクタ電流依存性を示すグラフである。低電流領域では、ソフトスイッチングにより、FwDiターンオフ時の dv/dt を小さくすることができた。

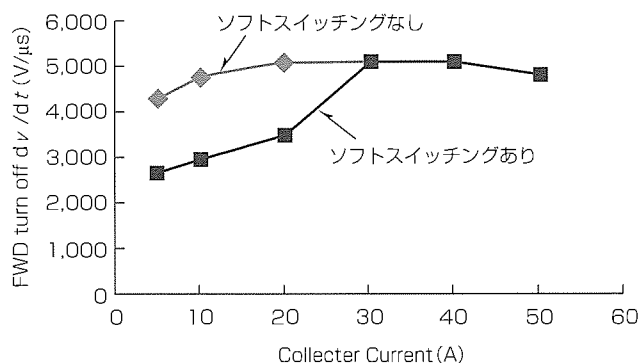


図4. FwDiターンオフ時の dv/dt のコレクタ電流依存性

図5に、ソフトスイッチングのありなしでのFwDiのターンオフ時の V_{BC} 波形を示す。ソフトスイッチングによりIGBTターンオン時のFwDiターンオフ dv/dt を小さくできた。

図6に、第四世代IPMと第五世代IPMでのモータ実動作時におけるラジオノイズ測定結果を示す。第五世代IPMでは、第四世代IPMに比べ約10dB低減されている。

このように、第五世代IPMでは、損失低減とノイズ低減の相反する要素を両立した制御回路方式を実現することに成功している。

2.3 パッケージ技術

第五世代IPMでは新たに3種類のパッケージを開発した。パッケージの外形を図1に示す。

定格50A~300A/600V, 25A~150A/1,200Vの範囲を主端子形状がねじタイプの2パッケージ(図のA, Cタイプ)でカバーした。

さらに50A~75A/600V, 25A~75A/1,200Vの範囲については主端子形状がピンタイプの1パッケージ(図のBタイプ)もラインアップし、顧客の選択性を増した。

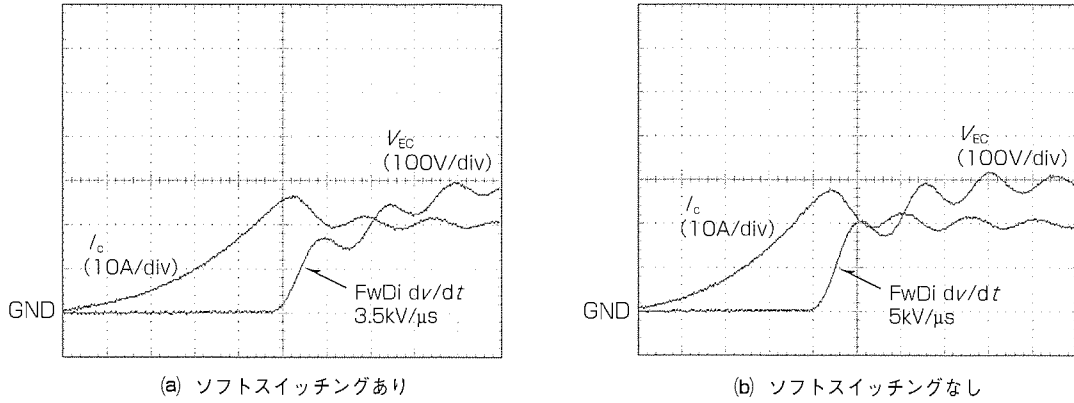


図 5. 定格50A/600VのIPMでのFwDiの V_{EC} 波形の比較(時間軸: 50ns/div)

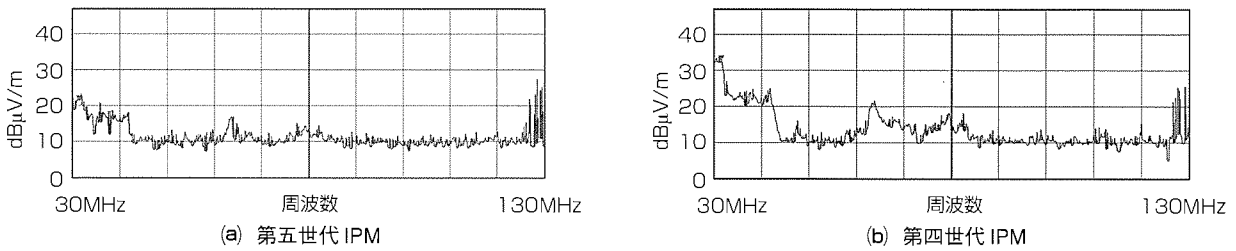


図 6. 定格50A/600VのIPMでのラジオノイズの比較
(条件 $V_{cc}=300V$, キャリア周波数 4 kHz, 出力電流17Arms, デッドタイム 5 μs)

第五世代IPMではパッケージの小型化と軽量化に取り組み、チップ配置と電極取り出し位置の最適化によって、50A~150A/600V, 50A~75A/1,200Vのパッケージ(図のA, Bタイプ)では設置面積を第四世代IPM S-DASHシリーズに比べて約32%低減した小型パッケージとした。

200A~300A/600V, 100A~150A/1,200Vのパッケージ(図のCタイプ)については、主端子、制御端子の位置を第四世代IPM S-DASHシリーズと同一として形状的な置き換えを可能としながら、ベース板サイズを小型化した。

これらのパッケージ技術によって、第五世代IPMは、装置の軽量化に大きく貢献できるパッケージとなっている。

3. む す び

低損失、低ノイズの両立を開発コンセプトの中心とする第五世代LシリーズIPMの概要を紹介した。第五世代LシリーズIPMの製品展開として更に大容量の製品シリーズも現在開発中で、いずれも市場の期待に沿うものと確信する。

今後とも市場ニーズに適合したパワーデバイスを提案し、パワーデバイス応用機器の発展に貢献していく所存である。

参 考 文 献

- (1) Motto, E., et al.: The CSTBT, a new 1,200V Power Chip with Low $V_{ce(sat)}$ and Robust ShortCircuit withstanding Characteristics, PCIM2001

大容量1,200V IGBTモジュール “900/1,400A Mega Power Dual”

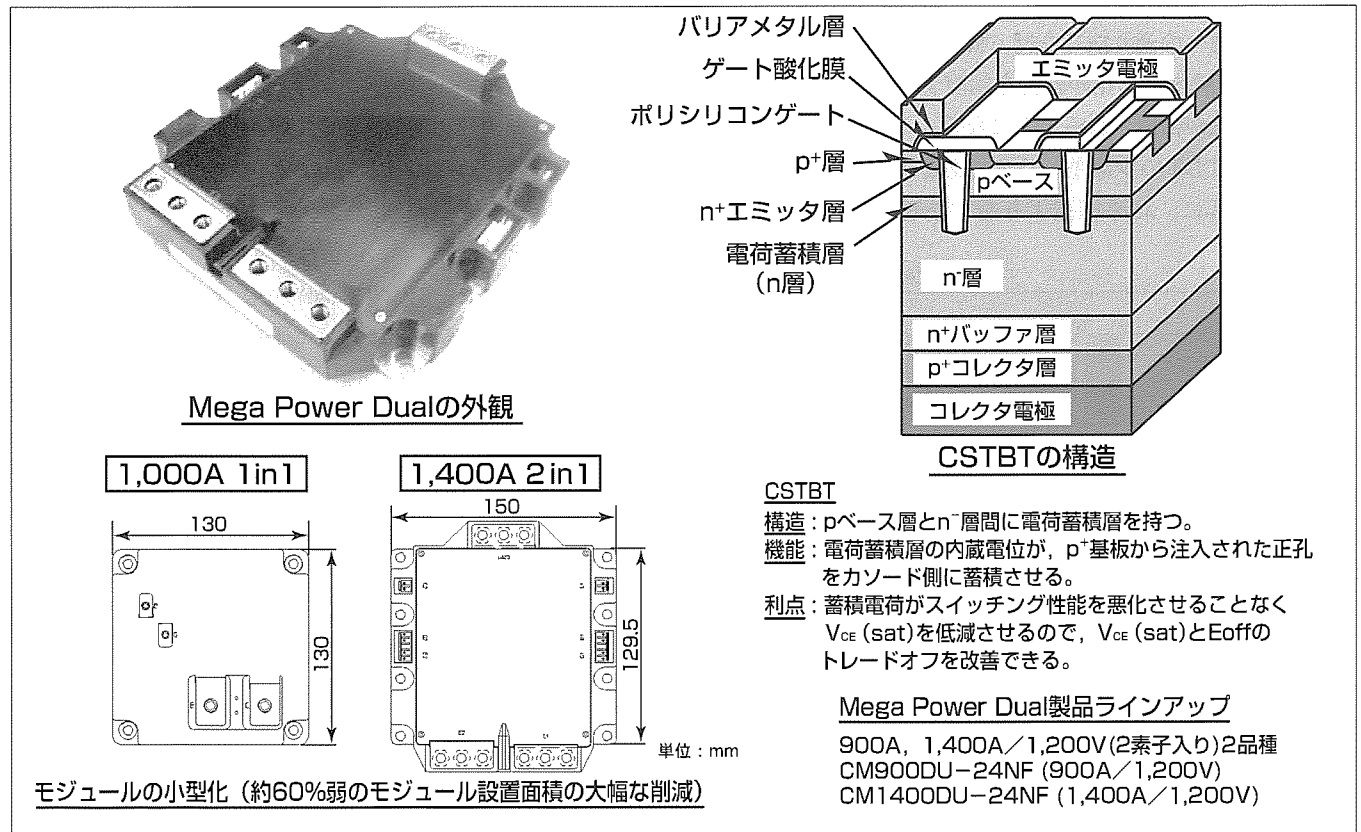
山田順治*
佐伯聖司**

要旨

近年、インターネットを始めとする通信インフラの普及によるUPS(Uninterruptible Power System)等電源装置の大電流化、自然エネルギー利用等による分散発電の拡大要求が強くなっている。また、大型製造装置の省エネルギーや制御性向上のため、IGBT(Insulated Gate Bipolar Transistor)を使用した大電流インバータの要求が強くなっている。今回、このような大容量装置を設計・製造する場合により簡便かつコンパクトに高性能を得られるようなIGBTモジュール“Mega Power Dual”を製品化したので、その性能・特長について紹介する。

主な特長は次のとおりである。

- (1) CSTBT(Carrier Stored Trench-Gate Bipolar Transistor)チップの採用による低損失、短絡耐量の向上、入力容量の低減
- (2) FWD(Free Wheeling Diode)のソフトリカバリー化によるノイズの低減
- (3) 新構造や新規要素技術採用によるモジュールの小型化(約60%弱のモジュール設置面積の大幅な削減)、パッケージ内部のインピーダンス低減



大容量1,200V IGBTモジュール “900/1,400A Mega Power Dual”

CSTBTチップを採用し、低損失・短絡耐量を向上しゲート容量を低減した大容量1,200V IGBTモジュール900/1,400A Mega Power Dual 2機種を製品化した。

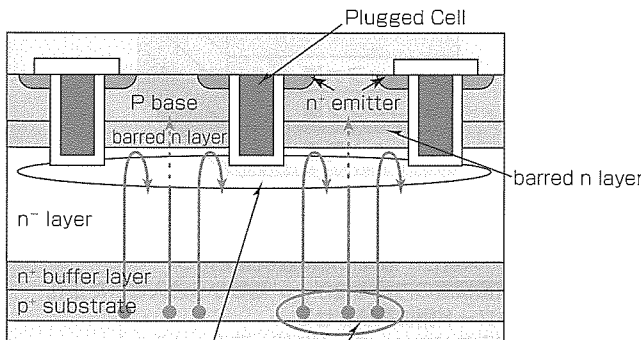
1. ま え が き

IGBTモジュールは、その性能・特性が市場要求に適合し、汎用インバータを始めとする産業用電力変換装置に幅広く利用されている。これに加え、IGBTを使用した大電流インバータの要求が強くなっている。今回、この要求にこたえるため、低損失、低ノイズ及び新構造や新規要素技術採用によるモジュールの小型化やパッケージ内部のインピーダンスを低減した大電流用IGBTモジュール“Mega Power Dual”を製品化したので、その性能・特長について紹介する。

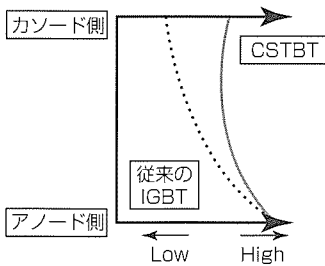
2. 新技術の特長

2.1 新構造PCM(Plugging Cell Merged)CSTBT

CSTBTは、従来のトレンチIGBTのpベース層とn⁻層の間に比較的高不純物濃度のn層を付加したことを構造上の特徴としている。従来のトレンチIGBTでは、オン状態にある場合、コレクタ側のp⁺層からn⁻層に正孔が注入され、エミッタ側へ通り抜けていく。一方、CSTBTの場合、pベース層と接合するn層の濃度がn⁻層よりも高いため、pベース-n接合の内蔵電位はトレンチIGBTのpベース-n⁻接合の内蔵電位よりも約0.2V高い。この高い内蔵電位が、図1の(a)に示すように、p⁺層からn⁻層に注入された正孔のエミッタ側への通り抜けを防ぐ障壁となる。つまり、n層がpベース層への正孔の移動を制限することにより、素子内部に正孔が蓄積されることになる。この電荷蓄積機能によってCSTBTの少数キャリアである正孔分布が、図の(b)に示すように、従来構造より高くなる。したがって、



(a) PCM CSTBT



(b) 正孔密度

図1. CSTBTの構造及び特性

CSTBTのオン電圧特性はトレンチIGBTに比べ大幅に低減される。さらに、一部埋め込みセル結合構造としたPCM CSTBTは、トレンチIGBTに比べ入力容量が小さく、従来の第三代プレーナIGBTモジュール並みのゲート駆動回路で駆動可能である。また、 $I_{CE(sat)}$ を抑制できるため、RTC(Real Time Control)回路がなくても短絡耐量は第三代プレーナIGBTモジュールと同等の10 μ s以上を確保した。

表1に1,200V IGBTの特性比較を示す。

2.2 ソフトリカバリダイオード

スイッチング時に発生するノイズは元々デバイスではなく外部配線のインピーダンスに起因するものであるが、デバイスのスイッチング波形を調整することによってかなり抑制することができる。特にFWDのリカバリーがトリガーになって発生する電流振動は、これをソフトにすることで抑制可能である。今回開発したIGBTモジュールでは、FWDに局所的なキャリアライフタイム制御を採用し、ダイオードの順電圧降下(VF)を犠牲にすることなく、高速かつソフトリカバリ特性を実現した。

2.3 新構造パッケージ

従来パッケージの短所を改善する様々な新構造や新規要素技術の採用により、コンパクトでかつ簡便に使用可能なパッケージが得られた。それぞれの新技術について以下に述べる。

(1) モジュールの小型化

パッケージ内部の積層配線化や沿面距離の適正化により、従来の定格電流1,000A品(1素子入り)と比較して、約60%弱のモジュール設置面積の大幅削減で装置の小型化や装置質量の低減を可能とした(表2)。

(2) 低インダクタンスな内部配線を実現

図2に示すように、パッケージ内部の積層配線による主電極構造や、その異電極間絶縁距離をできるだけ小さくするために、厚さ0.4mmのノーマックスーパー(絶縁紙)を採用することにより、従来の定格電流1,000A品(1素子

表1. 1,200V IGBTの特性比較

項目	デバイス構造		
	第三代IGBT (PT-平面IGBT)	第四世代 IGBT (PT-トレンチIGBT)	PCM CSTBT
飽和電圧 (V)	2.25 (typ)	1.9 (typ)	1.9 (typ)
入力容量 (nF) (相対値)	1	2	1.1
短絡耐量 (μ s)	≥ 10	$\geq 2^{*1}$	≥ 10
クロスポイント	$2.0 \times I_r$	$0.6 \times I_r$	$0.4 \times I_r$

*1 RTC回路を搭載することにより10 μ sを確保

表2. モジュール設置面積の比較

	1,000A 1 in 1	1,400A 2 in 1
ベース板寸法 (mm)	130 \times 130	150 \times 129.5
アンペア当たりの設置面積 (mm ² /A)	33.8	13.9
設置面積比率 (%)	100	41

入り)と比較して、パッケージ内部インダクタンスを約50%低減できた(表3)。

(3) マルチホールステップターミナルによる配線簡略化

図3に示すように、P、N端子に段差(マルチホールステップターミナル)を採用することにより絶縁形ラミネート平行平板の接続が容易になった。また、各端子に3つのM6ナットを設け絶縁形ラミネート平行平板との十分な接触面積を確保できるようにし、さらに、図4に示すように、面取りなしナットを採用することで絶縁形ラミネート平行平板との接触面の拡大(2倍)を図った。一方、図5に示すように、P、N端子を端面に配置することにより、絶縁形ラミネート平行平板面積が低減可能で、組立性向上や装置質量の低減、配線インダクタンスの低減などに効果がある。

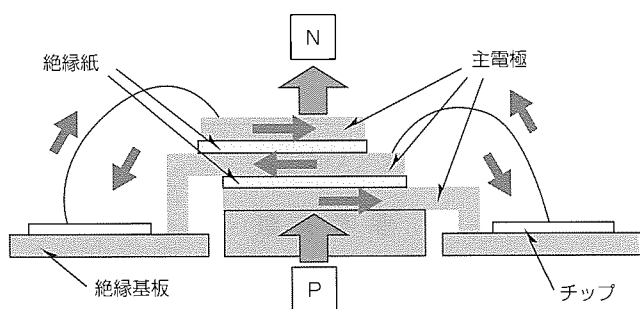


図2. 主電極の断面構造及び電流経路

表3. 内部インダクタンス比較

品 種	内部インダクタンス
CM1000HA-24H	42nH
CM1400DU-24NF	20nH

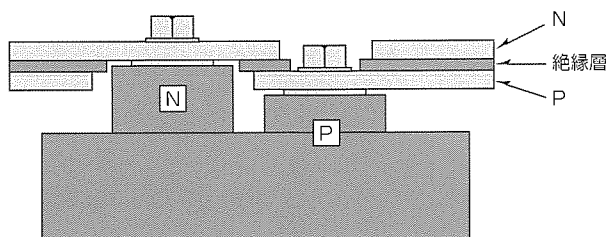
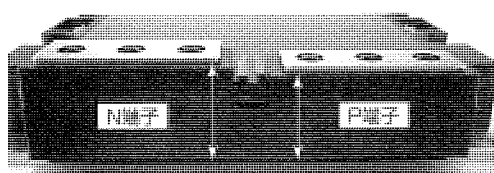


図3. ステップターミナル

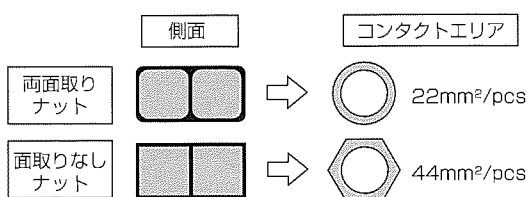


図4. ナットの接触面積比較

さらに、P、N端子と出力端子をパッケージの対向位置に配置することにより出力配線が容易な設計とした。

(4) ステップターミナルと取付け穴の絶縁距離

図6に示すように、絶縁形ラミネート平行平板を接続するステップターミナルと取付け穴は十分な絶縁距離を確保した。また、組立て・交換時の効率を考えたターミナルと取付け穴のボルトサイズ(M6)を同一にすることで、締付けトルクも同一にできる。

(5) 制御端子のコネクタ化

図7に示すように、ゲート端子、エミッタセンス端子及びコレクタ電圧検出端子にコネクタを採用したため、組立て・交換時に高い利便性を実現した。また、接触不良による事故の発生確率を低減するため、1つの制御端子ごとに2本のピンを使い、また、コネクタにself-locking機構があるものを採用し、さらに、ケース穴に沈めて抜け難くするなど高信頼性も追求した。

(6) 冷却経路

図8に示すように、主電極と平行にチップとマウントホールを設けたことにより、マウントホールと水冷用経路が交差することなく、水冷フィンの冷却経路が容易な設計とした。

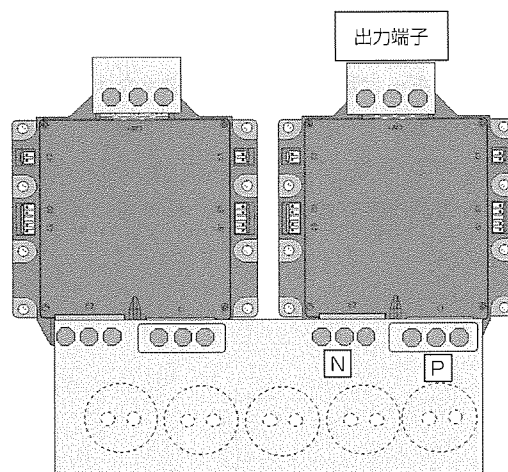


図5. モジュールの並列接続

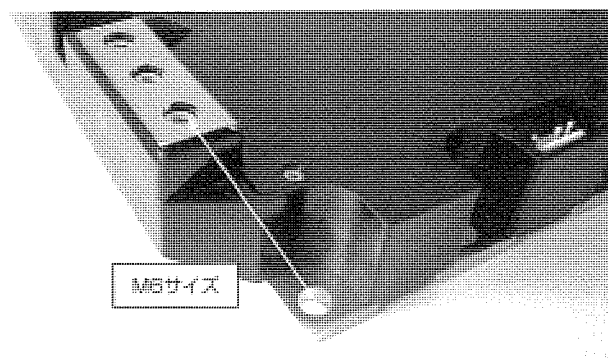


図6. ステップターミナルと取付け穴の配置

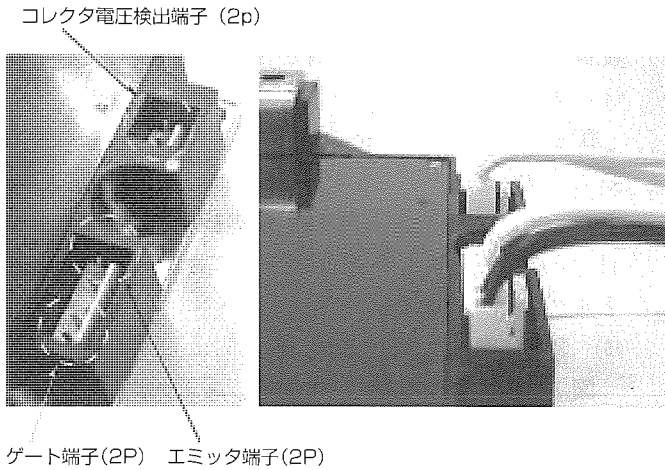


図7. コネクタ端子

3. ラインアップ

表4に示すように、この製品のラインアップは900A/1,400A-1,200Vの2素子入り2機種と、1,000A-1,700Vの2素子入り1機種の計3機種あり、三相インバータ単機容量300kVA～460kVAの選択が可能である。

4. むすび

今回、大容量1,200V IGBTモジュールMega Power DualにCSTBTチップを採用し、低損失、短絡耐量の向上及び入力容量を低減した。また、新規要素技術の採用により、コンパクトでかつ簡便に接続可能な製品とした。

電気エネルギーは環境に優しく、様々なエネルギー利用形態が電気エネルギーに置き換えられており、今回の高速大電流素子のように、これまで実現困難であった利用法に対応できる製品を展開することで、様々なアイデアの実現、

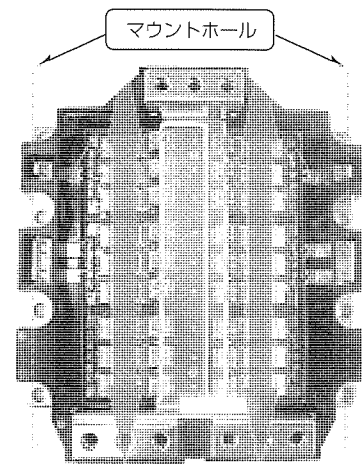


図8. 冷却経路

表4. ラインアップ

1,200V	900A/1,400A	2 in 1	量産中
1,700V	1,000A	2 in 1	開発中

普及に貢献したいと考えている。

参考文献

- (1) 高橋英樹, ほか: 次世代IGBT (CSTBT), 三菱電機技報, 75, No.6, 381～384 (2001)
- (2) 山田順治, ほか: 第四世代低損失IGBTモジュール“Fシリーズ”, 三菱電機技報, 75, No.6, 401～404 (2001)
- (3) Yamada, J., et al.: Next Generation High Power Dual IGBT Module with CSTBT Chip and New Package Concept, PCIM Nuremberg (2002-5)

3Vマイコン駆動の新世代DIP-IPM

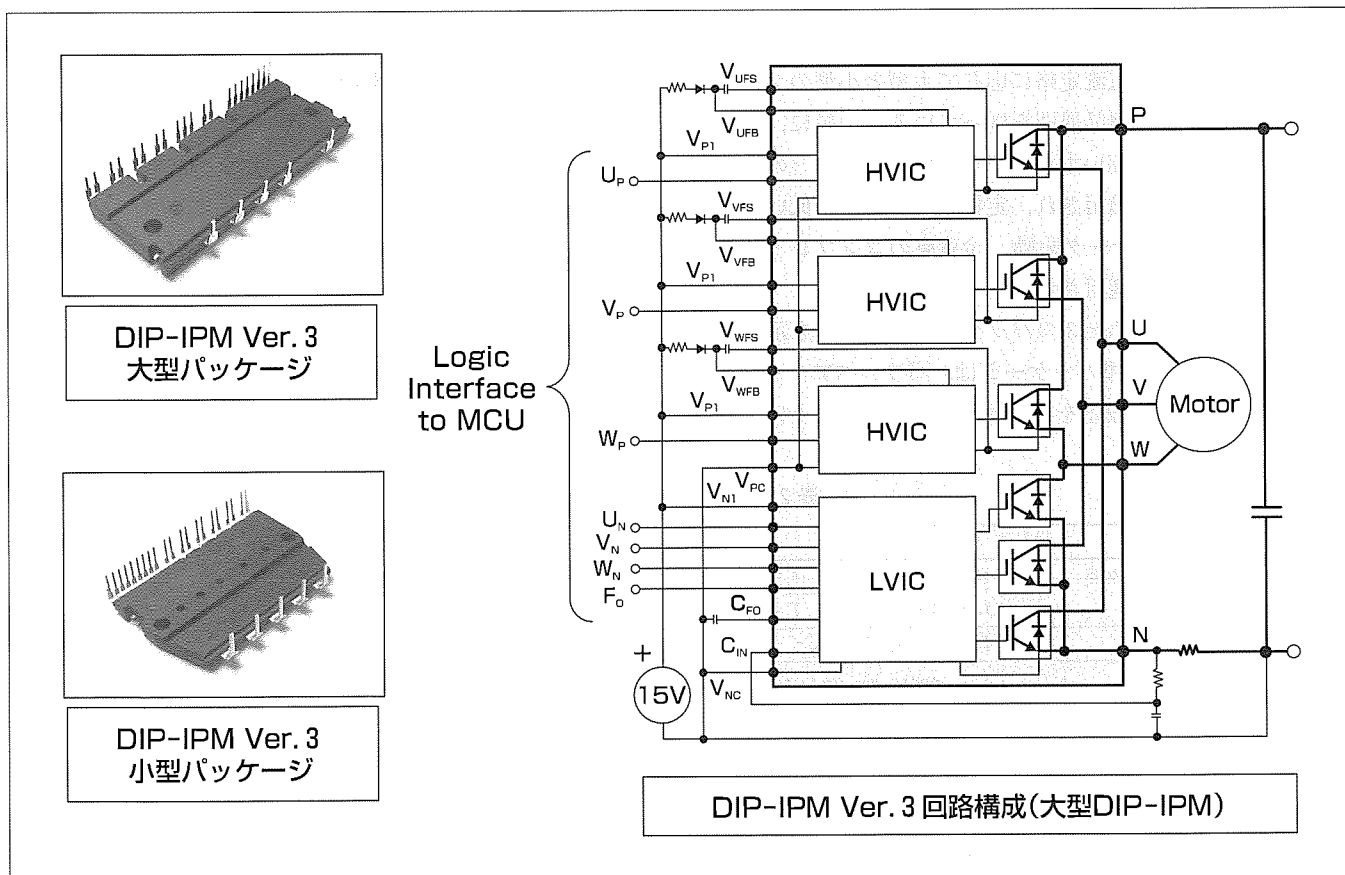
要 旨

エアコン、洗濯機、冷蔵庫などの白物家電市場においては、高効率化・高性能化を実現するためにインバータ化が進んでおり、インバータの心臓部となるパワーモジュールには更なる小型化・低損失化・低価格化が望まれている。

三菱電機のDIP-IPM (Dual In-line Package-Intelligent Power Module) は、パワーチップと制御ICチップを同一フレーム上に搭載し、それをトランスファモールドした構成によるパワーモジュールであり、小型、低価格、低損失などの特長からインバータ家電製品向けパワーモジュールとして広く用いられている。現在、DIP-IPM Ver.2シリーズとして小型と大型の2種類のパッケージにより、定格電圧600V、定格電流3Aから25Aまでの製品をラインアップしている。

今回、新たに開発したDIP-IPM Ver.3シリーズでは、定格電圧600V、定格電流5Aから50Aまでの6品種を製品化した。この新シリーズでは、定格電流5Aから30Aまでの製品に第五世代プレーナIGBT (Insulated Gate Bipolar Transistor) チップ、定格電流50Aの製品にはCSTBT (Carrier Stored Trench-gate Bipolar Transistor) チップをそれぞれ採用することにより、業界トップクラスの低飽和電圧を実現している。また、これら新製品の開発においては、3V系マイコンによるDIP-IPMのダイレクト駆動を視野に入れ、入力インタフェースの最適化を行っている。

本稿では、DIP-IPM Ver.3シリーズの特長、機能について述べる。



DIP-IPM Ver.3の外観と回路構成

DIP-IPMは、IGBT×6素子、FWD×6素子によるインバータ回路と、それを駆動するHVIC (High Voltage IC) ×3素子、LVIC (Low Voltage IC) ×1素子によって構成される。DIP-IPM Ver.3の大型パッケージでは、各パワー素子のフレーム下に銅ブロックを接合してトランスファモールドするCu分割ヒートシンクシングルモールド構造を新規採用することにより、高放熱性を実現している。小型パッケージについては、DIP-IPM Ver.2と同一構造としている。

1. ま え が き

DIP-IPMは、インバータ家電市場向けに当社が開発したトランスファモールド構造IPMであり、現在はDIP-IPM Ver.2シリーズを市場展開しており、エアコン、洗濯機、冷蔵庫などの白物家電用途を中心に広く用いられている。

インバータ家電市場向けパワーモジュールへの要求は用途に応じて異なり、エアコン、冷蔵庫用途では省エネルギー重視のため低損失化の要求が強く、洗濯機、冷蔵庫などの屋内で使用されるインバータ家電製品では、低損失化の要求に加えて、パワーモジュールから発生する放射ノイズや伝搬ノイズがテレビ、ラジオ、その他電気機器に影響を及ぼすことから低ノイズ化の要求も強い。近年は、各家電製品の価格低下などの影響により、パワーモジュールに対する低価格化要求もより強くなってきている。

今回、上記の要求にこたえるため、DIP-IPM Ver.3シリーズの開発を行った。

本稿では、DIP-IPM Ver.3シリーズの概要、開発のベースとなったキーテクノロジー、及びDIP-IPM Ver.3シリーズの特長について紹介する。

2. DIP-IPM Ver.3シリーズの概要

DIP-IPM Ver.3シリーズでは、従来のDIP-IPM Ver.2シリーズと同様に、電流定格に応じて大型と小型の2種類のパッケージにより製品展開を図っている。一般に、比較的定格電流レベルの高い大型DIP-IPMはエアコンのコンプレッサ用途などに適用され、定格電流レベルの低い小型DIP-IPMは洗濯機モータ駆動、冷蔵庫のコンプレッサ駆動用途などを中心に適用される。

図1にDIP-IPM Ver.3のパッケージ内部構造を示す。DIP-IPM Ver.3の小型パッケージは、パワーベアチップと制御ICベアチップを段差を持たせた同一フレーム上に搭載

後、1回の樹脂モールドでパッケージを構成しており、DIP-IPM Ver.2の小型パッケージと全く同じ構造となっている。

DIP-IPM Ver.2の大型パッケージは、パワーベアチップと制御ICベアチップを同一フレーム上に搭載し、それを樹脂モールド(一次モールド)した後、一枚のAlヒートシンクを抱き合わせるように重ね合わせ、再度樹脂モールド(2次モールド)を行う2回モールド構造となっている。しかし、DIP-IPM Ver.3の大型パッケージは、パワーベアチップと制御ICベアチップを同一フレーム上に搭載し、パワー部のフレーム裏面にCu分割ヒートシンクをはんだ接合した後、1回の樹脂モールドによりパッケージを構成している。DIP-IPM Ver.3の大型パッケージにおいては、この新規パッケージ構造の採用により、工程数低減によるコスト削減と放熱性能向上による大容量化を実現した。表1にDIP-IPM Ver.3シリーズの製品定格一覧を示す。また、表2に代表としてPS21867(30A/600V)の主な製品仕

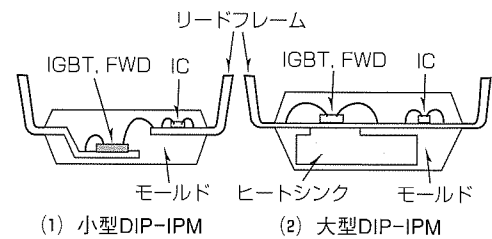


図1. パッケージ内部構造

表1. DIP-IPM Ver.3シリーズの製品定格一覧

	製品定格	パッケージ
PS21562	5A/600V	小型
PS21563	10A/600V	
PS21564	15A/600V	
PS21865	20A/600V	大型
PS21867	30A/600V	
PS21869	50A/600V	

表2. PS21867の製品仕様

項目	記号	条件	最小値	標準値	最大値	単位
コレクタ-エミッタ間飽和電圧	$V_{CE(sat)}$	$V_D = V_{DB} = 15V, T_j = 25^\circ C$	-	1.6	2.1	V
		$I_C = 30A, T_j = 125^\circ C$	-	1.7	2.2	V
FWD順電圧降下	V_{EC}	$I_C = -30A, T_j = 25^\circ C$	-	1.5	2.0	V
スイッチング時間	t_{on}	$V_{CC} = 300V, I_C = 30A, V_D = V_{DB} = 15V, T_j = 125^\circ C$ 誘導負荷	0.7	1.3	1.9	μs
	$t_{c(on)}$		-	0.4	0.6	μs
	t_{off}		-	1.7	2.4	μs
	$t_{c(off)}$		-	0.5	0.8	μs
回路電流	I_D	$V_D = V_{DB} = 15V, V_{IN} = 5V (on)$	$V_{P1} - V_{PC}, V_{N1} - V_{NC}$ の総和		5.00	mA
			$V_{UFB} - V_{UFS}, V_{VFB} - V_{VFS}, V_{WFB} - V_{WFS}$		0.40	mA
		$V_D = V_{DB} = 15V, V_{IN} = 0V (off)$	$V_{P1} - V_{PC}, V_{N1} - V_{NC}$ の総和		7.00	mA
			$V_{UFB} - V_{UFS}, V_{VFB} - V_{VFS}, V_{WFB} - V_{WFS}$		0.55	mA
入力電流	I_{IN}	$V_D = 15V, V_{IN} = 5V$	1.0	1.5	2.0	mA
短絡保護トリップレベル	$V_{SC(trip)}$	$V_D = 15V, T_j = 25^\circ C$	0.43	0.48	0.53	V
入力オンしきい電圧	$V_{th(on)}$	U _P , V _P , W _P - V _{PC} , U _N , V _N , W _N - V _{NC} 端子間	2.1	2.3	2.6	V
入力オフしきい電圧	$V_{th(off)}$		0.8	1.4	2.1	V

様を示す。

3. DIP-IPM Ver.3シリーズの内部回路構成

DIP-IPM Ver. 3の内部回路はDIP-IPM Ver. 2と同じく、三相インバータ構成のパワー回路部と制御用LVIC、HVICから構成される。図2にDIP-IPM Ver.3(大型DIP-IPM)の内部ブロック図を示す。

以下にその機能について述べる。

(1) パワー回路部

(a) IGBT (6素子) : FWD (6素子)による三相インバータ回路構成

(2) 制御IC部

(a) HVIC (3素子) : P側IGBT用駆動回路, 高圧レベルシフト回路, 駆動電源低下保護回路(UV, ただしエラー出力なし)を内蔵。ブートストラップ回路方式の採用により, 15V単一電源化が可能

(b) LVIC (1素子) : N側IGBT用駆動回路, 過電流保護回路(SC), 制御電源低下保護回路(UV)を内蔵。過電流保護は, DIP-IPM外部電流検出抵抗で過電流を検出し, DIP-IPM内部のLVICにフィードバックしIGBTを遮断。過電流保護, 制御電源低下時にエラー信号を出力

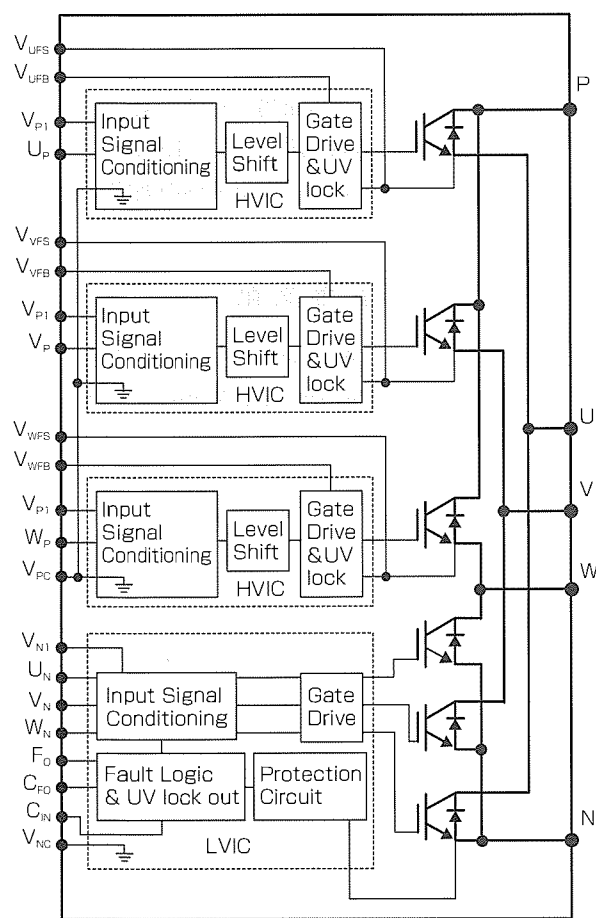


図2. 内部ブロック図(大型DIP-IPM)

4. キーテクノロジー

4.1 パワーデバイス技術

DIP-IPM Ver. 3シリーズでは, 定格電流30A以下のすべての製品に第五世代プレーナ構造IGBT(デザインルール: 0.6μm)を, 定格電流50Aの製品(PS21869)にCSTBTをそれぞれ採用した。これらのIGBTでは, 従来のDIP-IPM Ver.2に搭載している第四世代プレーナ構造IGBTと比較して飽和電圧低減, チップサイズ縮小を実現している。

電荷蓄積層を持つCSTBTは, オン状態時にダイオードに近いキャリア密度分布を持ち, 従来のトレンチIGBTよりも更に低飽和電圧化を実現することができるという特長から, 次世代パワーデバイスとして実用化が始まっている。

4.2 ASIC技術

DIP-IPMはパワーチップ(IGBT, FWD)と制御ICのみにより構成されるオールシリコンソリューションであり, DIP-IPMの性能に対して制御ICが占める役割は大きい。DIP-IPMでは, ハイサイドIGBTの駆動素子として, 24V系CMOS素子と600V耐圧DMOS素子を同一チップ上に搭載したHVICを用いており, これにより, MCU等からフォトカプラを使用せず直接DIP-IPMを駆動することが可能である。

また, DIP-IPM Ver. 3用制御ICに新規プロセスを採用することにより, ICのチップサイズ縮小と同時に回路電流の低減を実現しており, ハイサイド駆動回路電流の低減により, ブートストラップ回路の簡素化(コンデンサ容量低減)が実現される。

4.3 パッケージ技術

DIP-IPM Ver. 3では, 大型DIP-IPMの大容量化を実現するため, Cu分割ヒートシンク内蔵1回樹脂モールド構造を採用している。この新規構造の採用により, 従来のDIP-IPM Ver. 2の大型パッケージと比較して放熱性能を大幅に改善した。例えば, PS21869(50A/600V)では, DIP-IPM Ver. 2シリーズの中で最も電流定格の大きい製品であるPS21246-E(25A/600V)と比較して, 熱抵抗(規格最大値)をおよそ30%低減している。

5. DIP-IPM Ver.3シリーズの特長

DIP-IPM Ver. 3シリーズの特長について以下に述べる。DIP-IPM Ver. 2と新規開発したDIP-IPM Ver. 3との相違点についての比較を表3に示す。

5.1 入力インタフェースの最適化

DIP-IPMのコントロールには一般にMCUが用いられるが, 近年, MCUの駆動電源電圧のトレンドは従来の5V系から3V系へと移りつつある。DIP-IPM Ver. 3シリーズでは, 入力しきい値を3V系信号入力に対応して最適化することにより, 3V系MCUやDSP(Digital Signal

表 3. DIP-IPM Ver. 2 と Ver. 3 の比較

	DIP-IPM Ver.2	DIP-IPM Ver.3
IGBT	第四世代 プレーナ構造	第五世代プレーナ構造 / CSTBT (50A品のみ)
入力信号論理	Low-Active	Hight-Active
入力しきい値(標準値)	on : 1.4V / off : 3.0V	on : 2.3V / off : 1.4V
ブートストラップ 回路電流 I_{DB} (最大値)	1.0mA	0.55mA
大型パッケージ構造	2回モールド, A1ヒートシンク露出	1回モールド, Cu分割 ヒートシンク内蔵

Processor)によるダイレクト駆動を可能にしている。また、従来のDIP-IPM Ver. 2 (Low-Active)では入力端子に外部プルアップ抵抗が不可欠であったが、DIP-IPM Ver. 3では、入出力論理をHigh-Active(入力=Highのとき出力=High)とし、DIP-IPM内部に入力プルダウン抵抗を内蔵することにより、外部抵抗の接続を不要とし、入力インタフェース回路の簡素化を実現した。図3にDIP-IPM Ver. 3の入力インタフェース回路構成例をDIP-IPM Ver. 2の場合と比較して示す。

5.2 電流定格15A／小型DIP-IPM

DIP-IPM Ver. 2では小型パッケージとして定格電流3Aから10Aまでを製品化しているが、DIP-IPM Ver. 3では、第五世代プレーナ構造IGBTの採用によるチップサイズ縮小により、小型パッケージで定格電流15Aの製品(PS21564)を新たに追加できた。これにより、従来のDIP-IPM Ver. 2シリーズでは困難であったエアコンのコンプレッサ用途への小型DIP-IPMの適用を可能にした。

5.3 電流定格30A, 50A／大型DIP-IPM

DIP-IPM Ver.3では、高放熱性の新規大型パッケージと低飽和電圧IGBT(第五世代プレーナIGBT, CSTBT)の採用により、新たに定格電流30A(PS21867), 50A(PS21869)の製品を実現した。これにより、従来、ケースタイプIPMが採用されていた比較的容量の大きなモータ制御用途(3~4kW)に対してDIP-IPMの適用が可能となり、客先システムコストの削減に大きく寄与することができる。

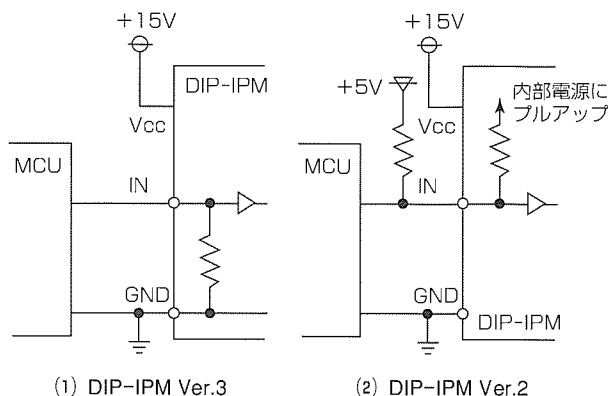


図 3. 入力インタフェース回路構成例

5.4 低ノイズ化

DIP-IPM Ver. 2においては、ゲート抵抗の選定によってスイッチング時間を最適化し、スイッチング時に発生する di/dt や dv/dt により発生するEMI(Electro-magnetic Interference)ノイズを低減するDIP-IPM Nシリーズ(小型パッケージ)を製品展開しているが、DIP-IPM Ver. 3シリーズにおいてもNシリーズと同様のコンセプトによりEMIノイズ低減を図っている。

6. む す び

以上、DIP-IPM Ver. 3シリーズの機能・特長などについて述べた。当社DIP-IPMシリーズは、高いコストパフォーマンス、実績に基づく高い信頼性、強力なサポート態勢などを強みとして、今後も市場ニーズに適した製品を提供していく。現在、1,200V耐圧のDIP-IPMの開発にも着手しており、DIP-IPMの新しい市場への展開が期待できる。

参 考 文 献

- (1) Iwasaki, M., et al.: A New Version Intelligent Power Module for High Performance Motor Control, PCIM, China (2003)

大容量(30・50A/600V)DIP-IPMの パッケージ構造技術

川藤 寿* 林 建一**
内田清宏*
上田哲也*

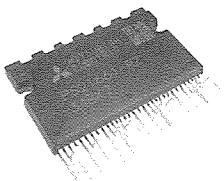
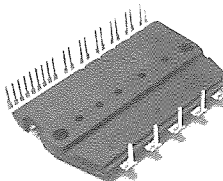
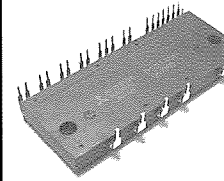
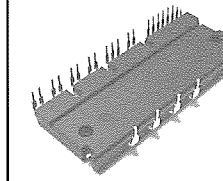
要 旨

三菱電機は、1997年にインバータ駆動用として世界初となるトランスファモールドタイプのDIP-IPM (Dual In-line Package Intelligent Power Module)の量産化を始めた。DIP-IPMは、小型・低コストかつ高信頼性を持ち、家電機器のインバータ化に大きく貢献している。現在のDIP-IPMは25A/600Vまでの品種展開を行っているが、インバータ応用機器へ適用範囲拡大のため、大容量化の要求が強まっている。

今回、大容量化の要求に対し、従来のDIP-IPMと同等サイズで電流容量を2倍にまで高めた大容量DIP-IPMを開発した。大容量DIP-IPMは、銅ヒートシンクをフレ-

ムに直付けしたフルモールド構造である。この構造は、銅ヒートシンクにより、樹脂層に伝熱する前に伝熱面積を広げることで低熱抵抗化を図っている。この構造で、熱抵抗を従来比約30%改善でき、最大定格電流50Aまでを実現した。

本稿では、低熱抵抗を実現させる大容量DIP-IPMの構造を述べるとともに、プロセス開発のキーポイントである銅ヒートシンクの接合技術及びモールド技術について述べる。銅ヒートシンクの接合プロセスではフラックスレス鉛フリーはんだ接合技術を、モールドプロセスでは狭間隙絶縁層形成技術をそれぞれ開発した。

	SIP-IPM	小型DIP-IPM	従来DIP-IPM	大容量DIP-IPM
外 観				
容 量	~3A/600V	~15A/600V	~25A/600V	~50A/600V
ボディサイズ	3.8×2.2×0.4 =3.3cm ³ (17%)	4.9×3.1×0.5 =7.6cm ³ (39%)	7.9×3.1×0.8 =19.6cm ³ (100%)	7.9×3.1×0.7 =17.1cm ³ (88%)
実装面積	垂直実装 0.51×3.8 =1.9cm ² (7.2%)	3.48×4.62 =16.1cm ² (61.2%)	3.48×7.56 =26.3cm ² (100%)	3.48×7.56 =26.3cm ² (100%)
主用途	冷蔵庫, 洗濯機 小容量ファンモータ	冷蔵庫, 洗濯機 ルームエアコン	ルームエアコン パッケージエアコン	ルームエアコン パッケージエアコン

トランスファモールドタイプ パワーモジュールパッケージのラインアップ

表左から、SIP-IPM (Single In-line Package Intelligent Power Module)、小型DIP-IPM、従来DIP-IPM、大容量DIP-IPMの外観、各パッケージのボディサイズ、実装面積、主用途一覧を示す。大容量DIP-IPMは、内部構造の変更により放熱特性を向上し、50Aまでの定格電流を満足する。

1. ま え が き

家電用途向けパワーモジュールは、小型・低コスト化が必要である。三菱電機では、IC組立技術を使用し、生産性を向上させたトランスファモールドタイプのパワーモジュールを各種開発してきた。これらは、エアコン、冷蔵庫、洗濯機等インバータ家電の普及に大きく貢献している。

なかでも、DIP-IPM(定格電流：～25A/600V)は、主にエアコンのインバータ駆動素子として広く使用されている。近年、トランスファモールド製品の適用拡大を図るため、大容量化の要求が強まっている。この要求に対し、新構造のパッケージ開発を行った。開発パッケージは、従来DIP-IPMと同一サイズで、定格電流50Aの大容量化を実現した。

大容量DIP-IPMの構造及びパッケージ技術について以下に述べる。

2. 大容量化に向けたパッケージ構造

2.1 大容量DIP-IPMのパッケージ構造

従来DIP-IPM及び大容量DIP-IPMの構造を図1に示す。従来DIP-IPMは、パワーチップ、制御チップを同一フレーム上に搭載し、一次モールド後に、放熱板を備えて二次モールドを行っている。絶縁層はフレームとアルミヒートシンク間に形成される。

一方、大容量DIP-IPMは、銅ヒートシンクを接合したフレームをモールドする構造とした。絶縁層は銅ヒートシンク下に形成されており、銅ヒートシンクによる熱の広がりが得られるため、放熱性が向上した。

モールド樹脂で絶縁層を形成する構造では、熱抵抗の大半は樹脂部で占められる。図2に従来DIP-IPMの熱抵抗

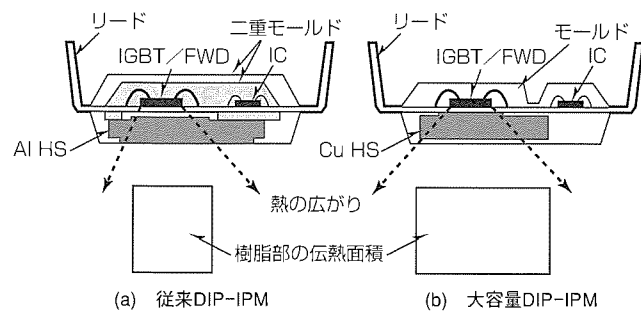


図1. DIP-IPMの断面構造

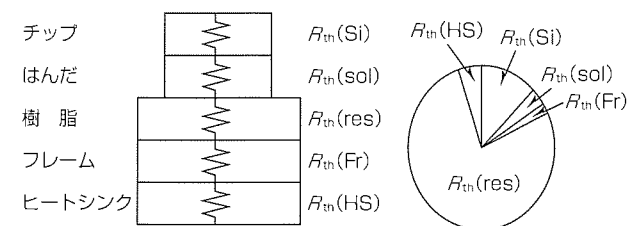


図2. 熱抵抗の成分比率(従来DIP-IPM)

の成分比率を示す。モールド樹脂の熱伝導率が金属、セラミック等に比べ1～2けた小さいため、樹脂層の熱抵抗が支配的である。モールド樹脂の熱伝導率は高熱伝導化を図ったとしても2～3 W/mKである。

一般に、熱抵抗は以下に示す式で表される。

$$R_{th} = \sum (1/\lambda \cdot t/S)$$

R_{th} : 熱抵抗

λ : 構成素材の熱伝導率

t : 厚さ

S : 伝熱面積

大容量DIP-IPMは、熱拡散層となる銅ヒートシンクを設けることにより低熱抵抗を実現した。銅ヒートシンクは凸形状とし、チップからの受熱面を銅ヒートシンクにより広げ、モールド樹脂への伝熱面積拡大を図った。

フレームへ接合される銅ヒートシンクは、従来DIP-IPMでは一体であったヒートシンクを分割し、パワーチップが搭載されるダイパッドごとに独立させた。これにより、相間の絶縁を確保した。

2.2 大容量DIP-IPMの熱シミュレーション

大容量DIP-IPMの放熱特性を検証するために、三次元CAEにより熱シミュレーションを行い、従来構造と比較した。図3に1チップ分を三次元モデル化した例を、図4

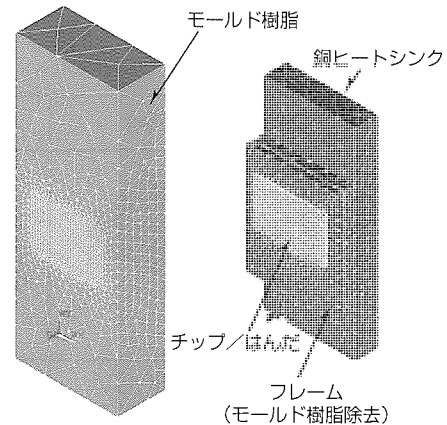


図3. 大容量DIP-IPMの熱シミュレーションモデル例

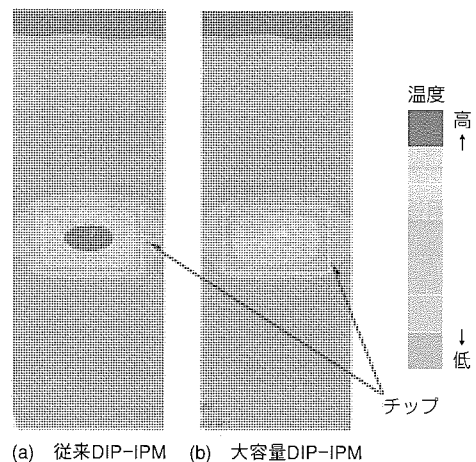


図4. 従来DIP-IPMと大容量DIP-IPMの温度分布比較

にシミュレーションにより得られた結果を示す。従来DIP-IPMに対し、大容量DIP-IPMでは、発熱体であるチップ温度が低くなっており、効率良く外部へ熱が放散されることを示している。従来DIP-IPMに対し、大容量DIP-IPMでは、30%以上もの熱抵抗低減が確認された。これにより、大容量DIP-IPMは50A対応まで可能となった。

また、実動作を想定した熱シミュレーションも行った。隣接チップの熱干渉等、発熱パターンごとにシミュレーションを行い、熱抵抗規格を満足することを確認した。

3. パッケージング技術

3.1 ヒートシンク接合技術

新構造では、フレーム表面に半導体素子を、裏面に銅ヒートシンクを接合させる。フレームと銅ヒートシンクの接合材には、環境負荷低減の観点から鉛フリーはんだを選定した。プロセスは、半導体素子の接合同じフラックスレスはんだ接合プロセスを選択し、クリーンルーム内での接合を可能とした。同時に、一般商用ではほとんど実用例のないフラックスレス鉛フリーはんだ接合技術を実用化した。

(1) 材料

鉛フリーはんだは、Sn-Ag-Cu系が信頼性上有利とされ採用したが、鉛はんだに比べて酸化しやすく接合性に大きく影響する。この課題を解決するために、溶融はんだ表面の酸化を抑制する元素を添加し、はんだ組成を見直した。新しい鉛フリーはんだが信頼性を十分満足することも確認した。

(2) プロセス

フラックスレスはんだ接合では、はんだ材、被接合部材の酸化膜還元及び接合温度下での酸化防止のため、低酸素濃度の還元雰囲気中、300℃程度以上の高温下で接合を行っている。鉛フリーはんだは酸化しやすいため、更に低酸素濃度の雰囲気、及びプロセス温度管理が必要となる。このプロセス条件では、部材還元性の確保・はんだの酸化の抑制を行い、はんだが十分に得られるよう最適化した。

(3) 装置

今回、フラックスレス鉛フリーはんだ方式によるヒートシンク接合機を開発した(図5)。この装置は、部材の供給、低酸素濃度実現に還元性雰囲気供給、部材還元及び鉛フリーはんだ酸化抑制に加熱・冷却システムなど、多種多様な工夫を組み込むことでこのプロセスを具現化している。

3.2 モールド技術

大容量DIP-IPMは、フレームと接合した銅ヒートシンクをモールドしており、銅ヒートシンク下の樹脂層で放熱と絶縁を両立させている。熱抵抗の観点からは、銅ヒートシンク下の樹脂厚は薄い方が望ましい。一方、絶縁性の観点から、銅ヒートシンク下のモールド樹脂層は所定の厚さが必要であるとともに未充填(じゅうてん)によるボイドを

なくす必要がある。上記相反する2つの特性を満足させるために、以下の面からモールドプロセスの開発を行った。

(1) 最適絶縁厚の確保

大容量DIP-IPMは、インサート物上下(フレーム上と銅ヒートシンク下)のモールド樹脂充填性に差があり、銅ヒートシンク下のモールド樹脂厚制御が困難であった。そこで、モールド金型内の可動ピンを用い銅ヒートシンクの沈みを防止するプロセスを採用した。図6に示すように、各銅ヒートシンクを可動ピンで支えた状態でモールド樹脂を注入し、樹脂硬化前にピンを引き抜くことで樹脂厚をコントロールしている。

(2) 溝形状による充填性の向上

銅ヒートシンク下の樹脂未充填が生じた場合は、絶縁耐圧を満足しなくなるおそれがあるため、銅ヒートシンク下のモールド樹脂充填性を向上させた。パッケージ上部に図7に示すような溝を設けることによりフレーム上部へのモールド樹脂の流れを抑制し、注入性を改善することとした。

(3) 樹脂特性の最適化

熱抵抗の低減を図るために高熱伝導モールド樹脂を用いたが、上記課題を解決するために樹脂特性の最適化を図った。樹脂の粘度、硬化速度など樹脂の成形特性だけでなく、絶縁耐圧の面からも最適化を図った。

また、線膨張係数の調整と設計構造の最適化により、製

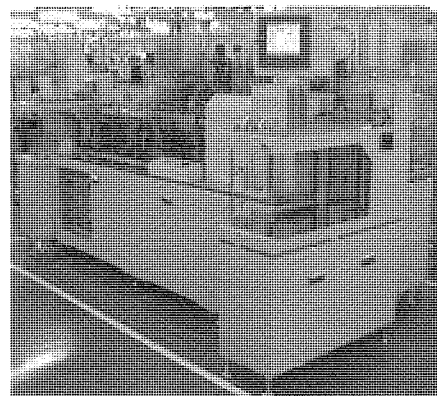


図5. ヒートシンク接合機の外観

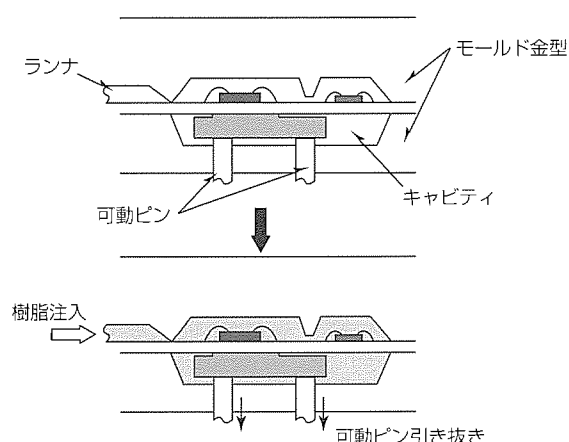


図6. 大容量DIP-IPMのモールド金型構造

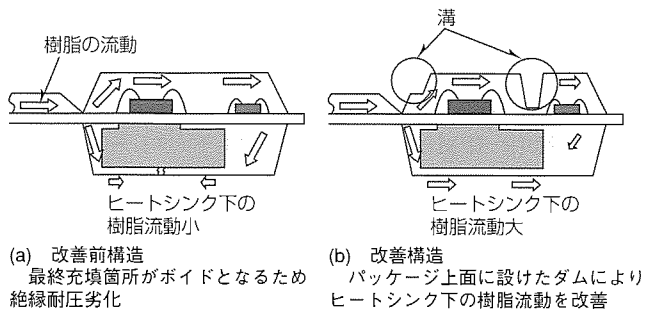


図7. 絶縁層の樹脂流動改善

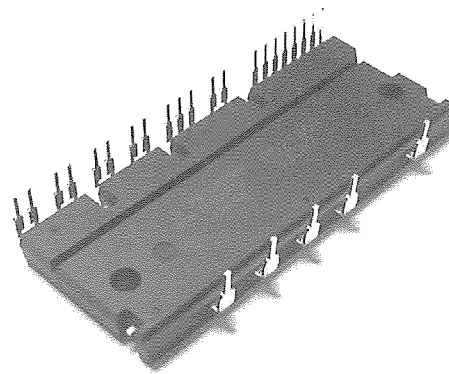


図8. 大容量DIP-IPMの製品外観

品のそりを抑えた。製品のそりは放熱フィンへの締め付け面に凸の方向に20 μ m程度であり、フィンへの締め付けによるパッケージへのストレスが抑えられていることを検証した。

4. 製品の特性

図8に大容量DIP-IPMの製品外観、表1に従来DIP-IPM及び大容量DIP-IPMの代表機種について製品規格を示す。大容量DIP-IPM(50A)の熱抵抗規格において、従来DIP-IPM(25A)の約30%改善している。また、絶縁規格については、いずれも2,500Vrms \cdot 1minを満足する。

5. むすび

従来DIP-IPMとパッケージサイズを同一としながら2倍の定格電流を実現する大容量DIP-IPMを開発した。銅ヒートシンク接合技術及びモールド技術の開発により約30%の熱抵抗改善を図れたことによる。このパッケージを採用することにより、世界初となる50AのDIP-IPMを実現できた。

表1. DIP-IPMの製品規格比較

機種名/パッケージ	熱抵抗(°C/W)	絶縁耐圧
PS21446-E(25A/600V) 従来DIP-IPM	2.1	2,500Vrms \cdot 1min
PS21869(50A/600V) 大容量DIP-IPM	1.42	2,500Vrms \cdot 1min

大容量DIP-IPMは、家電市場のみならず、産業用途機器のモータ駆動素子へも応用し得る特性を持っている。装置の小型化・低コスト化のみならず、省エネルギー化を通して産業・環境保護への貢献が期待される。

参考文献

- (1) 岩崎光孝, ほか: 小容量モータ駆動用トランスフェモールドIPM, 三菱電機技報, 75, No.6, 397~400 (2001)
- (2) Iwasaki, M., et al.: A New Version Intelligent Power Module for High Performance Motor Control, PCIM'03 China (2003)

新方式力率改善コンバータ“DIP-PFC”

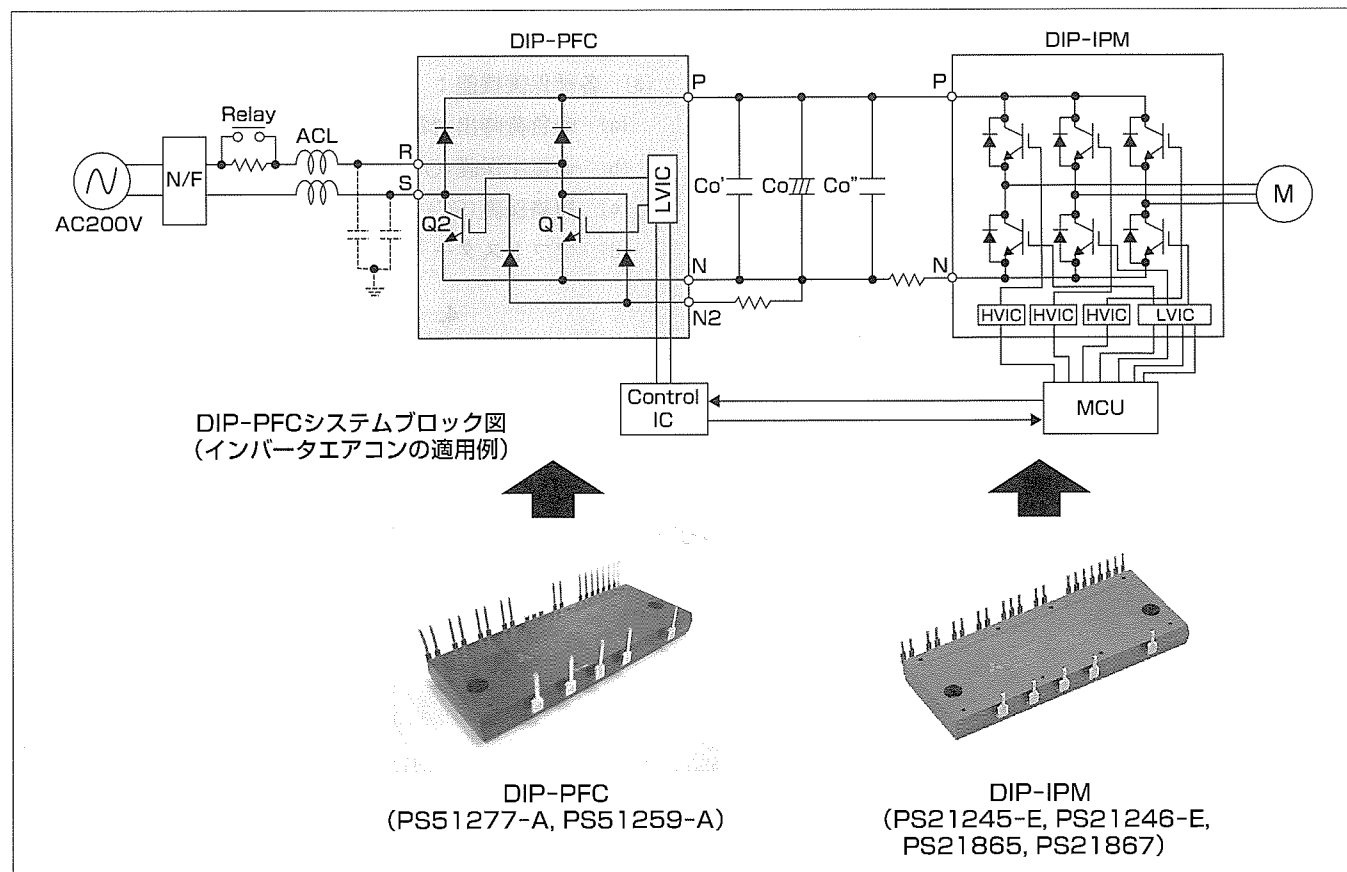
岩崎光孝* 孔 小明***
 瀬尾 護*
 天野勝之**

要 旨

近年、世界的な環境配慮の高まりの中で、省エネルギーを目的とする機器のインバータ化が急速に普及している。これに伴い、インバータシステムでのコンデンサインプット型構成のコンバータに起因した電源高調波は、商用電源の力率低下、EMI(Electro-magnetic Interference)ノイズ及び無効電力増加の要因となり、深刻な社会問題となりつつある。エアコンを代表とする家電機器において、機器の省エネルギー化推進によるトップランナー方式の導入とともに、電源高調波規制も重要課題となってきており、機器の省エネルギー化と高調波低減をねらった開発が急速に進展している。

このような状況に対応し、低損失、高力率のアクティ

ブコンバータDIP-PFC(Dual In-line Package-Power Factor Correction)シリーズ(定格入力電流15/20Arms)を業界に先駆けて製品化した。このDIP-PFCは、低損失IGBT(Insulated Gate Bipolar Transistor)×2石、FWD(Free Wheeling Diode)×4石とIGBT駆動用ICをトランスファモールドパッケージに内蔵したコンパクトなIPM(Intelligent Power Module)であり、同外形の三菱電機製DIP-IPMとACリアクトルを組み合わせる使用することにより、99%以上の力率を得ることが可能となる。同時に、従来のチョップ方式アクティブフィルタIPMソリューションよりパワーロス低減とシステムトータルのコスト低減が達成できる。



DIP-PFCとその応用例

コンバータと力率改善機能をトランスファモールドパッケージに内蔵したDIP-PFCは、インバータ家電製品の電源高調波電流抑制と力率改善に最適である。

1. ま え が き

三菱電機では高性能インバータPAM(Pulse Amplitude Modification)制御用途に電源高調波規制に対応できる昇圧形チョップ方式アクティブフィルタIPMを製品化しているが、市場の更なる低損失、小型化、低コストなどの要求にこたえるため、よりコンパクトで高性能なアクティブコンバータ用DIP-PFCシリーズを開発した。このDIP-PFCは、単相ダイオードブリッジに低損失IGBT×2石とIGBT駆動ドライバICを組み込んだアクティブコンバータ回路構成を持ち、トランスファモールド技術を用いたパッケージを採用したものである。図1にその外観を示す。

本稿では、このアクティブコンバータDIP-PFCの特長、機能、性能等について述べる。

2. DIP-PFC構造と用途

図2に今回開発したDIP-PFCの内部回路を示す。DIP-PFCは、低損失IGBT×2石(Q1, Q2)、高速ダイオード×4石(D1~D4)とIGBT駆動ドライバ(LVIC)のみのオールシリコンチップで構成し、トランスファモールド手法でパッケージ成形封止されたコンパクトなパワーモジュールである⁽¹⁾。図3にパッケージの内部構造を示す。

この回路は、PFC機能と整流機能を一体化にしてトランスファモールド技術による小型なワンパッケージに納める

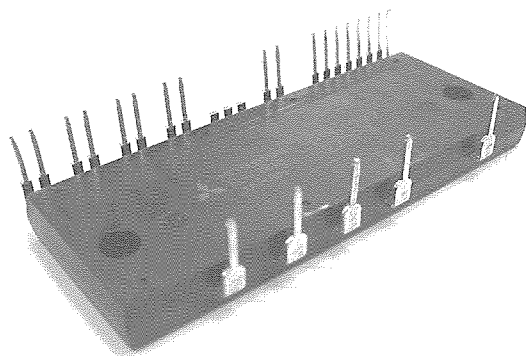


図1. DIP-PFCの外観

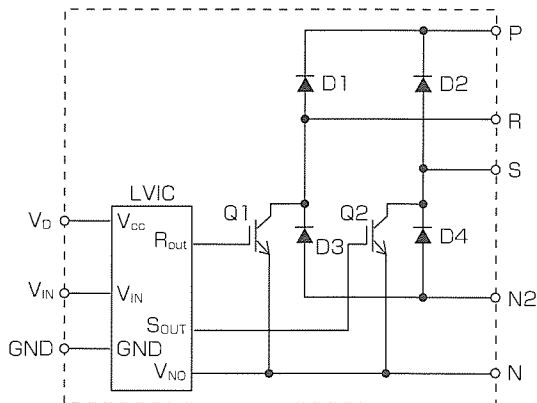


図2. DIP-PFCの内部回路構成

ことにより、従来のアクティブフィルタIPMを使用する際に必要となる外付けのダイオードブリッジが不要となり、インバータシステムの部品点数削減と基板の小型化に寄与できる。

DIP-PFCシリーズは、3.7kW/AC200Vクラス以下のインバータ用途に対応する定格電流15/20Armsの2品種をラインアップしている(表1)。

3. DIP-PFCの機能と特長

DIP-PFCには、次のような機能が内蔵されている。

- AC/DC整流機能：単相交流を通常の全波整流で直流に変換する。
- IGBT駆動と保護機能：内蔵LVICには、2石のIGBT駆動回路と制御電源低下保護回路を内蔵している。

また、同時に開発したIGBTのスイッチングをコントロールする力率改善用制御IC(外付け)とセットで使用することによって、高性能なフルスイッチングPFC制御と各種保護機能を実現した⁽²⁾。

- (1) 入力電流の高調波成分を除去し、ほぼ100%の力率が実現できる。
- (2) 出力電圧のフィードバックにより設定どおりの安定した出力電圧が得られる。
- (3) 各種保護機能：
 - (a) 軽負荷時出力電圧上昇抑制(OV1)
 - (b) 過電圧保護(OV2)
 - (c) 短絡保護(SC)
 - (d) ソフトスタート機能(SS)

4. キーテクノロジー

アクティブコンバータをトランスファモールド手法で開発するに当たり、スイッチング素子であるIGBTの損失による温度上昇と、大電流高速スイッチング時の di/dt によ

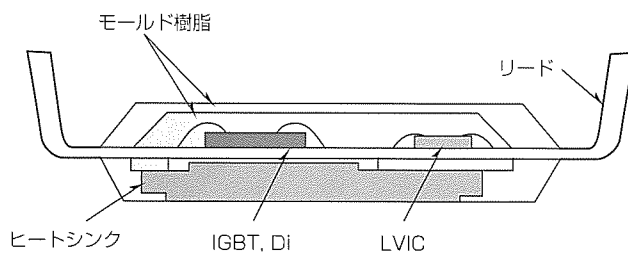


図3. DIP-PFCの内部構造

表1. DIP-PFCの製品系列

型名	定格電圧	定格電流	f_{PWM}	絶縁耐圧
PS51277-A	90~264V	15Arms	20kHz	1,500Vrms (AC60Hz, 1min)
PS51259-A	90~264V	20Arms	20kHz	

るサージ電圧の抑制が課題となった。これらを解決するために、次の技術を導入した。

(1) 新しい回路構成の採用

図4(a)に示す従来1石IGBTを使用した回路では、全波整流後の電流が、IGBTがターンオンした時に全部1石のIGBTに流れるので、IGBT1石当たりのロスが大きい。今回採用した図4(b)のような2石IGBTの回路では、交流電源の極性に合わせてQ1とQ2の2つのIGBTには1周期の電流が半波ごとに交互に図中①と②の経路で流れるので、各IGBT素子の通電期間が半分に減少し、IGBT1石当たりのパワーロスも半分に低減することができる。

(2) リードフレームパターンの最適化

パターンの寄生インダクタンスを最小にし、大電流で高速スイッチング動作するときのサージ電圧を抑制した。

5. DIP-PFCの特性

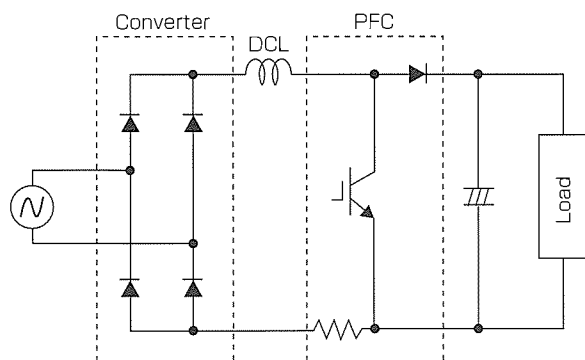
表2に、DIP-PFCシリーズの代表例として、PS51259-Aの主な特性を示す。図5に抵抗負荷でPS51259-Aを動作させた場合の入力電流、入力電圧波形を示す。入力電流が交流電圧と同期した正弦波形になり、力率が99%以上に実現できた。また、図6に示した高調波電流分布のように、高調波電流を電流高調波規制(IEC61000-3-2)レベル以下にすることを可能とした。

図7にDIP-PFCの損失シミュレーション結果を示す(条

件： $V_i=200V$ 、 $V_o=380V$ 、 $f_{sw}=20kHz$)。DIP-PFCは、従来アクティブフィルタIPM PM52AUBW060と外付けのダイオードブリッジを使用するときのトータル損失に比べ、約10%の損失低減となる。

表2. DIP-PFC(PS51259-A)の主な定格及び特性

項目	記号	条件	定格値
入力電源電圧	V_i	S-R端子間	90~264V
出力電圧	V_o	P-N端子間	450V(max.)
入力電流(定常時)	I_i	$V_i=200V$, $V_o=300V$, $f_{PWM}=20kHz$, $T_c \leq 90^\circ C$	20Arms
コレクタ-エミッタ間飽和電圧	$V_{CE(sat)}$	$V_D=15V$, $V_{IN}=5V$, $I_c=50A$	1.8V(Typ)
ダイオード順電圧降下	V_F	$I_F=50A$	2.1V(Typ)
スイッチング時間	ton	$V_{cc}=300V$, $V_D=15V$, $I_c=30A$, $T_j=125^\circ C$	0.29 μs (Typ)
	toff		0.46 μs (Typ)
	trr	$V_{IN}=5V \Rightarrow 0V$, 誘導負荷	0.13 μs (Typ)
ダイオード逆回復電流ピーク	I_{rr}	$V_{cc}=300V$, $V_D=15V$, $I_c=30A$, $T_j=25^\circ C$	13A(Typ)



(a) 従来A/F-IPM方式

(b) DIP-PFC方式

図4. 応用回路構成比較

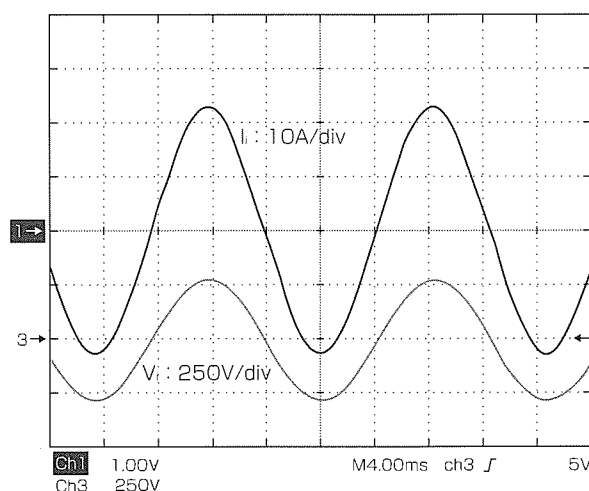


図5. 入力電流と電圧波形

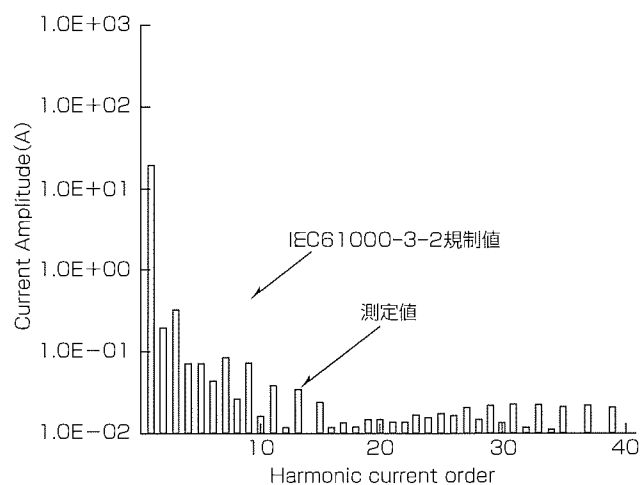


図6. 高調波電流測定結果

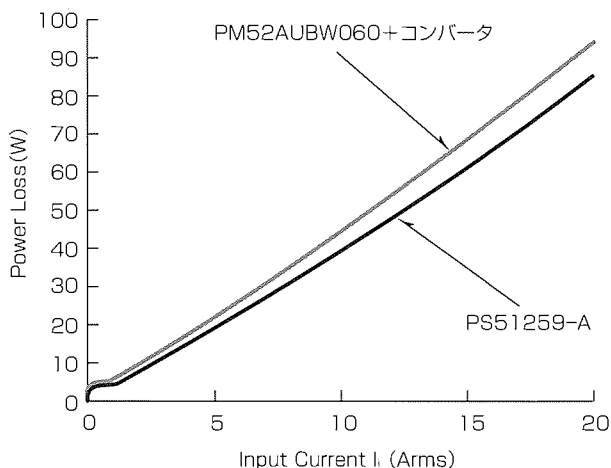


図7. DIP-PFCと従来A/F-IPMの損失比較

6. DIP-PFCの応用

DIP-PFC動作を制御するには、同時に開発した制御ICとセットでの使用が必要である。DIP-PFCは、当社大型DIP-IPMと同一外形で設計され、取付け高さも同様なので、DIP-IPMとペアーで使用するとき、同一のヒートシンクに搭載でき、パターン配線の最短化と基板の小型化によりシステムのコストダウンが図られる。

図8に当社エアコンにDIP-PFCとその制御IC及びDIP-IPMを搭載した制御基板の外観を示す。

7. む す び

本稿では、今回開発し製品化した昇圧形アクティブコンバータDIP-PFCについて紹介した。DIP-PFCの持つ低損失・小型化などのメリットは、インバータシステムの小型

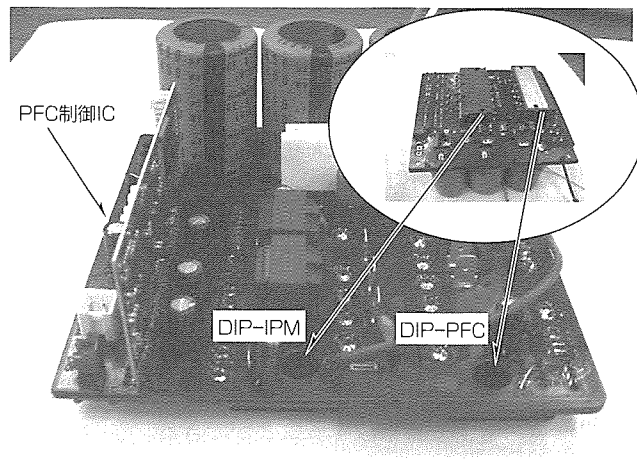


図8. インバータエアコンの制御基板

化とコストダウンに貢献し、ますます厳しく要求されてきているインバータシステムの高調波電流抑制と力率の徹底改善に最適なソリューションを提供する。その応用拡大が期待できると思われる。

今後は、更なる損失改善とコスト低減の市場ニーズに向けて、より高性能で高付加価値のある製品化実現に取り組んでいきたい。

参 考 文 献

- (1) Donlon, J., et al.: Power Modules for Appliance Motor Control, IEEE Industry Applications Magazine, 8, No.4, 26~34 (2002-7)
- (2) Iwasaki, M., et al.: An Integrated Power Factor Correction Module with Dual In-line Package, Proc. of PCIM 2003, Germany, 189~193 (2003)

ソフトリカバリーダイオード搭載 1.7kV HVIGBTモジュール

森下和博*
石澤慎一*
井浦真一**

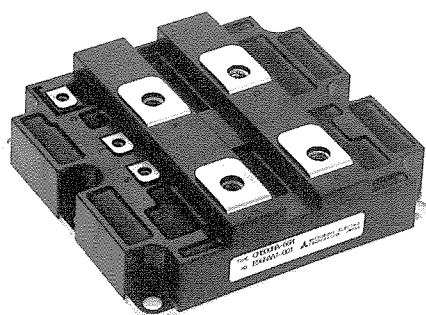
要 旨

近年、電鉄や電力等の大電力を必要とするパワーエレクトロニクス機器には、これまで幅広く使われてきたサイリスタやGTO(Gate Turn-off)サイリスタに代わり、ゲート制御性が容易で、かつサイリスタに比べスイッチング速度が格段に速く、安全動作領域が広い等の理由から、HVIGBT(High Voltage Insulated Gate Bipolar Transistor)やHVIPM(High Voltage Intelligent Power Module)等のパワーモジュールが広く使われるようになってきた。

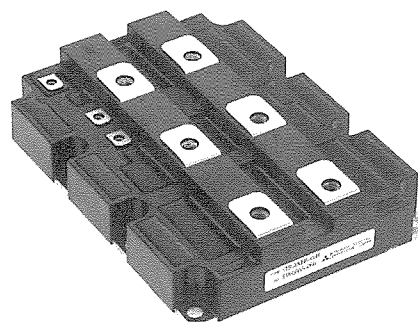
これらのパワーモジュールの用途が広がるにつれ、システムの小型軽量化・低コスト化・高信頼度化などの市場要求に対応した高性能なパワーモジュールの開発が求められている。今回、これらの市場要求に対応するため、大電流量化、新構造採用によるフリーホイールダイオード

(Free Wheeling Diode : FWD)のソフトリカバリー化及びベース版のAlSiC化による長寿命化を実現した。定格電流1,200~2,400AまでのHVIGBTモジュールを製品化することによって、これまでパワーモジュールを多数並列接続して使用していたシステムではパワーモジュールの使用数削減が可能となり、システムの小型軽量化及び低コスト化が図られる。

また、縦型構造を最適化した新たなソフトリカバリーダイオードを採用することにより、FWDが逆回復動作する過程でしばしば観測されるリングングと称される発振現象を抑制しているため、システムの高信頼度化への貢献が期待できる。



1.7kV HVIGBTモジュールの外観
(定格電流1,200A, 1,600A)



1.7kV HVIGBTモジュールの外観
(定格電流1,800A, 2,400A)

記号	項目	条件	CM1200HC-34H	CM1600HC-34H	CM1800HC-34H	CM2400HC-34H	単位
V_{CES}	コレクタ-エミッタ間電圧	G-E間短絡	1,700	1,700	1,700	1,700	V
I_C	コレクタ電流	直流, $T_c = 85^\circ\text{C}$	1,200	1,600	1,800	2,400	A
$V_{CE(sat)}$	コレクタ-エミッタ間飽和電圧	$I_C = \text{定格}, T_j = 25^\circ\text{C}$	2.50	2.60	2.50	2.60	V
-	パッケージサイズ	(L) × (W) × (H)	130 × 140 × 38		190 × 140 × 38		mm
-	ベース板材質		AlSiC				-

ソフトリカバリーダイオード搭載 1.7kV HVIGBTモジュール

左：定格1.7kV, 1,200A/1,600AシングルHVIGBTモジュール(形名：CM1200HC-34H/CM1600HC-34H)
右：定格1.7kV, 1,800A/2,400AシングルHVIGBTモジュール(形名：CM1800HC-34H/CM2400HC-34H)

1. ま え が き

HVIGBTなどのパワーモジュールの用途が広がるにつれて、システムの小型軽量化・低コスト化に対応した大容量パワーモジュールの要求が高まっている。今回、この市場要求に対応するため、定格電流1,200A, 1,600A, 1,800A, 2,400Aの1.7kV HVIGBTモジュールを製品化した。パワーモジュールを大容量化するに当たり課題となっているのが、FWDが逆回復動作する過程で見られるリングング現象である。このリングングは、制御系への影響や他の電子機器へのノイズ源になるなど、様々な問題を引き起こすおそれがある。今回の製品ではこれらを改善するために新構造のFWDを採用したので、その構造や特性を紹介する。

2. ダイオードの特性改善

HVIGBTモジュールに搭載されるIGBTチップは、世代ごとにデバイスの高性能・高信頼化がなされてきた。しかしながら、IGBTに逆並列に接続されているFWDにおいては、目覚ましい性能改善が進んでいなかった。FWDは、高速での逆回復動作でリングングと称される発振現象がしばしば見られる。このリングングは、デバイスの静耐圧を超えるほどのサージ電圧を伴い、デバイス自身を破壊に至らしめることがある。また、リングングが制御機器に使われる電子部品にノイズとして影響し、誤動作を招くおそれがあるため改善が必要である。

今回、この問題を解決するためにFWDの縦構造を最適化し、リングング抑制可能なソフトリカバリーダイオードを開発した。図1にFWDの断面構造を示す。今回改良したFWDは、Pアノード層の表面濃度を低減し、正孔の注入効率を抑制している。さらに、N⁺カソード層を深くかつ濃度勾配を緩やかにすることで、逆電圧が印加された際の急激な空乏層の伸びを抑制している。なお、N⁻層の厚みは、耐圧特性の低下を防ぐため従来と同一としている。

図2は今回改良したFWDと従来のFWDの逆回復動作を比較したもので、代表として定格電流1,600Aの製品をエミッタ電流 $I_E=400A$ 、逆電圧 $V_R=1,000V$ 、電流降下率 $di/dt=2,800A/\mu s$ の条件で動作した波形を示す。従来品は、エミッタ電流 I_E が逆回復する過程でリングングが見られるとともに、高い di/dt がトリガーになって、ピーク電圧約1,500Vのサージ電圧が発生している。これに対し、改良品では、エミッタ電流が緩やかに回復しているためリングングが見られず、サージ電圧もほとんど発生していない。ソフトリカバリーの度合いを示すS.F.値(Soft-ness Factor: 逆回復電流上昇時間に対する下降時間の比)は、従来品1.1に対し、改良品は2.3になっており、ソフトリカバリー化されているのが分かる。

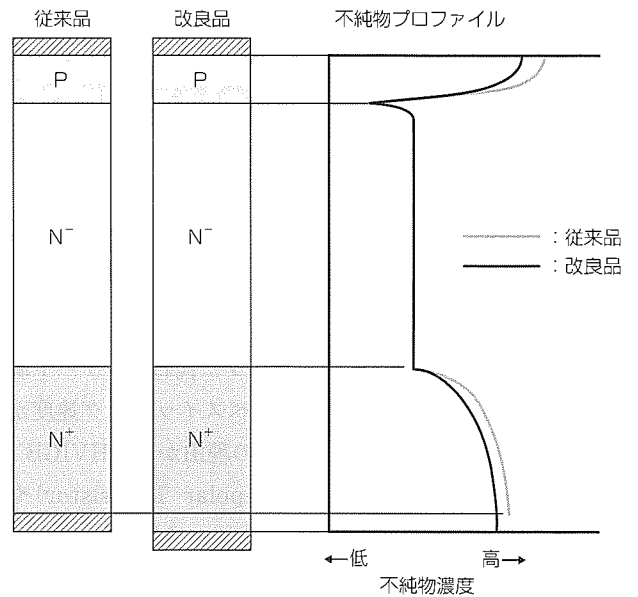
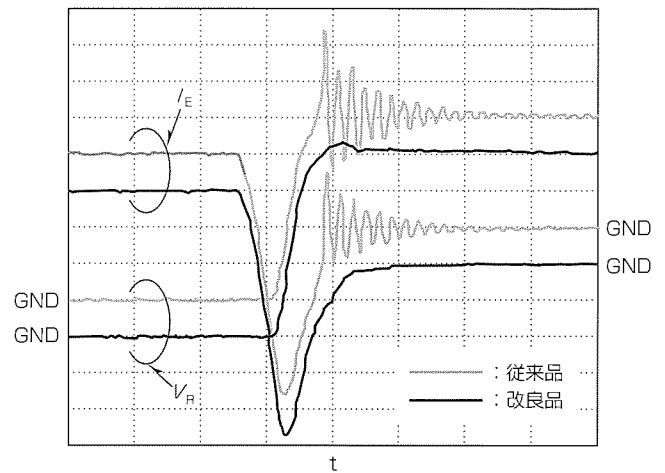


図1. FWDの構造比較



条件: $I_E=400A$, $V_R=1,000V$, $di/dt=2,800A/\mu s$, $T_1=125^\circ C$
($I_E=200A/div$, $V_R=200V/div$, $t=500ns/div$)

図2. FWDの逆回復動作波形比較

3. 製品展開

前述したソフトリカバリーダイオードを搭載した1.7kV HVIGBTモジュールでは、1,200A, 1,600A, 1,800A, 2,400Aの4機種を製品化した。IGBTチップは第三世代のプレーナIGBTを採用し、定格電流に見合った数のチップを並列接続している。パッケージはすべてAlSiC製のベース板を採用しており、当社従来比約10倍のはんだ熱疲労寿命向上を図っている。外形寸法は定格電流1,200A/1,600A品が(L)130×(W)140×(H)38(mm)で、定格電流1,800A/2,400A品が(L)190×(W)140×(H)38(mm)である。

表 1. 1.7kV HVIGBTモジュールの最大定格

記号	項目	条件	CM1200HC-34H	CM1600HC-34H	CM1800HC-34H	CM2400HC-34H	単位
V_{CES}	コレクタ-エミッタ間電圧	$V_{GE}=0V, T_j=25^\circ C$	1,700	1,700	1,700	1,700	V
V_{GES}	ゲート-エミッタ間電圧	$V_{CE}=0V, T_j=25^\circ C$	± 20	± 20	± 20	± 20	V
I_C	コレクタ電流	$T_c=25^\circ C$	1,200	1,600	1,800	2,400	A
I_{CM}		パルス	2,400	3,200	3,600	4,800	
I_E	エミッタ電流	$T_c=25^\circ C$	1,200	1,600	1,800	2,400	A
I_{EM}		パルス	2,400	3,200	3,600	4,800	
T_j	接合温度	-	$-40 \sim +150$	$-40 \sim +150$	$-40 \sim +150$	$-40 \sim +150$	$^\circ C$
T_{stg}	保存温度	-	$-40 \sim +125$	$-40 \sim +125$	$-40 \sim +125$	$-40 \sim +125$	$^\circ C$
V_{iso}	絶縁耐圧	充電部-ベース板間, 実効値 正弦波電圧AC60Hz 1分間	4,000	4,000	4,000	4,000	V
-	締付けトルク強度 (最小~最大)	主端子ねじ M 8	6.67~13.00	6.67~13.00	6.67~13.00	6.67~13.00	N·m
		取付けねじ M 6	2.84~6.00	2.84~6.00	2.84~6.00	2.84~6.00	N·m
		補助端子ねじ M 4	0.88~2.00	0.88~2.00	0.88~2.00	0.88~2.00	N·m
-	質量(標準)	-	1.0	1.0	1.5	1.5	kg

表 2. 1.7kV HVIGBTモジュールの主要特性(規格値)

記号	項目	条件	CM1200HC-34H	CM1600HC-34H	CM1800HC-34H	CM2400HC-34H	単位
I_{CES}	コレクタ遮断電流(最大)	$V_{CE} = \text{定格電圧}$ $V_{GE} = 0V$	$T_j = 25^\circ C$ 20	$T_j = 25^\circ C$ 24	$T_j = 25^\circ C$ 32	$T_j = 25^\circ C$ 36	mA
			$T_j = 125^\circ C$ 50	$T_j = 125^\circ C$ 60	$T_j = 125^\circ C$ 70	$T_j = 125^\circ C$ 90	
$V_{GE(th)}$	ゲート-エミッタ間しきい 値電圧(最大)	$V_{GE} = 10V, T_j = 25^\circ C$	6.5	6.5	6.5	6.5	V
I_{GES}	ゲート-エミッタ間漏れ電流(最大)	$V_{GE} = V_{GES}, V_{CE} = 10V$	0.5	0.5	0.5	0.5	μA
$V_{CE(sat)}$	コレクタ-エミッタ間飽和 電圧(標準)	$I_C = \text{定格電流}$ $V_{GE} = 15V$	$T_j = 25^\circ C$ 2.50	$T_j = 25^\circ C$ 2.60	$T_j = 25^\circ C$ 2.50	$T_j = 25^\circ C$ 2.60	V
			$T_j = 125^\circ C$ 3.10	$T_j = 125^\circ C$ 3.20	$T_j = 125^\circ C$ 3.10	$T_j = 125^\circ C$ 3.20	
V_{EC}	エミッタ-コレクタ間電圧 (標準)	$I_E = \text{定格電流}$ $V_{GE} = 0V$	$T_j = 25^\circ C$ 2.10	$T_j = 25^\circ C$ 2.20	$T_j = 25^\circ C$ 2.10	$T_j = 25^\circ C$ 2.20	V
			$T_j = 125^\circ C$ 1.70	$T_j = 125^\circ C$ 1.80	$T_j = 125^\circ C$ 1.70	$T_j = 125^\circ C$ 1.80	
$R_{th(j-c)Q}$	接合-ケース間熱抵抗 (最大)	IGBT部	0.012	0.010	0.008	0.007	K/W
$R_{th(j-c)R}$		ダイオード部	0.021	0.017	0.013	0.012	
$R_{th(c-f)}$	ケース-フィン間接触熱抵抗(標準)	グリース塗布	0.008	0.008	0.006	0.006	

4. 特性

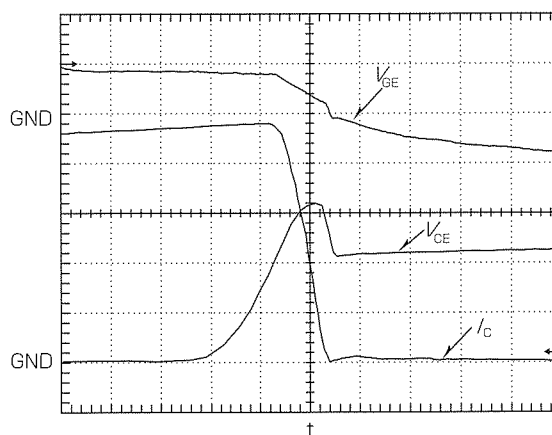
表 1, 表 2 に, 今回製品化した1.7kV HVIGBTモジュール 4 機種 の最大定格と主要特性を示す。

当社従来製品(定格電流1,200A同士)と比較した特長は,

- (1) IGBTのライフタイム最適化によりコレクタ-エミッタ間飽和電圧 $V_{CE(sat)}$ を当社従来比10%低減
- (2) FWDチップの最適設計により接合-ケース間熱抵抗を当社従来比30%低減
- (3) AISiC製ベース板採用により, はんだ熱疲労寿命特性を当社従来比10倍に向上

4.1 スイッチング特性

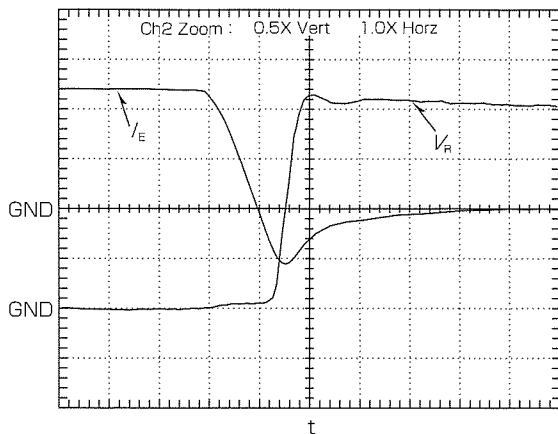
図 3 は, 定格電流2,400AのHVIGBTモジュール(形名: CM2400HC-34H)をコレクタ電流 $I_C = 4,800A$, 電源電圧 $V_{CC} = 1,150V$, $T_j = 125^\circ C$ の条件でターンオフさせた時のターンオフスイッチング波形である。コレクタ電流 I_C は最大4,800A(パルス)で, これまでのパワーモジュールでは最大級であり, 4,000AクラスのGTOサイリスタをしのぐ能力を持っている。



条件: $I_C = 4,800A, V_{CC} = 1,150V, V_{GE} = \pm 15V,$
 $R_{G(on)} = 2.7\Omega, R_{G(off)} = 15\Omega, T_j = 125^\circ C$
 $(I_C = 1,000A/div, V_{CE} = 500V/div, V_{GE} = 10V/div, t = 1\mu s/div)$

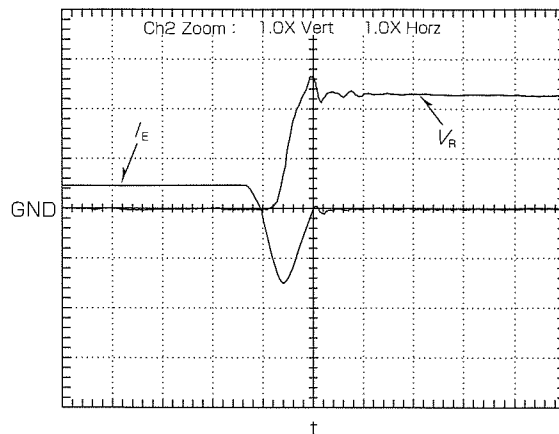
図 3. CM2400HC-34Hのターンオフスイッチング波形(代表例)

図 4 は逆回復動作波形の代表例である。図の(a)は定格条件であるエミッタ電流 $I_E = 2,400A$, 逆電圧 $V_R = 850V$ 時の逆回復動作波形を示し, (b)は定格電流の10%の電流



条件： $I_E=2,400A$, $V_R=850V$, $di/dt=5,800A/\mu s$, $T_j=125^\circ C$
 ($I_E=1,000A/div$, $V_R=200V/div$, $t=500ns/div$)

(a) 定格電流での逆回復動作波形



条件： $I_E=240A$, $V_R=1,150V$, $di/dt=3,500A/\mu s$, $T_j=125^\circ C$
 ($I_E=500A/div$, $V_R=500V/div$, $t=500ns/div$)

(b) 低電流での逆回復動作波形

図4. CM2400HC-34Hの逆回復動作波形(代表例)

240Aでかつ逆電圧を1,150Vまで上昇したときの波形である。定格電流時に比べ逆回復電流がハードになり波形が揺らぎ傾向にあるもののリングングには至らず、サージ電圧が1,350V程度に抑えられている。FWDのリングングは、通常、低電流でなおかつ高電圧の条件下で顕著に現れるが、これらの条件においても静耐圧を超えるほどのサージ電圧を伴う顕著なリングングは確認されず、この製品が幅広い用途での使用に対応できるデバイスであることを示している。

4.2 コレクタ-エミッタ間飽和電圧特性

図5は定格電流2,400AのHVIGBTモジュール(形名: CM2400HC-34H)のコレクタ-エミッタ間飽和電圧特性(代表例)を示す。コレクタ電流 $I_c=2,400A$ 時のコレクタ-エミッタ間飽和電圧 $V_{CE(sat)}$ は $T_j=25^\circ C$ 時2.6V, $T_j=125^\circ C$ 時3.2Vである。定格電流1,200Aの製品においては当社従来比約10%の低減がなされている。

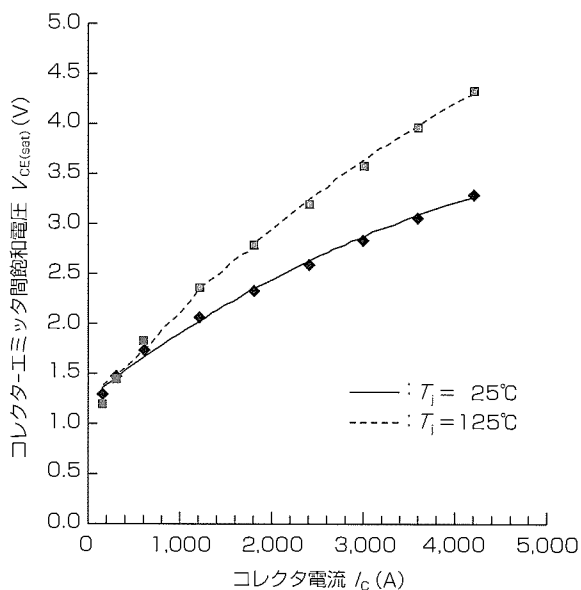


図5. コレクタ-エミッタ間飽和電圧特性 (代表例: CM2400HC-34H)

5. む す び

定格電流1,200~2,400AまでのHVIGBTモジュールを製品化することによって、これまで1,200A以下のパワーモジュールを多数並列接続して使用していたインバータシステムではパワーモジュールの使用数削減が可能となり、システムの小型軽量化及び低コスト化が図られる。

また、今回製品化した1.7kV HVIGBTモジュールは、縦

型構造を最適化した新たなソフトリカバリーダイオードを採用することにより、FWDが逆回復動作する過程でしばしば観測されるリングングを抑制しているため、ノイズによる制御機器の誤動作が低減され、システムの高信頼度化への貢献が期待できる。

6.5kV級IGBT

末川英介*
石澤慎一**
川口安人**

要 旨

近年の電鉄・電力・工業などの大電力分野では、システムの小型・軽量化又は低騒音化などの市場要求に対応して、コンバータ、インバータ用のパワースイッチングデバイスは従来のGTO(Gate-Turn-off)サイリスタからHVIGBT(High Voltage Insulated Gate Bipolar Transistor)モジュールなどの新しいパワー半導体デバイスへの切り替えが進んでいる。

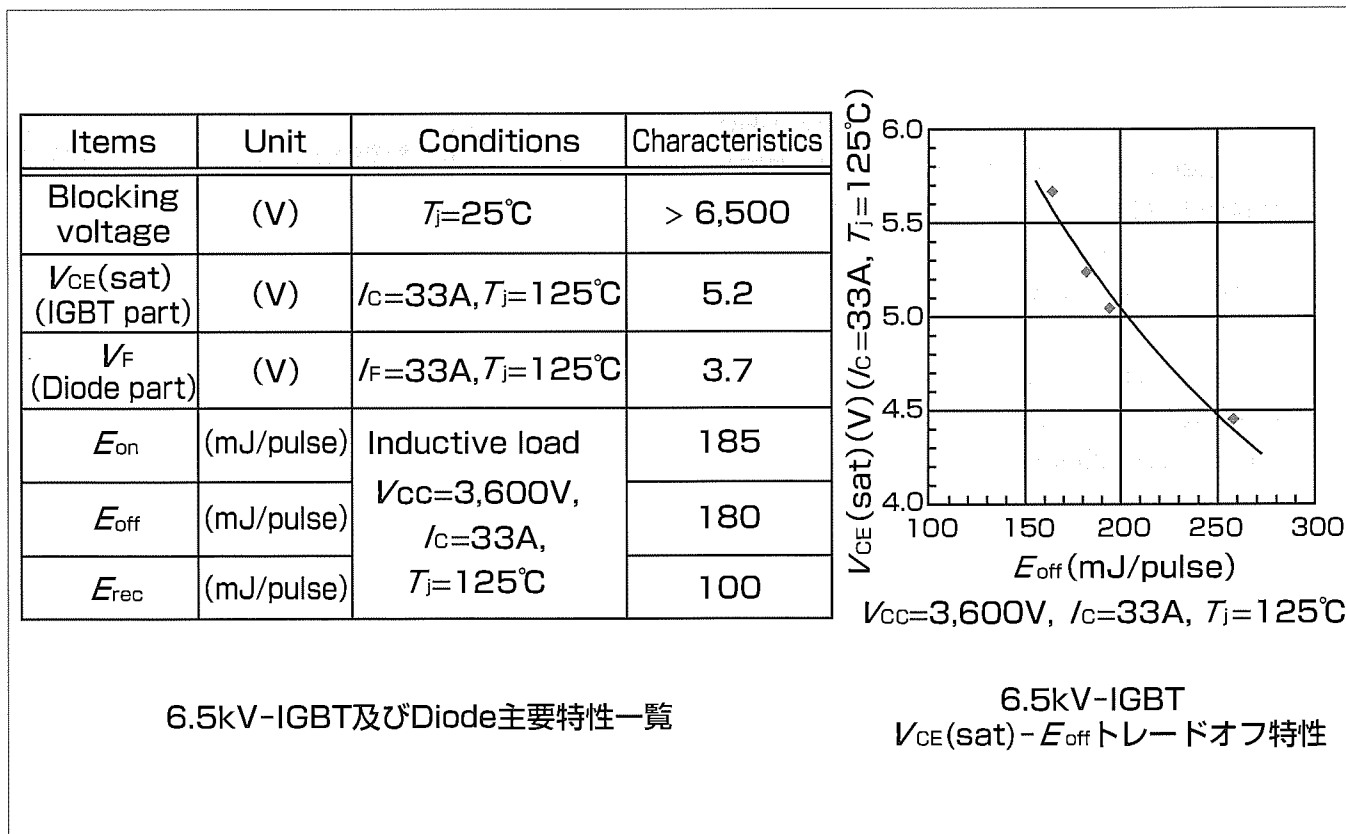
三菱電機では、4.5kV級HVIGBTの製品化が完了しているが、電鉄応用分野、又は産業分野において、ライン電圧3.0~4.1kVまで使用可能な、従来にない高耐圧IGBTの開発要求がある。特に電鉄分野においては、使用温度環境、安全動作領域に対して厳しい品質・性能要求があるため、

十分にマージンを持ったIGBTチップが必要となる。

これらの市場要求にこたえるため、高ライン電圧にも対応可能な、高破壊耐量を持つ6.5kV級IGBTチップ及びDiodeチップを開発した。

IGBTチップにおいては、ライトパンチスルー(Light Punch Through:LPT)構造の採用、セル構造の最適化を行い、主要な電気的特性を損なうことなく、ターンオフ安全動作領域(RBSOA)、短絡耐量(SCSOA)を向上させている。

本稿で紹介する6.5kV級IGBTは、現在、製品化を進めており、多様な応用分野にこたえたとともに、パワーユニットの小型化にも貢献できるものと思われる。



6.5kV級IGBT

電鉄応用分野、産業分野においてライン電圧3.0~4.1kVまで使用可能な6.5kV級IGBTチップ及びDiodeチップを開発した。LPT構造の採用、セル構造の最適化を行い、主要な電気的特性を損なうことなく、RBSOA、SCSOAを向上させている。

1. ま え が き

近年の電鉄・電力・工業などの大電力分野では、システムの小型・軽量化又は低騒音化などの市場要求に対応して、コンバータ、インバータ用のパワースイッチングデバイスは従来のGTOサイリスタからHVIGBTモジュールなどの新しいパワー半導体デバイスへの切換えが進んでいる。

当社では、4.5kV級HVIGBTの製品化が完了しているが、電鉄分野、又は産業分野において、ライン電圧3.0~4.1kVまで使用可能な従来にない高耐圧IGBTの開発要求がある。特に電鉄分野においては、使用温度環境、安全動作領域に対して厳しい品質・性能要求があるため、十分にマージンを持ったIGBTチップが必要となる。

本稿では、これらの要求に十分こたえることができる性能を持つ6.5kV級IGBTチップについて述べる。

2. 6.5kV級IGBTチップの特長

2.1 チップ設計のコンセプト

IGBTの構造は、パンチスルー(Punch Through: PT)タイプとノンパンチスルー(Non Punch Through: NPT)タイプに大別される。PTタイプは、 n^+ バッファ層を持つために n^- ベース層を薄くすることが可能であり、コレクター-エミッタ間飽和電圧($V_{CE(sat)}$)及びターンオフ損失(E_{off})を低減するために有利である。しかし、定格電圧が1.7kVを超える高耐圧IGBTにおいては、 n^- ベース層を薄くしていくと内蔵pnpトランジスタの h_{FE} が増大することにより、漏れ電流の増大、ターンオフ安全動作領域の低下といった問題を引き起こす。本稿では、これらの問題を解決するために n^- ベース層厚み(t_{n^-})、比抵抗(ρ_{n^-})とコレクタ構造を最適化したLPT構造を採用した6.5kV級IGBTについて述べる。

従来のNPT-IGBTと本稿で述べるLPT-IGBTについて、断面概略図を図1に示す。LPT-IGBTでは、実使用範囲の電源電圧条件では空乏層が n^+ バッファ層に到達せず、定格電圧を印加したときに n^+ バッファ層に到達するような

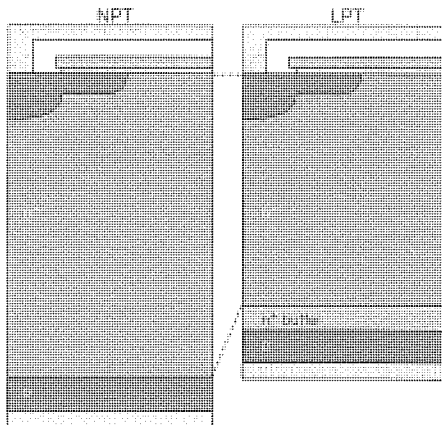


図1. NPT-IGBT/LPT-IGBTの断面概略図

t_{n^-} 及び ρ_{n^-} でウェーハ設計を行うことで、コレクター-エミッタ間耐圧特性(V_{CES})を確保できる最小限の t_{n^-} を選択できる。このコンセプトを用いることで、 $V_{CE(sat)}$ と E_{off} を、より低くすることが可能となる。

2.2 ウェーハ n^- 層の最適化

一般的に、電鉄応用では、ジャンクション温度(T_j)が $-40 \sim +125^\circ\text{C}$ の範囲で定格耐圧を保証する必要がある。図2に、 $T_j = -40^\circ\text{C}$ での t_{n^-} と ρ_{n^-} をパラメータとしたときのコレクター-エミッタ間耐圧特性(V_{CES})を示す。 V_{CES} には正の温度依存性があり、 T_j が低いほど V_{CES} は低下する。この図から、仕様Aのウェーハ n^- 層を選択することにより、電鉄用途要求の動作温度範囲で、定格電圧の V_{CES} を保証できることが分かる。

2.3 漏れ電流の低減

IGBTの漏れ電流(I_{CES})は、内蔵pnpトランジスタのベース開放電流(I_{CBO})に相当し、式(1)で表すことができる。

$$I_{CBO} = h_{FE(pnp)} \times I_{CES} \dots \dots \dots (1)$$

I_{CBO} : コレクター-ベース間逆電流

$h_{FE(pnp)}$: エミッタ接地電流利得

式(1)から、内蔵pnpトランジスタの I_{CBO} を抑制するためには、内蔵pnpトランジスタの $h_{FE(pnp)}$ を小さくすればよいが、 $h_{FE(pnp)}$ を小さくすると $V_{CE(sat)}$ が増加することが分かる。図3に、 p^+ コレクタ層濃度と n^+ バッファ層濃度の濃度比率(γ_1)と高温時の I_{CES} 及び $V_{CE(sat)}$ の依存性を示す。ここで、 γ_1 を10程度にすることで、高温時の I_{CES} を

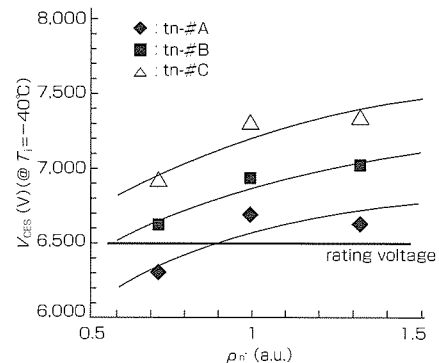


図2. $T_j = -40^\circ\text{C}$ での V_{CES} とウェーハ仕様(t_{n^-} , ρ_{n^-})の関係

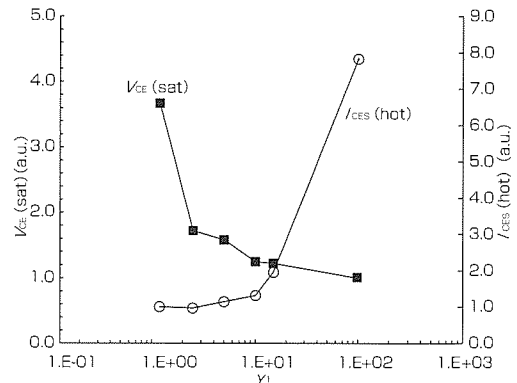


図3. p^+ コレクタ層/ n^+ バッファ層濃度比(γ_1)と $V_{CE(sat)}$ 、高温時の漏れ電流($I_{CES(hot)}$)の依存性

抑制しつつ、 $V_{CE(sat)}$ の急峻(きゅうしゅん)な増加を防ぐことができることが分かる。

3. RBSOA耐量向上の方策

3.1 pベース層抵抗(ピンチ抵抗)の低減

IGBTのターンオフ時には、 n^- 層に残存するホールが、pベース層を通り、エミッタ電極へ放出される。このとき、放出されるホール電流がIGBTの内蔵npnトランジスタのベース電流となる。図4に、従来IGBTのセル構造でのホール電流の経路を簡略的に示す。

n^+ ソース層直下のpベース層抵抗(ピンチ抵抗)が高い場合、この部分の電圧効果によりnpnトランジスタがオンし、IGBTは、サイリスタ動作によりゲート制御ができず熱破壊に至る。したがって、ターンオフ時の可制御電流を向上させるためには、ピンチ抵抗を抑えることが効果的である。そこで、 n^+ ソース層直下のピンチ抵抗を振り分けたチップを用いて、ピンチ抵抗とターンオフ時の可制御電流の関係を調査した。図5に、ターンオフ時の可制御電流とピンチ抵抗の依存性を示す。この図から、ピンチ抵抗を40%程

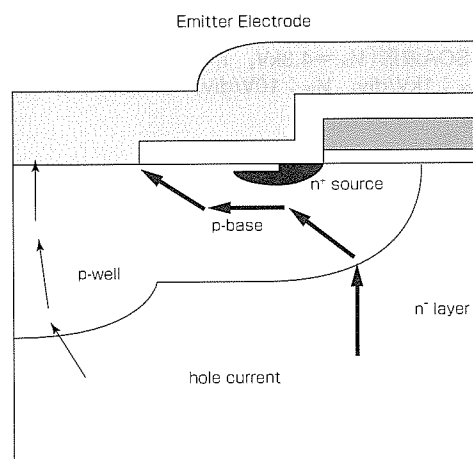


図4. 従来セル構造でのホール電流経路概略図

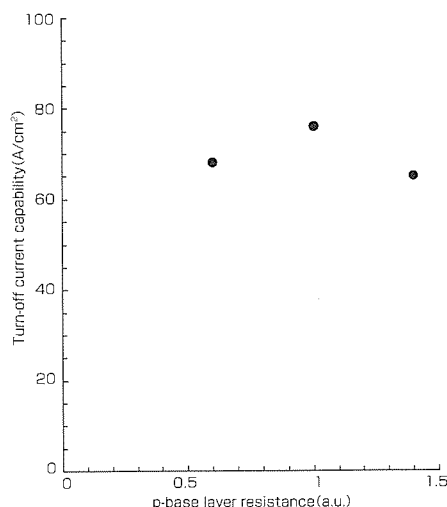


図5. pベース層抵抗とターンオフ時可制御電流の依存性

度低減しても、従来よりターンオフ時の可制御電流は向上しないことが分かった。

3.2 pボディ層の最適化

次に、pボディ層の拡散深さを深くして、pボディ層の電界を高くし、 n^+ ソース層直下のpベース層を通り抜けるホール電流を減少させることを検討した。図6に、pボディ層を深くしたセル構造でのホール電流の経路を簡略的に示す。

実験では、従来IGBTに対して、pボディ層の拡散深さを約5%と約9%深くしたチップを試作した。その結果、図7に示すとおり、ターンオフ時の可制御電流は、従来IGBTと比較して、2~3倍程度改善されることが分かった。

この結果から、pボディ層の抵抗を低減して、なおかつ、電界集中をpベース層からpボディ層へ移行することで、IGBTの内蔵npnトランジスタが寄生動作を抑制することが分かった。また、pボディ層の最適化設計を行うことで、 $V_{CE(sat)}$ 、 E_{off} 及び V_{CES} 等の主要電気特性を損なうことなくターンオフ時の可制御電流が従来設計の2倍以上となった。

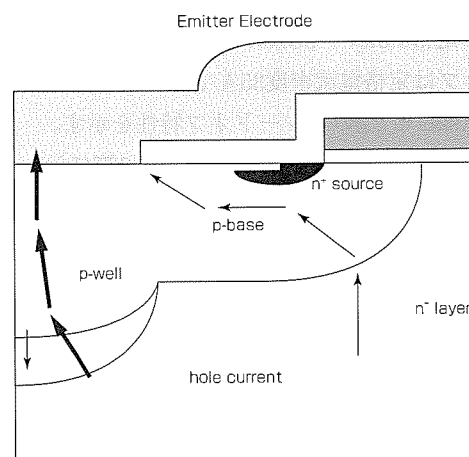


図6. pボディ層を深くした構造でのホール電流経路概略図

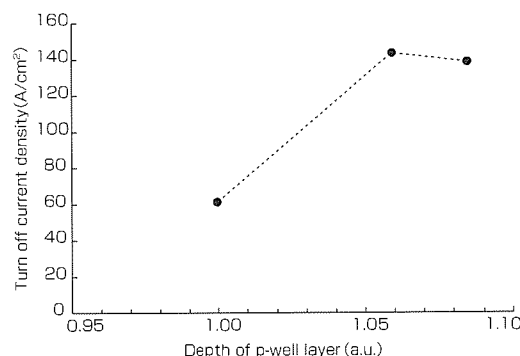


図7. pボディ層深さとターンオフ時可制御電流の依存性

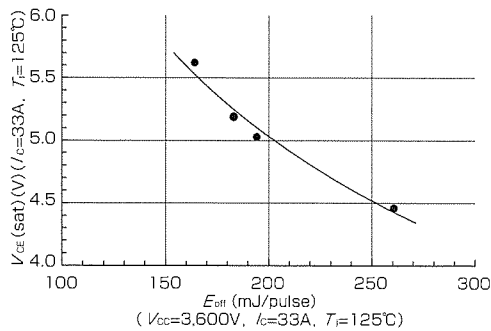


図8. $V_{CE}(sat)-E_{off}$ トレードオフ特性

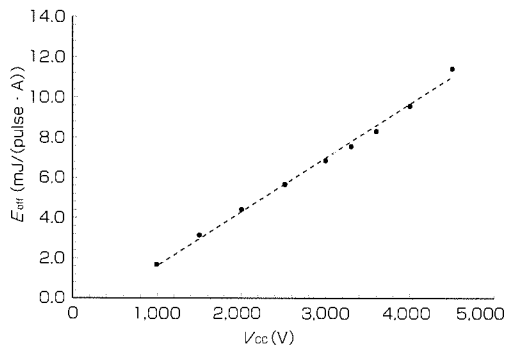


図9. $E_{off}-V_{CC}$ 依存性

4. チップ特性

次に、定格6.5kV/33Aのチップの試作実験を行った。このチップは定格電流密度35A/cm²で設計している。図8に、 $V_{CE}(sat)$ と E_{off} のトレードオフ特性を示す。

図9に、 E_{off} の V_{CC} 依存性を示す。2.2節で示したとおり、ウェーハn⁻層の最適化を行ったLPT構造を採用しているため、実使用の電源電圧条件で、 E_{off} が大きく上昇することはない。

図10に、 $V_{CC}=4.3kV$ 、 $J_C=143A/cm^2$ 、 $T_J=125^\circ C$ でのRBSOAを評価した波形を示す。セル構造の最適化により、定格電流密度の約4倍のターンオフが可能となった。

図11に、短絡(SCSOA)耐量を評価した波形を示す。 $V_{CC}=4.3kV$ 、 $T_J=125^\circ C$ の条件下で、オンパルス幅(t_w)が13 μs まで非破壊であることを確認した。

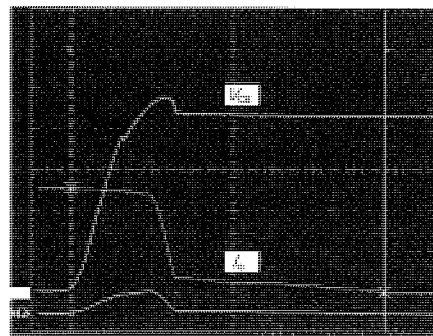


図10. RBSOA波形($V_{CC}=4.3kV$ 、 $I_C=134A$ 、 $T_J=125^\circ C$)
($V_{CE}: 1kV/div$ 、 $I_C: 50A/div$ 、time: 1 μs)

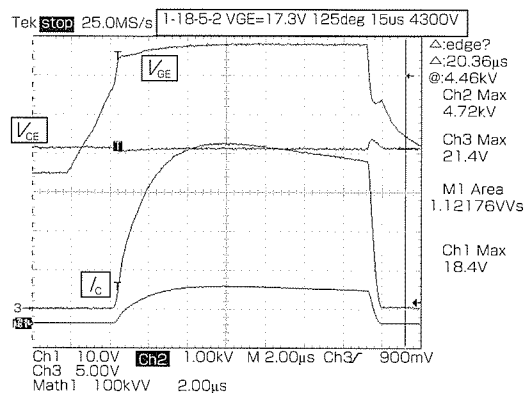


図11. SCSOA波形($V_{CC}=4.3kV$ 、 $T_J=125^\circ C$)
($V_{CE}: 1kV/div$ 、 $V_{GE}: 10V/div$ 、 $I_C: 50A/div$ 、time: 2 μs)

5. むすび

従来にない高ライン電圧用途として、市場の要望にこたえるため、6.5kV級IGBTチップの開発を行った。高耐圧化を考慮してLPT構造の採用及びセル構造の最適化を行い、 $V_{CE}(sat)$ 、 E_{off} 、 V_{CES} 等の主要な電気的特性を損なうことなく市場要求に十分こたえることができるRBSOA耐量、SCSOA耐量を持つことを確認した。

この6.5kV級IGBTチップを搭載したHVIGBTモジュールは、現在、製品化を進めており、幅広い分野への適用が期待されるとともに、パワーユニットの小型化にも大いに貢献するものと思われる。

マトリクスコンバータ用逆阻止IGBT

要 旨

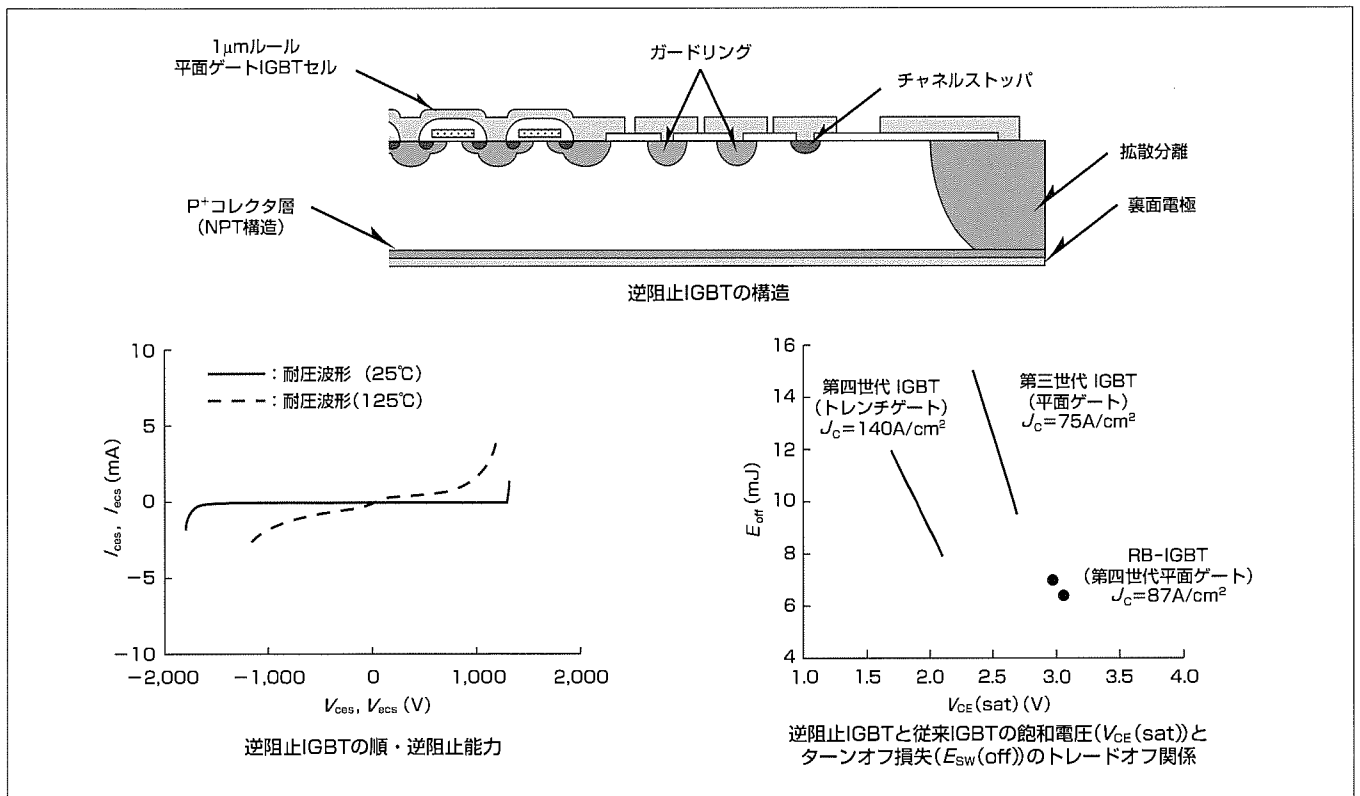
誘導モータの速度制御を始め電力応用機器で三相交流の周波数を変化させたい場合、通常はコンバータでいったん直流に変換し、コンデンサにエネルギーを貯めてから目的の周波数の交流に変換するインバータ制御方式が主流である。しかし、インバータ制御方式では、以下の問題がある。

- (1) 蓄積されるエネルギーは大きく、蓄積手段は体積質量共に大きくなる。
- (2) 用いられる電解コンデンサは寿命が短く交換が必要である。

この問題解決のために、エネルギー蓄積手段を排し三相交流から直接違う周波数の三相交流を得ようというのがマトリクスコンバータである。このアイデアは新しいものではないが、制御が複雑なために最近ようやく実用化可能となった。電力蓄積手段を用いずに三相交流から直接任意の交流電源を作り出すマトリクスコンバータは、小型軽量、メンテナンスフリー、入力率も制御可能などの特長

から、ベクトルインバータの後継方式として注目されている。マトリクスコンバータを構成するスイッチには、逆方向阻止特性を持つ逆阻止IGBT (Insulated Gate Bipolar Transistor) が必要となる。このため、マトリクスコンバータ用に使用されるパワーデバイスには、従来IGBTとダイオードを直列接続した構成となっていた。

三菱電機は、マトリクスコンバータ用に使用できるパワーデバイスとして、逆方向にも耐圧を持つIGBTを、構造と製造プロセスの両面から研究・開発してきた。今回、逆阻止IGBTとして1,200V/100Aのチップを試作し、逆阻止IGBTの構造と電気特性について調査した。試作チップは、逆方向に耐圧を保持しながら、第三世代平面型IGBTと同等のIGBT特性を実現した。この性能は、従来のIGBTとダイオードを直列に接続した構成に比べ、格段の特性向上となり、今後のマトリクスコンバータの発展に寄与できる。



逆阻止IGBTの構造及び逆阻止特性とIGBTの主要特性

逆阻止IGBTは、セル外周部に裏面まで到達するP層と裏面のP層から伸びる空乏層で逆阻止能力を持つ。また、IGBTの主要特性である $V_{CE(sat)}$ と $E_{sw(off)}$ のトレードオフ関係は第三世代平面ゲートIGBTと同等である。

*パワーデバイス事業統括部

1. ま え が き

誘導モータの速度制御を始め電力応用機器で三相交流の周波数を制御したい場合、通常コンバータでいったん直流に変換し、コンデンサにエネルギーを貯めてから目的の周波数の交流に変換するインバータ制御方式が主流である。このインバータ制御方式とは別に、エネルギー蓄積手段を排し、三相交流から直接違う周波数の三相交流を得るマトリックスコンバータ方式が研究されている。このアイデアは新しいものではないが、制御が複雑となるために最近になって実用できた。電力蓄積手段を用いずに三相交流から直接任意の交流電源を作り出すマトリックスコンバータ方式は、小型軽量、メンテナンスフリー、入力率も制御可能などの特長から、ベクトルインバータの後継方式として注目されている。このマトリックスコンバータを構成するスイッチには、良好なりカバリ特性を持つ逆阻止IGBTが必要である。

当社は、マトリックスコンバータ用として、逆方向にも耐圧を持つIGBTを、構造と製造プロセスの両面から研究・開発してきた。今回、逆阻止特性のあるIGBTとして、1,200V/100Aのチップを試作し、逆阻止IGBT構造の電気特性について調査した。試作したチップは、逆方向耐圧を保持しながら第三世代平面型IGBTと同等の特性が得られ、マトリックスコンバータ用IGBTとしては十分な性能であった。

2. 逆阻止IGBTの構造とウェーハプロセス (W/P) フロー

従来のIGBTではチップのダイシング面にN⁻層と裏面のP型コレクタ層の境界が露出するため、このダイシング面のN⁻層とP層境界で逆阻止能力を得ることが難しかった。そこで、逆阻止IGBTの構造は、当社の第四世代平面型IGBTのセル領域を裏面まで到達する深い拡散分離P層で取り囲み、N⁻層と裏面のP型コレクタ層の境界がダイシング面に露出しないようにした。さらに、高い逆阻止能力確保のため、裏面のP型コレクタ層と基板のN⁻層の間のN⁺バッファ層を削除したノンパンチスルー型にした。ノンパンチスルー型の採用に伴い、N⁻層の厚みもパンチスルー構造より厚くしている。この構造では、P型コレクタ層とN⁻層の境界をチップ表面に露出させ、裏面のP型コレクタ層と分離P層から伸びる空乏層の端部をチップ表面のパッシベーションで覆うことで逆阻止能力を実現した。

図1に、逆阻止IGBTのW/Pフローの概要を示す。

- (1) 深いP層を表面から選択的に形成し、裏面のP層に接続
- (2) 表面にIGBTのセルを形成
- (3) 表面にエミッタ電極を形成

- (4) 裏面のP層を必要な厚さにまで研磨
- (5) 裏面にコレクタ電極を形成

このW/Pを用いて順・逆両方向の阻止電圧1,200V、電流容量100Aの逆阻止IGBTチップを試作し、評価した。試作した逆阻止IGBTチップの外観を図2に示す。逆阻止IGBTチップ寸法は12.5mm×13.9mmである。

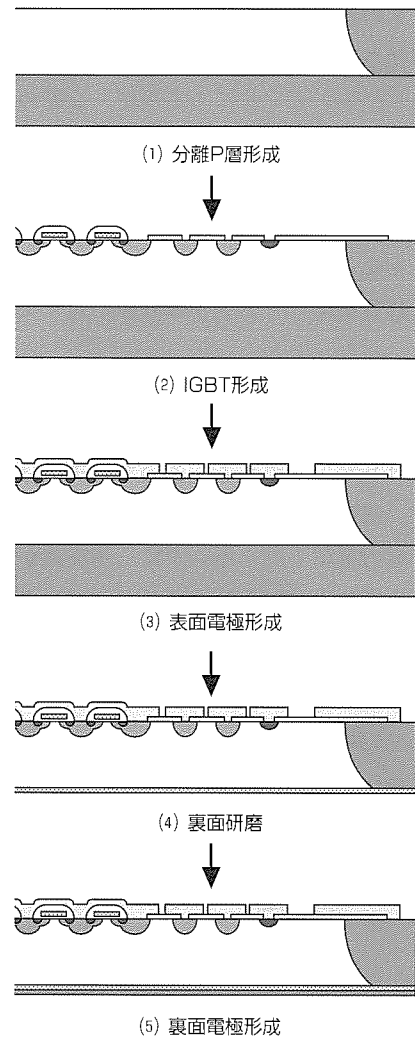


図1. 逆阻止IGBTのW/Pフロー

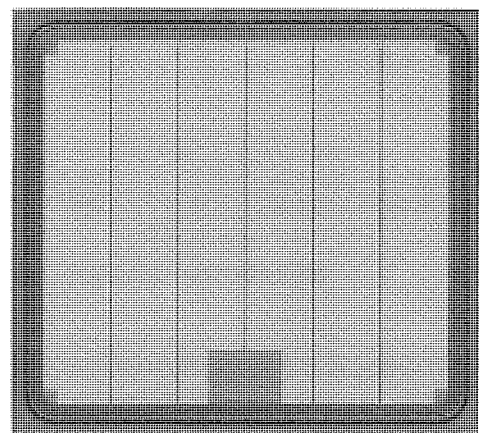


図2. 試作した100A/1,200V逆阻止IGBTチップの外観

3. 逆阻止IGBTの性能

3.1 逆阻止能力

逆阻止IGBTの順阻止能力は従来のIGBT同様最外周P層の電界をガードリングで緩和することで確保し、逆阻止能力は裏面まで到達する深いP層と裏面のP層から伸びる空乏層で確保する。図3は、今回試作した逆阻止IGBTの電圧阻止状態における電流・電圧波形である。横軸はゲート-エミッタ間を短絡した条件下でのコレクタ-エミッタ間電圧(V_{CES})であり、縦軸はコレクタ遮断電流(I_{CES})である。試作した逆阻止IGBTは、25℃で、順方向1,300V以上、逆方向に1,500V以上の電圧阻止能力を持っている。さらに、125℃でも漏れ電流は若干大きいですが、1,200Vの阻止能力を持っている。

3.2 IGBT特性

図4は、試作した逆阻止IGBTの接合温度(T_j)が25℃及び125℃時の出力特性である。横軸がコレクタ-エミッタ間電圧(V_{CE})、縦軸がコレクタ電流(I_C)であり、ゲート条件は、ゲート-エミッタ間電圧(V_{GE})を15Vとしている。定格電流の100Aのときの飽和電圧は、 $T_j=25℃$ で2.65V、 $T_j=125℃$ で3.05Vと低く、従来のIGBTとダイオードを直

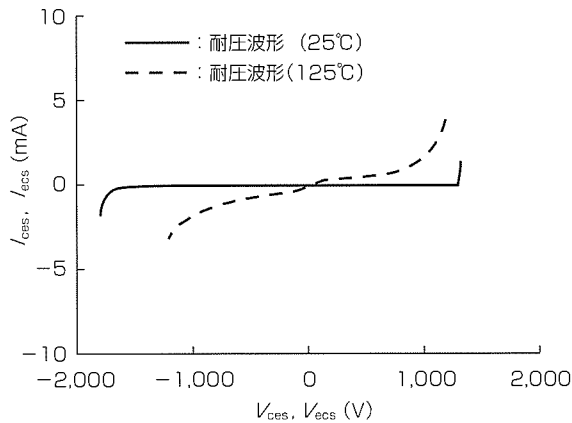


図3. 逆阻止IGBTの電圧阻止状態における電圧・電流波形

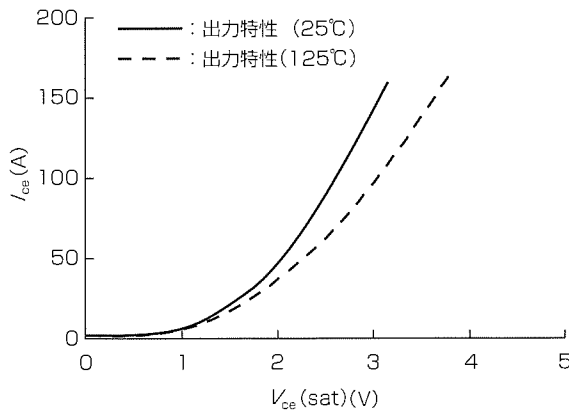


図4. 逆阻止IGBTの出力特性

列接続した場合よりも定常損失を大幅に低減できる。

図5及び図6は、図4で示した逆阻止IGBTの誘導負荷スイッチングでのターンオン時及びターンオフ時の電流と電圧の波形である。評価に用いたハーフブリッジ回路のフリーホイールダイオード動作は逆阻止IGBTのオン状態、すなわち、ゲートに正電圧を印加し、IGBTのエミッタをカソードとし、裏面のP層をダイオードのアノードとして動作させた状態である。試験条件は $T_j=125℃$ 、電源電圧を600Vとした。100Aの定格電流値におけるターンオンスイッチング損失(E_{on})は4.9mJであり、ターンオフスイッチング損失(E_{off})は6.4mJである。

一般に逆阻止IGBTのリカバリー特性はIGBTのP型コレクタ層をダイオードのアノードとして使うので従来のダイオードに比べて悪化する傾向があるが、図5に示すように、今回試作したチップはリカバリー電流を抑制できた。

図7は、逆阻止IGBTスイッチングオフ損失(E_{off})と $V_{CE(sat)}$ のトレードオフ曲線である。トレードオフ曲線を

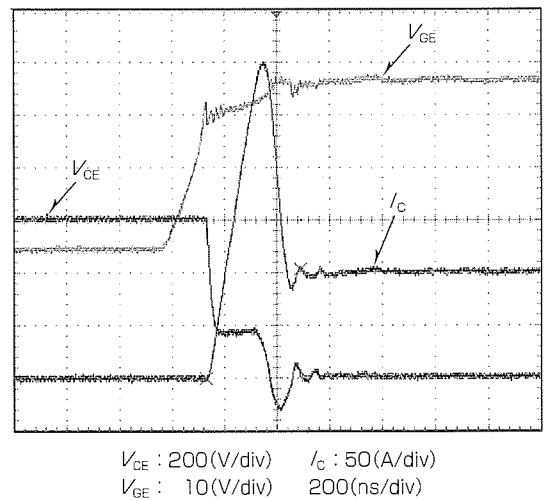


図5. ターンオンスイッチング時の電流・電圧波形

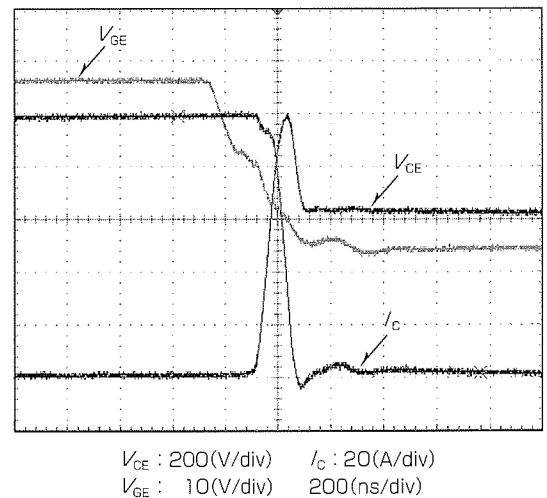


図6. ターンオフスイッチング時の電流・電圧波形

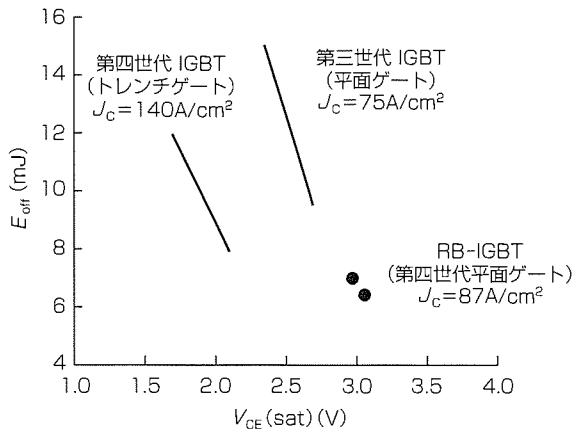


図7. オン電圧とターンオフエネルギー(E_{off})のトレードオフ関係

直線で示している従来のIGBTは、パンチスルー構造である。逆阻止IGBTのトレードオフ曲線は、第三世代平面ゲートIGBTとほぼ同等である。この特性は第四世代平面型MOS構造と当社の“薄厚ウェーハ技術”を用いた裏面の浅いPコレクタにより得られた。

3.3 ダイオード特性

逆阻止IGBTは、オン時にはダイオードと相似の状態となるが、マトリックスコンバータでは入力相の切換え時にこのダイオードをリカバリさせる動作が発生する。したがって、逆阻止IGBT開発において、逆阻止IGBTの内部のダイオードのリカバリ特性を良くすることが、逆阻止能力の確保とともに重要である。ダイオードのリカバリ特性を改善するには、ダイオードの開発経緯から、アノードP層の低濃度化と浅い拡散が有効であることが判明している。このため、W/Pの項目で述べたように、裏面のP層を研磨して、薄く仕上げた。

このようにして得られたダイオード特性を図8に示す。リカバリ電流が200Aと、定格の2倍程度に収まっている。

図9は、ダイオードのリカバリ特性が寄与するIGBTのターンオン特性のゲート抵抗依存性を示す。図5、図6、図8はゲート抵抗3.3Ωのときの波形である。ゲート抵抗を大きくするとリカバリ電流は減少し、ゲート抵抗が30Ωのときにはほぼ定格電流と同程度のリカバリ電流となる。このときにIGBTのターンオン損失(E_{on})は増加するが、ダイオードスイッチング損失は低下するのでトータル損失への影響は少ない。

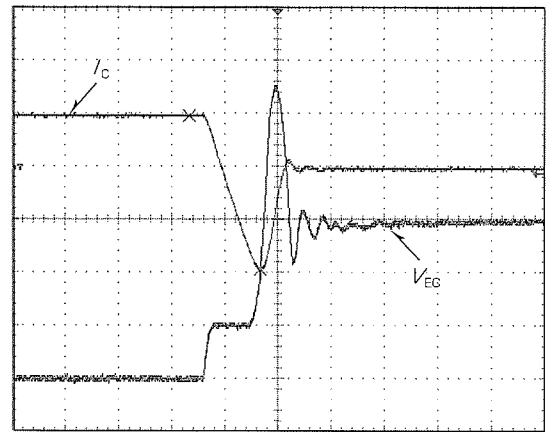


図8. リカバリ動作時の電流・電圧波形

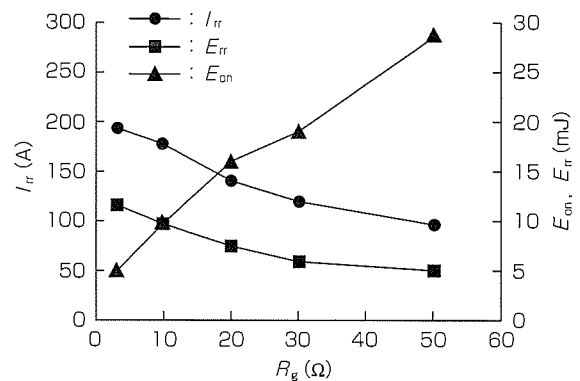


図9. ターンオン特性のゲート抵抗依存性

4. む す び

次世代モータ制御方式として期待されるマトリックスコンバータ用のパワーデバイスとして、逆阻止IGBTの実現に向けてIGBTの逆阻止能力確保の技術開発を行った。試作した1,200V/100Aの逆阻止IGBTは、1,200Vの逆阻止能力を持ちながら、 $V_{CE}(sat)$ と E_{off} のトレードオフ関係は、第三世代平面型IGBTと同等のIGBT特性を実現した。ダイオード特性に改善の余地はあるものの、実使用可能な特性である。

現在、マトリックスコンバータの実用化に貢献するため、逆阻止IGBTチップを搭載したモジュール製品の開発を進めている。従来のIGBTとダイオードを直列接続した構成と異なり、逆阻止IGBTは、その優れた特性から今後のマトリックスコンバータの発展に寄与していけるであろう。

微細構造適用600V系HVIC

楠 茂*
清水和宏*
山谷純一*

要 旨

エネルギー需要の増加と環境保護・省資源化等の社会的な要請を背景に、パワーエレクトロニクス機器は小型・軽量、高効率、低騒音等の特長を備え、情報機器・家電品等広い分野へその応用範囲が広がってきている。小型・高性能化の進展には、部品点数の削減とそのシステムに合った効率的制御が可能なHigh Voltage IC (HVIC)の発展に起因する部分も大きい。

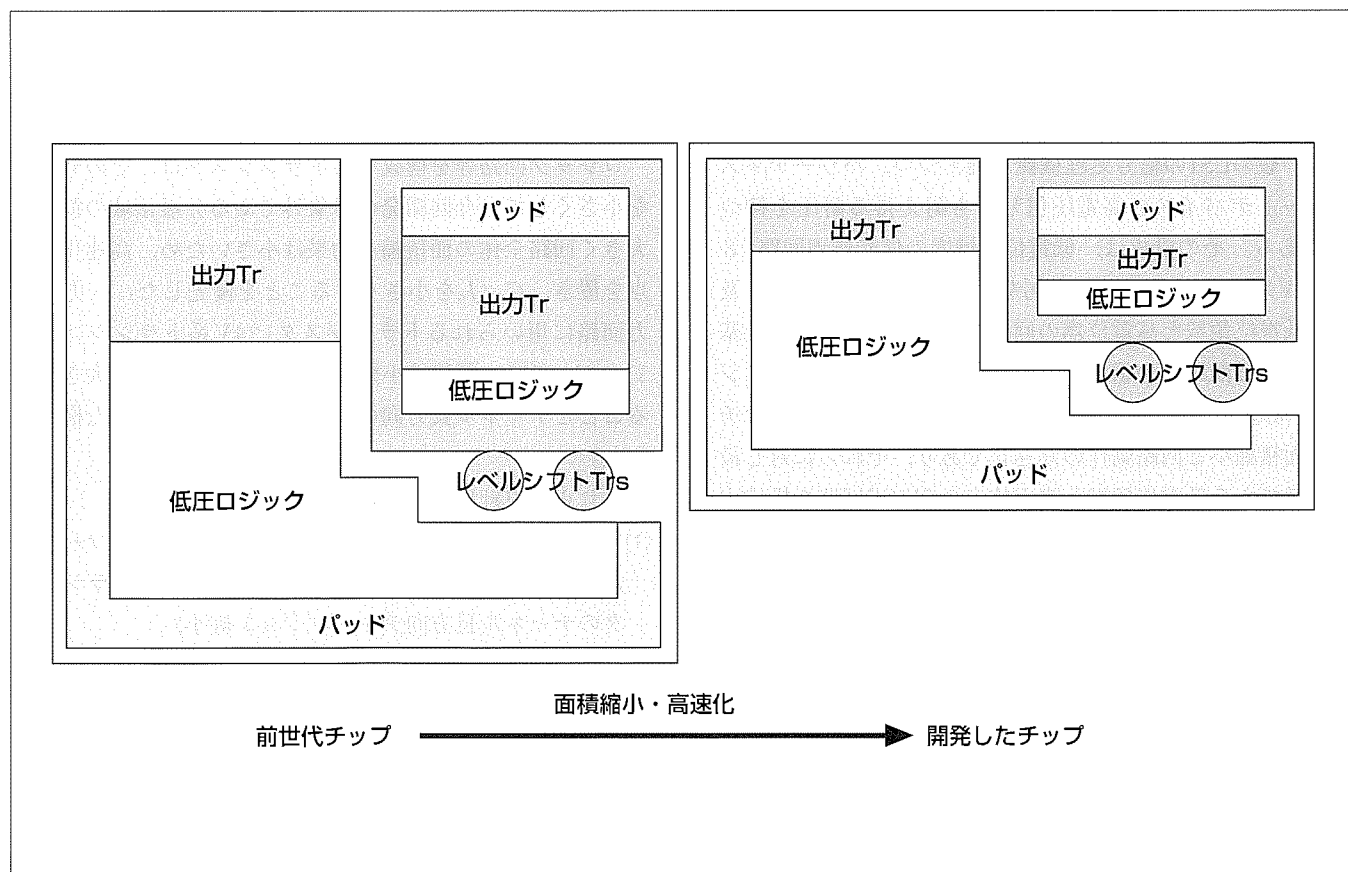
本稿では、600V耐圧クラスのHVICを高性能化するため、IC部分の低電圧CMOS素子を電源電圧一定(前世代と同様24V)の定電圧スケールリングを行ったので述べる。

素子の縮小はゲート酸化膜の薄膜化と浅い接合を用い、ゲート長の縮小と共通コンタクト領域の縮小によるチャネ

ル長方向のディメンジョンの縮小、単体素子の電流駆動力を向上させることによるチャネル幅方向のディメンジョン縮小の両面から行った。また、各々のトランジスタがその用途によって最適に用いられるように素子の分類を行い、個別に用途に応じたメリットを引き出す方向に重点を置いたスケールリングを行った。

その結果、個々の単体トランジスタにおいて単位電流当たりの寄生容量を前世代比35~82%、単位電流当たりの素子面積を前世代比24~52%にまで削減できた。

このため、出力電流定格の比較的大きなICチップでは、36%のチップ面積削減が達成され、さらに、スケールリングメリットとしてほぼ2倍の回路動作速度が得られた。



微細化によるチップ面積縮小と高速化

前世代チップをパターン縮小(チャネル長方向)と電流駆動力向上によるチャネル幅縮小の両面からスケールリングにより縮小した。その結果、出力トランジスタ部分は面積を前世代比約1/3にまで縮小でき、ロジック回路部分も数十%(回路内容により異なる)縮小できた。その結果、出力電流2AクラスのICで36%の面積削減と、さらに、面積縮小に伴うスケールリングメリットにより回路動作速度が約2倍となる高速化が達成できた。

1. ま え が き

エネルギー需要の増加に伴う課題として顕在化してきた環境保護・省資源等の社会的な要請を背景に、エネルギーに占める電気エネルギーの依存度はますます増加の傾向にあり、電力変換・電力制御を扱うパワーエレクトロニクスが重要な役割を担うようになってきている。それに伴い、パワーエレクトロニクスのキーアイテムとしてのパワーデバイス分野の研究・開発は著しい進展を遂げ、最近の小型・軽量、高効率、低騒音等の特長を備えたパワーデバイスは、電力変換やモータ制御等の動力用主体から、情報機器、家電品等、より広い分野へその応用範囲が広がっている。特に、小型・高機能化を実現するSolutionとして、部品点数の削減とそのシステムに合った効率的制御が可能なHigh Voltage IC (HVIC)を高電圧・大電流素子の制御系に用いる構成が主流となってきている。これらのHVICの特長を十分に発揮するため、耐圧クラス600V、出力電圧24V (パワーデバイスの駆動電圧15V系) HVICをスケーリングにより面積縮小と高速化を行ったので以下に述べる。

2. スケーリングの考え方

HVICは、主に、IGBT (Insulated Gate Bipolar Transistor)、MOSFET (Metal-Oxide Semiconductor Field-Effect Transistor)等のパワーディスクリットデバイスを制御・駆動するゲートドライバとして用いられるICであり、一般のLSIの信号処理機能を備えつつ、パワーディスクリットデバイスの高電圧信号にも耐え得る耐圧を持つICである。その構成は、低電位領域内の信号処理回路(8V, 24V系)と、高電位島の信号処理回路(8V, 24V系)、及び、低電位領域と高電位島の回路間に設置され電源電位基準の異なる回路間の信号伝達を行うレベルシフトトランジスタ(600V耐圧)からなる。今回の開発のコンセプトはチップ面積縮小と回路動作の高速化であり、それらに対し最も有効である低電位領域と高電位島のCMOS回路を構成する低電圧CMOS Trのスケーリングを中心に開発を行った(出力電源電圧は前世代と同じであり、基本的には回路中のCMOS素子の駆動電流を一定とした定電圧スケーリングを行った)。

単位チャンネル幅 W 当たりの素子面積 S 、前段の出力電流を I_d とし、次段のゲート入力容量(単位チャンネル幅値)を C_g 、ゲート入力電圧変位(前段出力電圧変位と同じ)を ΔV_d とした場合、回路動作遅延時間 Δt_d は、接合容量、配線・コンタクト抵抗や時間・電圧等のパラメータ変化を省略し、指標として簡略化すると、

$$\Delta t_d = C_g S_g \cdot \Delta V_d / I_d = \Delta V_d \cdot C_g / J_d \dots \dots \dots (1)$$

で表される。ここに、 J_d は単位チャンネル幅当たりの出力電流である。したがって、定電圧スケーリング下(ΔV_g 一定

と対応する)では、 C_g / J_d を小さくすることにより回路動作を高速化できる。

一方、このスケーリング則下では、

$$I_d = J_d \cdot S_g = \text{一定} \dots \dots \dots (2)$$

であり、 J_d を大きくすれば素子面積を縮小することができる。

以上のスケーリング則(同一電流でチャンネル幅をスケーリングする)から、面積縮小と高速化を達成するため、各素子の電流密度(トランジスタの電流駆動力)を上げ、ゲート容量の増加割合をそれ以下に抑制することが重要である。

これらは、チャンネル長の短縮やソース・ドレイン部の寄生抵抗の低減を行うことで可能となる。

一方、チャンネル長方向のサイズの縮小も素子面積縮小に効果的である。特に、ゲート長(チャンネル長)の短縮は、電流駆動力向上、ゲート容量低減、面積縮小を同時に達成できるため重要である。さらに、出力段トランジスタ等の大電流容量回路を構成する並列トランジスタでは、チャンネル領域以外のソース・基板共通コンタクト領域の寸法縮小により、素子面積 S の大幅縮小が可能となる。

これらの考え方を基本として、チップ面積の縮小と回路動作の高速化を目的とし、CMOSトランジスタのスケーリングを行った。

3. チップ面積の縮小と高速化

3.1 CMOSトランジスタのスケーリング

ロジック回路等を構成するトランジスタは、そのサイズを小さくしても今回開発の対象外である分離領域の割合が大きく回路全体の面積縮小効果は小さいため、高速化に重点を置き、 C_g / J_d を小さくすることを優先した。一方、出力回路に用いられるトランジスタ(24V系トランジスタ： $V_b = V_s$)では、面積縮小効果が大きいので、 J_d を大きくすることとチャンネル長方向のサイズの縮小を優先した構造とした。

これらの方針に沿って以下の構造とした。

- (1) 接合のShallow化による出力トランジスタのソース・基板共通コンタクト領域の縮小を行う(出力トランジスタのチャンネル長方向ディメンジョン縮小)。
- (2) 接合のShallow化により、PMOSトランジスタのゲート長短縮を行う(全PMOSトランジスタのチャンネル長短縮)。
- (3) ゲート酸化膜の薄膜化によりチャンネル長のスケーリングを行い、電流駆動力の向上とチャンネル長方向のサイズ縮小を行う(全トランジスタのチャンネル長短縮、出力トランジスタの電流駆動力向上)。
- (4) ソース・ドレイン寄生抵抗の削減を行い、電流駆動力を向上する(出力Trを始め、全24V系NMOSトランジスタ)。

また、今回の開発でこれらの改善方法を実効的に有効にするため、表1に示すように、使用できるCMOSトランジスタをその電源電圧や用途に応じ細分化した。これにより、個々のトランジスタに対し個別の最適化が施行でき、用途に応じた特長が引き出せるようになった。

図1に、接合のShallow化によるチャンネル長方向のディメンジョン縮小例を示す。図の(a)はNch出力トランジスタを例に、出力トランジスタでのチャンネル長方向ディメンジョン縮小例、図の(b)は8V系PMOSトランジスタを例に全Pchトランジスタでのチャンネル方向ディメンジョン縮小例である。

出力トランジスタ(a)では、接合のShallow化により、ソース・基板共通コンタクト部を縮小し、前世代に比べ、トータル14%チャンネル長方向の寸法を縮小できた。一方、8V系PMOSトランジスタ(b)では浅い接合によりソース/ドレイン不純物の横方向拡散が抑制できたため、ゲート長を短くでき、トータル31%のサイズ縮小が実現できた。これ

に加えて、PMOSトランジスタでは、ゲート長を短縮できたため、電流駆動力の向上とゲート容量の低減も達成できた。

次に、ゲート酸化膜の薄膜化を行った。ゲート酸化膜の薄膜化に伴い、NMOSトランジスタでは、ウェル濃度が濃くなったことにより、パンチスルーが起こりにくくなりチャンネル長を短くできたため、電流駆動力が向上した。ここで、ゲート酸化膜の薄膜化に伴う容量増加と電流駆動力向上、チャンネル長短縮に伴うゲート容量の低減、電流駆動力向上の結果、総合的には C_g/J_d が減少した。これに加えて、Nch出力トランジスタでは、ゲート酸化膜の薄膜化による C_g 増加の影響よりも J_d の増加に力点を置いたため、非常に良好な結果となった。

さらに、出力トランジスタを含む24V系NMOSトランジスタでは、ソース・ドレインの寄生抵抗を大幅に削減し、大幅な電流駆動力向上が実現できた。

これらの構造開発の結果として、各MOSFET(チャンネル幅 $W=10.0\mu\text{m}$)の前世代に対する電流駆動力、素子面積、ゲート容量比の実測値を表2に示す。電流駆動力は1.64~3.60倍で、ねらいどおり出力トランジスタでより高い値が得られた。また、ゲート容量は、出力トランジスタでは前世代比1.83倍と大きくなっているものの、その他ではゲート酸化膜の薄膜化による容量増加とゲート長短縮による容量減少がほぼ釣り合い前世代比0.75~1.83倍となっている。素子面積(W 一定のため、チャンネル長方向のサイズを表す)は0.69~0.93倍に縮小された。これらの結果、素子の遅延時間の指標 $\Delta t_d (\propto C_g/J_d)$ は、前世代比35~82%とすることができた。また、素子の面積縮小率を表す $S/I_d (=1/J_d)$ は前世代比24~57%にすることができた。

3.2 ICチップでのスケーリングメリット

出力トランジスタとして用いられる24V系Nch MOSFET ($V_s = V_{\text{well}}, W \gg 10\mu\text{m}$)の世代ごとの単位面積当たりのオン抵抗比、チャンネル長方向ディメンジョン比の実測値を図2に示す。オン抵抗は、前世代に比べ約1/3が達成され、定格出力トランジスタの面積を約1/3にシュリンクすることができた。

表3は、このプロセス方式を用いた出力電流容量2Aの

表1. 使用可能MOSFET一覧

MOSFET名		
Nch MOSFET (8V系)		Logic
Nch MOSFET (24V系, $ V_b \leq 8V$)		Logic, 出力Tr
Nch MOSFET (24V系, $ V_b \leq 24V$)		Logic
Pch MOSFET (8V系)		Logic
Pch MOSFET (24V系, $ V_b \leq 8V$)		Logic, 出力Tr
Pch MOSFET (24V系, $ V_b \leq 24V$)		Logic

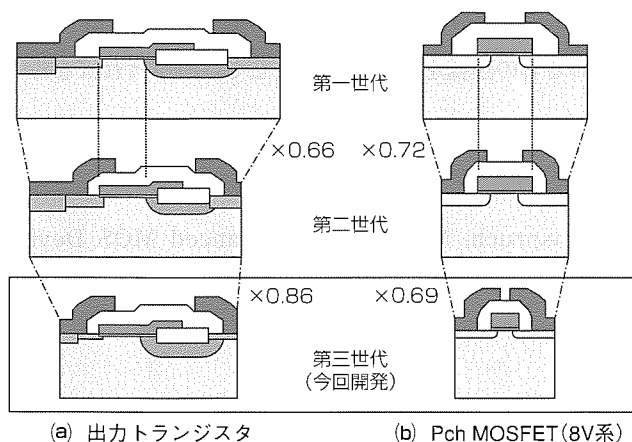


図1. 各世代の素子サイズ比較

表2. 素子性能比較：単位電流当たりのゲート容量，電流密度比

	電流駆動力	ゲート容量	素子面積		
	I_d	C_g	S	C_g/I_d	S/I_d
Nch MOSFET (8V系)	1.80	1.13	0.89	0.63	0.49
Nch MOSFET (24V系) $ V_b \leq 8V, V_b = V_s$	3.60	1.83	0.86	0.51	0.24
Nch MOSFET (24V系) $ V_b \leq 24V$	3.00	1.20	0.90	0.40	0.30
Pch MOSFET (8V系)	2.14	0.75	0.69	0.35	0.32
Pch MOSFET (24V系) $ V_b \leq 8V, V_b = V_s$	1.78	1.05	0.74	0.59	0.41
Pch MOSFET (24V系) $ V_b \leq 24V$	1.64	1.35	0.93	0.82	0.57

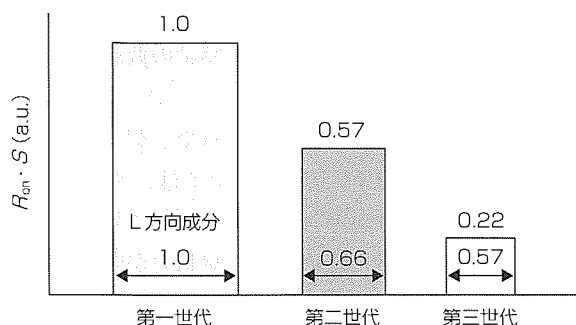


図2. 各世代のセルサイズ(L方向)とオン抵抗

表3. 出力定格2AのICチップでのチップサイズ比較

	チップサイズ	面積	比率
従来プロセス方式	4.00 × 2.95 =	11.800	1.00
新規開発プロセス方式	2.90 × 2.62 =	7.598	0.64

比較的大きな一般的ゲートドライバICチップのチップサイズを前世代の同等チップのチップサイズと比較した表(見積り値)である。出力電流量が大きなチップでは、出力トランジスタ面積が大幅削減されるため、約36%のチップ面積削減が達成できた。

表4に、一般的なゲートドライバICチップの伝搬遅延時間の比較(実測値)を示す。表2に示したように単位電流当たりのゲート容量が激減したことに伴い、ゲートドライバICでの伝搬遅延時間がほぼ半減できている。

素子を高速化することにより、

- (1) 伝達遅延時間のばらつきの絶対値が小さくなるため、システム設計が容易となる。
 - (2) スイッチングが高速になるため、ホットキャリア劣化の起こりやすい過渡状態が短くなり、ホットキャリアに対するduty比が下がり、信頼性が向上する。
- 等のメリットが生じる。

表4. MOSFETドライバICチップでの伝搬遅延時間比較

	t_{dON}	t_{dOFF}	t_{dON} 比	t_{dOFF} 比
従来プロセス方式	220ns	220ns	1.00	1.00
新規開発プロセス方式	125ns	105ns	0.57	0.48

このように、今回開発した構造では、スケーリングにより高速化とチップ面積縮小が実現できた。

また、今回開発したCMOSトランジスタ単体のDAHC(Drain Avalanche Hot Carrier)注入試験、NMOSのCHE(Channel Hot Electron)注入試験、PMOSのCHH(Channel Hot Hole)注入試験、HTRB(High Temperature Reverse Bias)保持試験、IC回路の連続通電試験、HTRB保持試験など微細化に伴う信頼性試験で、10年以上の寿命が確認された。

4. む す び

今回、チップ面積縮小、高速化を目的とし電流駆動力向上を主体にスケーリングを行った結果、伝搬遅延時間等の動作を高速化できた。また、出力電流定格の大きなICチップでは、30~40%のチップ面積縮小を実現した。

今後、微細化が進み、より高性能なHVICを用いた小型・高機能・低消費電力システムが主流になるには、IGBTやパワーMOSFETのゲート駆動電圧の低電圧化、ひいては、システム全体の低ノイズ化が必要になってくる。パワーエレクトロニクスの将来に向け、この課題はパワーエレクトロニクス分野全体の今後の課題であり、その分野に携わる者の連携を密にして解決していかなければならない。

参 考 文 献

- (1) Einspruch, N. G., et al : Advanced MOS Device Physics, Academic Press (1989)

パワーモジュールの長寿命化技術

菊池正雄* 高尾治雄**
林 建一* 鶴迫浩一**
吉原邦裕**

要 旨

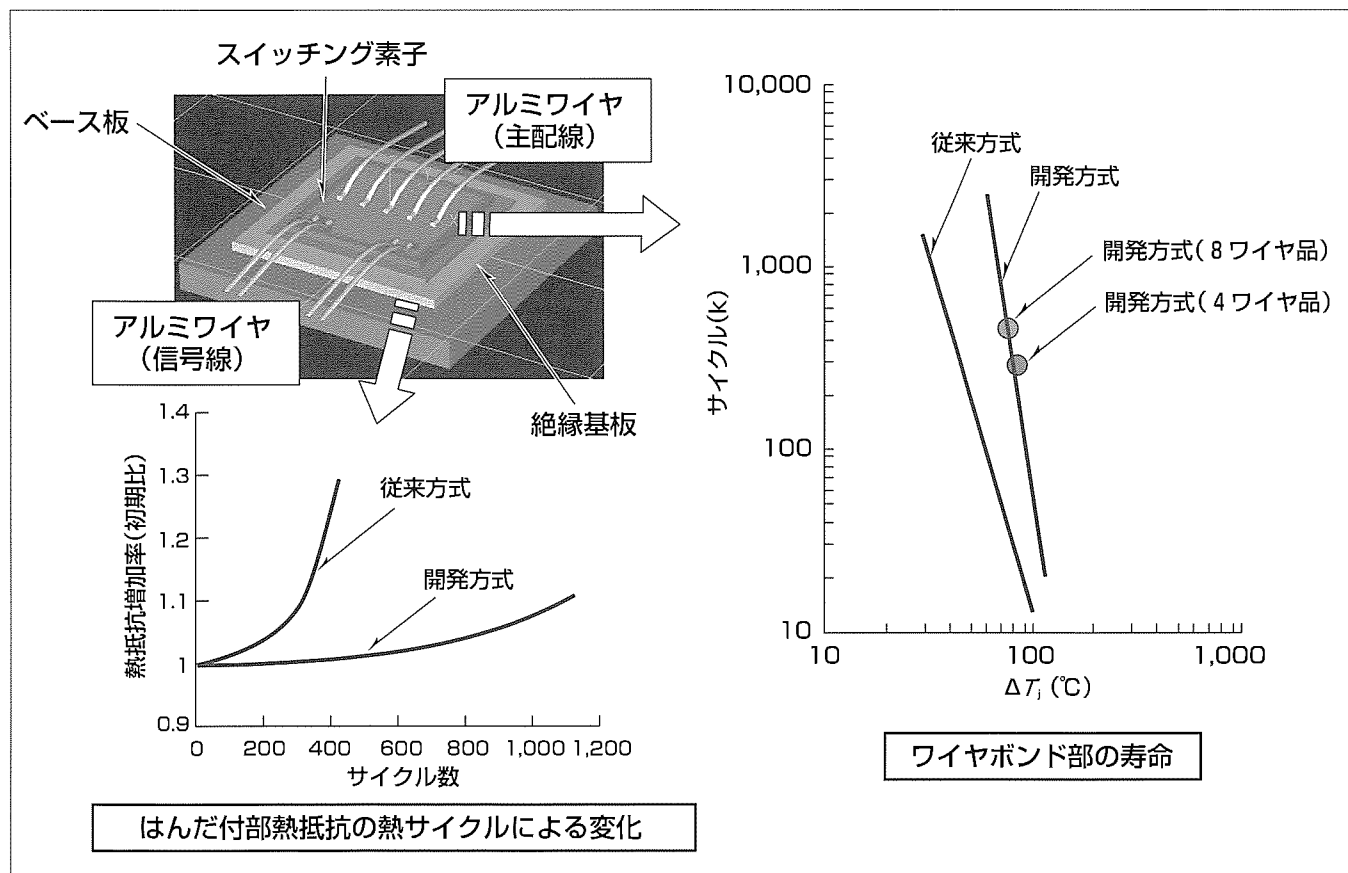
近年、パワーエレクトロニクス製品の用途は多様化しており、環境負荷対策として注目されているハイブリッドカーに代表されるように、製品機能や信頼性に対する市場の要求はますます高度化しつつある。特に、キーデバイスであるパワーモジュールの寿命は、ユーザーが選定する際の重要な性能と位置付けられている。

本稿では、パワーモジュールの寿命がスイッチング動作による熱サイクル疲労に支配されている点に着目し、①パワーデバイス表面に形成されたワイヤボンド部の長寿命化、②絶縁基板を固定する大面積はんだ付部の長寿命化に焦点を絞って三菱電機の取り組みを紹介する。

ワイヤボンド部は、アルミワイヤと素子界面に沿って亀裂が進展し、ついには電流集中による接合部の溶断に至って寿命を迎える。これをパワーサイクル寿命と称し、寿命

向上のためには、緻密な接合部を形成して亀裂の進展速度を小さくすること、ワイヤボンド部の温度振幅を低減することが必要となる。当社では、これらに対して①接合品質の向上、②電気-熱シミュレーションを援用したワイヤリング最適化の取り組みを図っており、これらの事例について紹介する。

一方、絶縁基板はんだ付部は、大面積であるために、絶縁基板と金属ベース板間の大きな線膨張差がはんだ内部の亀裂を進展させる。これに対しては、はんだ厚さ確保による塑性ひずみ低減で寿命向上が実現できる。はんだ付部にアルミワイヤボンドによる“ワイヤバンプ”を形成することではんだ厚さを高精度にコントロールし長寿命化を達成する技術について紹介する。



ワイヤボンド部と基板はんだ付部の改善事例

パワーモジュールは、スイッチング動作時の温度振幅に対する信頼性が寿命を左右する。特に、素子へ大電流を供給するワイヤボンド部と素子の発熱を逃がすための絶縁基板はんだ付部の信頼性が機能と並んで重要な性能と位置付けられる。三菱電機では、ワイヤボンド条件の適正化とワイヤ配置シミュレーションによる長寿命ワイヤボンド技術、独自のはんだ厚さ制御方式で高信頼はんだ付技術の開発に取り組んでいる。

1. ま え が き

パワーエレクトロニクス製品のキーデバイスであるパワーモジュールは、その機能と並んで信頼性が重要な性能と位置付けられており、当社でも、高信頼モジュールの開発に注力している。

パワーモジュールの構成上特にワイヤボンド部及びはんだ付部の信頼性にパワーモジュールの寿命が支配されるため、これらの信頼性向上を中心に、当社の取り組みについて紹介する。

2. パワーモジュールの寿命の支配要因

2.1 パワーモジュールの構成要素

パワーモジュールは、図1に示すように、IGBT (Insulated Gate Bipolar Transistor)やMOSFET (Metal-Oxide Semiconductor Field-Effect Transistor)といったスイッチング素子を絶縁基板上にマウントし、ベース板にはんだ付する。素子からの電気的接続はワイヤボンドによって確保され、モジュール内外の接続は外装ケースにインサートされた金属リードなどによって構成される。

2.2 パワーモジュールの劣化要因

パワーモジュールは、通電時の素子内部の電圧降下分の損失による発熱が生じる。トランジスタの接合部は構造上素子の表面近傍に形成されており、スイッチング動作時に生じる素子表面及びベース板の温度プロファイルは、おおむね図2に示すとおりとなる。接合部はスイッチングにほぼ同期して急峻(きゅうしゅん)な温度履歴が加わる一方、ベース板は熱容量が大きいため平準化された温度履歴となる。

パワーモジュールの構造上の温度履歴による影響を図3に示す。スイッチングに伴う過酷な温度サイクルを受ける素子表面上のワイヤボンド部は、シリコンとアルミの線膨

張差で発生する熱応力が図のような亀裂を進展させて電気的オープンという不具合に至る。

また、絶縁基板のはんだ付部は、絶縁基板と金属ベース板の線膨張差が大きい上にはんだ付面積も大きいため、はんだ付部に大きな熱応力が発生して亀裂を進展させる結果、熱抵抗の増加を招いて放熱性を悪化させる。

2.3 パワーモジュールの寿命設計

所望の製品信頼性を得るために、一般的に以下のような各部の寿命評価方法が用いられる。

アルミワイヤボンド部は、所定の加速係数を想定した温度振幅(ΔT)が得られるように、数十秒程度までのサイクルで矩形(くけい)電流を流して寿命を評価する。この場合、素子下方の構造の劣化を加速させないようにベース板を冷却する。このような試験を“パワーサイクル試験”と呼び、この試験で得られる寿命を“パワーサイクル寿命”と定義している。

一方、絶縁基板のはんだ付部の温度履歴はワイヤボンド部と比較すると緩慢であるため、この場合の寿命は、気槽(1~2時間サイクル)又は液槽(数十分サイクル)中におけるヒートサイクル試験によって評価する。この場合の寿命を“ヒートサイクル寿命”と定義している。

3. ワイヤボンド部のパワーサイクルの長寿命化

3.1 ワイヤボンド部の寿命設計の指針

ワイヤボンド部のパワーサイクル寿命を向上させるためには、亀裂進展速度を低下させることが有効となる。これに対しては、①ワイヤボンド部の高品質化、②ワイヤボンド部の ΔT の低減が有効なアプローチである。

3.2 ワイヤボンド条件の適正化による接合品質向上

アルミワイヤボンドは、アルミワイヤを素子表面のアルミ膜からなる電極に常温下で加圧しながら超音波加振して接合する方式である。アルミワイヤ及びアルミ膜を塑性変

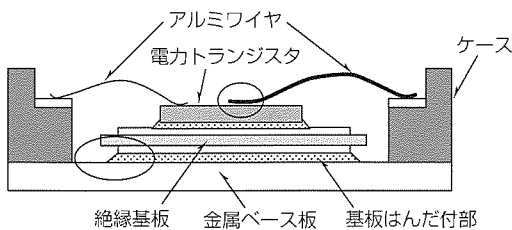


図1. パワーモジュールの構成

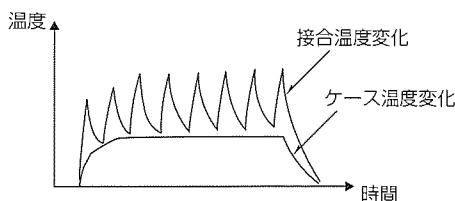


図2. スイッチング時の温度変化

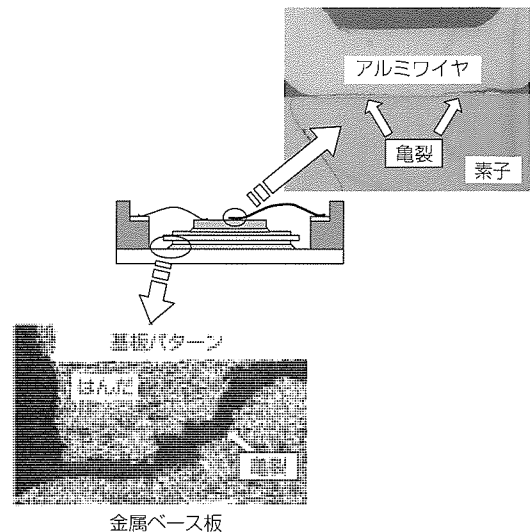


図3. パワーモジュール各部の温度履歴による影響

形させることによって活性な新生面を露出させて接合を達成するので、高品質な接合部形成のためには、変形過程と超音波エネルギーの印加過程のバランスが重要である。当社は、接合条件を適正化してこのバランスを良好に保ちつつワイヤボンドを行っており、品質面での寿命向上を図っている。

3.3 ワイヤ配置による寿命への影響

パワーモジュールは電流容量が大きいので、1つの素子表面上に複数のアルミワイヤをボンディングすることが多い。この際、ワイヤ配置によって素子内部や表面を流れる電流分布が違い、素子表面の温度分布が異なる。

図4は、およそ6.5mm角の素子にφ400μmのアルミワイヤを図の模式的に示すように4ワイヤ、8ワイヤの2種類で配置(以下“4ワイヤ品”“8ワイヤ品”という。)した例についてパワーサイクル試験した結果である。図に示すように、8ワイヤ品の方の寿命がおおよそ1.6倍程度伸びている。

図5は、素子表面温度をサーモビュアにより実測した結果である。8ワイヤ品は、4ワイヤ品に比べて素子表面の到達温度が低く、温度振幅ΔTは8ワイヤ品の方がおおよそ8℃程度小さい。このようにワイヤ本数の増加はモジュールのパワーサイクル寿命の向上に対し効果的であると言えるが、一方で、生産性の低下やワイヤボンドに起因する不良発生増加に結び付くため、総合的に効果が上がるモジュールの設計が必要となる。

図6に、IGBT素子の電気回路モデルを一次元の簡易モデルとして示す。素子内部のトランジスタ領域は縦方向にのみ電流が流れるようにセグメントに分割され、コレクタ側はんだ層及びエミッタ側アルミ電極で横方向の電流路が形成される。

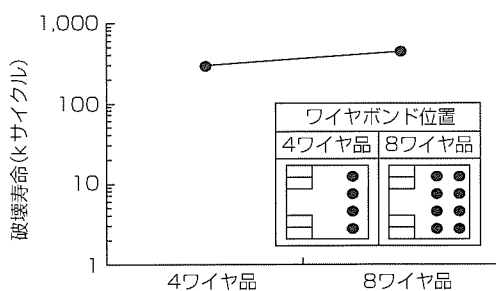


図4. 各ワイヤ配置におけるパワーサイクル試験結果

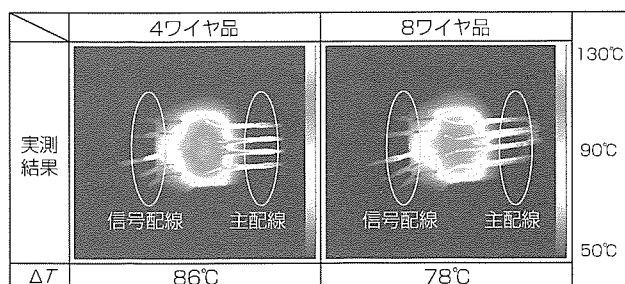


図5. サーモビュアを用いた温度分布の実測

この電気回路モデルを汎用の有限要素解析プログラムを用いて解析した結果を図7に示す。この解析では、実験から求めた素子のI-V特性の温度依存性を考慮し、電気-熱連成解析⁽¹⁾を実施した。ワイヤ配置による温度分布の違いは、さきに実測した素子表面の温度分布とおおむね一致しており、連成シミュレーションによる温度予測の有効性を示唆している。

図8は、素子内部、エミッタ電極各々の電流分布を示す。内部では、ワイヤ位置の直下付近が最大となるように電流密度の分布が形成されるが、各セグメントからの電流が電極部をワイヤに向かって流れる。この際、各ワイヤに引き上げられる電流は、図のように分配される。図(a)の4ワイヤ品では図(b)の8ワイヤ品に対してエミッタ電極部の電流は平準化されているために、ワイヤ本数が多い方が、電極内部の電流密度が低下し、素子表面の温度上昇を抑えることができる。

以上のように、ワイヤ配置によってエミッタ電極の異なる電流分布がワイヤボンド部のΔTに影響する要因となる。実

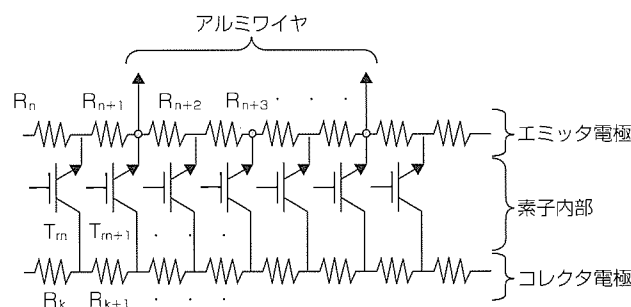


図6. IGBT素子の電気回路モデル

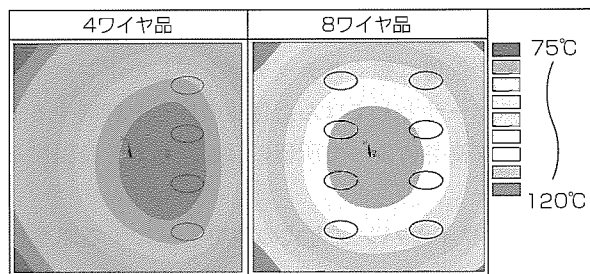


図7. 素子表面の温度分布解析結果

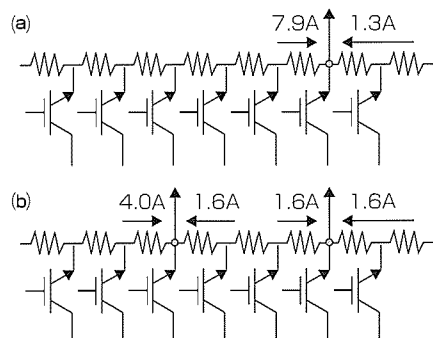


図8. ワイヤ配置による電流分布の違い

際には、多様な素子形状によってより複雑なモデルとなる。

4. はんだ付部の熱サイクル疲労の長寿命化

4.1 はんだ付部の寿命設計の指針

絶縁基板と金属ベース板間のはんだ付部の疲労では、両者の線膨張係数差に起因するひずみが大きな要因である。したがって、疲労寿命を向上させるためには、

- (1) 部材間の線膨張係数差を小さくする
- (2) はんだ内部のひずみを低減することが有効である。

(1)に関しては、金属ベース板の材質を銅よりセラミックスに線膨張係数が近いアルミニウムと炭化珪素(けいそ)の複合材を採用することにより、はんだの疲労寿命を改善することができる。

(2)に関しては、はんだ厚さを増加することによって可能となる。

図9は、所定のヒートサイクル試験後の亀裂進展長さははんだ厚さで整理した結果を示す。はんだ厚さの増加とともに亀裂の進展が抑制され、所定のはんだ厚さ以上で亀裂進展を最小化できることが分かる。すなわち、所望のはんだ厚さ確保によるひずみの低減が疲労寿命を向上させることが期待できる。

4.2 はんだ厚さばらつきの制御方法

はんだ付部の疲労寿命を向上させるためには、はんだ付部全面にわたって所定のはんだ厚さを確保する必要がある。通常のはんだ付方法では、はんだ厚さの面内ばらつきが大きく、所望のはんだ厚さを下回る部位が発生してしまう。

そこで、当社では、はんだ厚さを制御するため“ワイヤバンプ方式”⁽²⁾を採用している。すなわち、図10に示すように、あらかじめ絶縁基板又は金属ベース板上のはんだ付領域のコーナ近傍に短くステッチボンドしたボンディングワイヤをスペーサとしてはんだ付時の傾きを抑制するとともに、バンプ高さによって所望のはんだ厚さを確保するものである。

図11に、ワイヤバンプ方式の適用有無による厚さばらつきを比較した。図中各データは、適用有無各々につき5サンプル内での厚さ分布を示す。ワイヤバンプの適用により、同一サンプル内での分布は小さく抑えられるとともに、個体間のばらつきに関しても著しく低減しており、はんだ厚さ制御が良好に実現できていることが分かる。

5. む す び

本稿では、パワーモジュールにとって重要なワイヤボンド部及び絶縁基板はんだ付部の長寿命化に対する当社の取り組みを紹介した。

ワイヤボンドは、構造上素子との線膨張のミスマッチは不可避であるため、将来的にはより信頼性の高い配線形成

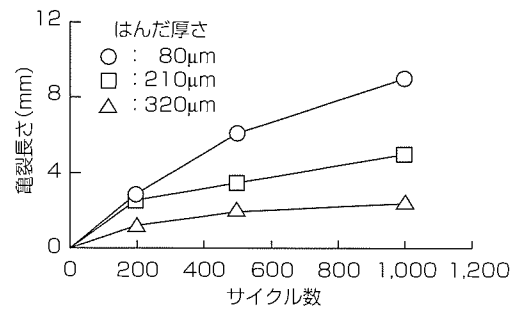


図9. ヒートサイクル試験におけるはんだ厚さと亀裂長さ

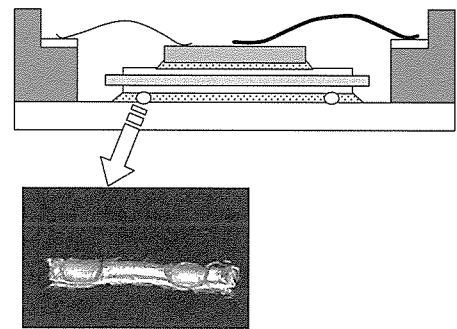


図10. ワイヤバンプ方式の模式図

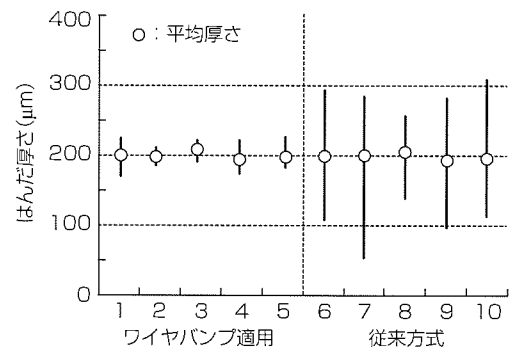


図11. ワイヤバンプ適用有無によるはんだ厚さばらつき

技術の実用化が期待される。

また、はんだ付に関しては、環境負荷対策として鉛フリーはんだが様々な製品分野で市場展開しつつある。当社においても、パワーモジュールの鉛フリー化の実現に積極的に取り組んでおり、今後、パワーモジュールの長寿命化に対する取り組みは新たな局面を迎えていくと言える。

参考文献

- (1) 菊永敏之, ほか: パワーモジュール高信頼性設計のための解析・シミュレーション技術, 三菱電機技報, 75, No. 6, 429~432 (2001)
- (2) Hayashi, K., et al.: Improvement of Fatigue Life of Solder Joints by Thickness Control of Solder with Wire Bump Technique, ECTC2002, 1469~1474 (2002)

2 kV耐圧SiC-MOSFET技術

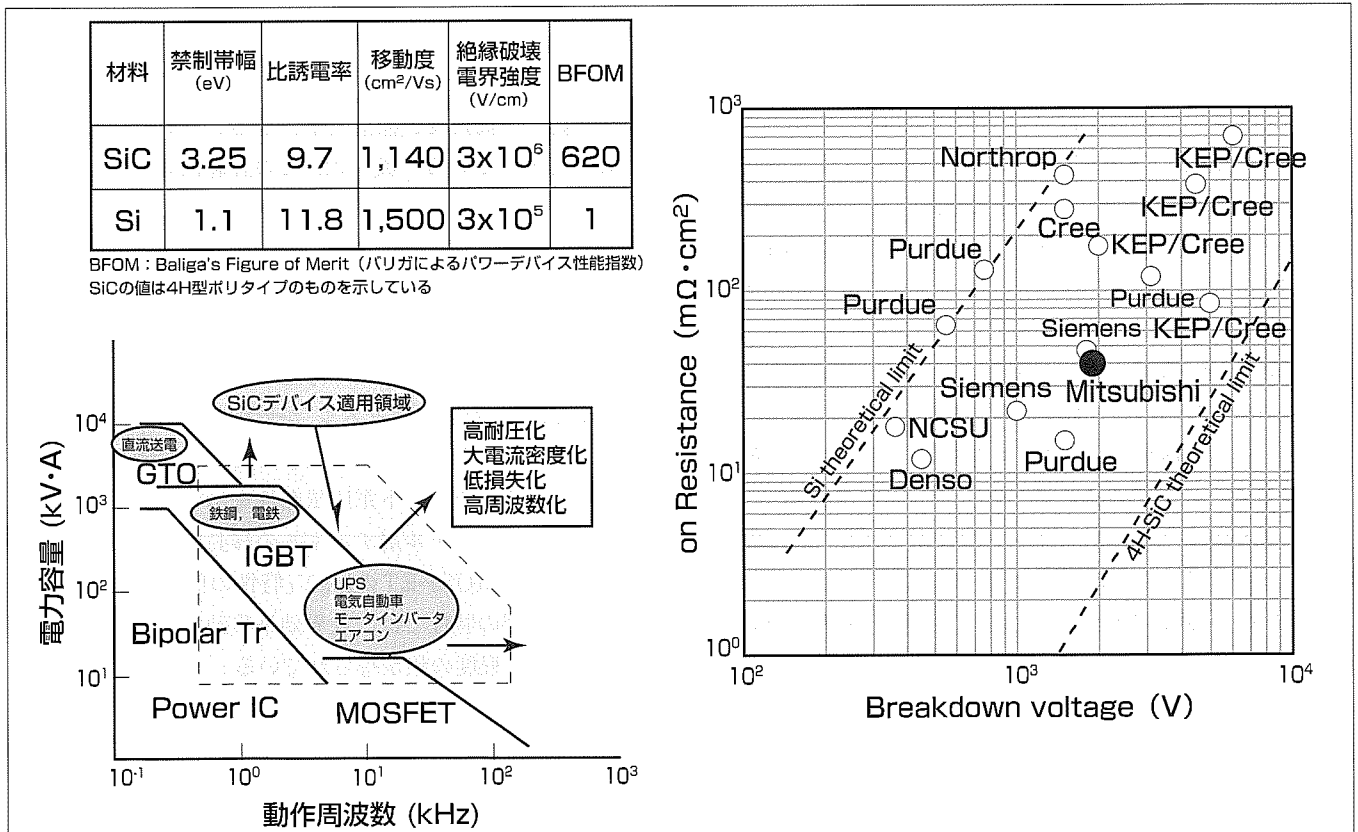
今泉昌之*
樽井陽一郎**
大塚健一*

要旨

半導体材料のSiC(シリコンカーバイド)は、Si(シリコン)と比較し約10倍の絶縁破壊電界強度を持つため低オン抵抗化が可能であること、また、3eV以上の広いバンドギャップを持つため高温動作が可能であることなどにより、次の世代のパワーデバイス用材料として期待されている。SiCの開発は、デバイス作製に用いる基板の品質の向上に伴い、近年、加速されている。三菱電機では、NEDOプロジェクト“超低損失電力素子技術開発”に参画することなどにより、SiCパワーデバイスの開発を進めている。本稿では、NEDOプロジェクトで我々が担当したkV級MOSFETの開発により得られた結果について述べる。

SiCの物性値を大いに生かすデバイスはユニポーラデバ

イスであるため、制御素子の中でもMOSFETが関心を集めている。しかしながらSiC-MOSFETには、チャネルの導電性が低くオン抵抗を増大させてしまう大きな問題がある。我々はこの課題に対し、品質の高いエピタキシャル層をチャネルに用いることで改善を進めている。エピタキシャル層チャネルの最適構造を検討し、耐圧構造縦型MOSFETに用いることで、耐圧1.9kV、オン抵抗 $40\text{m}\Omega\cdot\text{cm}^2$ の特性を得ることができた。このオン抵抗は、SiCの物性値から期待される値にはまだ差があるが、Si-MOSFETの理論値の約1/25であり、世界的にみてトップクラスの値である。今後、SiCのMOS界面の品質を改善することにより更にオン抵抗を低減し、性能、信頼性の向上を図っていく。



SiCの物性値、応用分野とMOSFETオン抵抗の報告値

SiCは、Siに比べ、10倍の絶縁破壊電界強度、3倍の禁制帯幅を持つため、低損失で高温動作可能な次の世代のパワーデバイス用半導体材料として期待されている。SiCの特長を大いに生かすデバイスはMOSFETであり、多くの機関で開発が進められている。今回、トップクラスの $40\text{m}\Omega\cdot\text{cm}^2$ 、耐圧1.9kVを得たが、今後、さらに特性の改善を進める。

1. ま え が き

半導体材料のSiCは、Siと比較し物性値が優れているという本質的理由から、次の世代のパワーデバイス用材料として期待されている。SiCの研究開発については、最近になって米国Cree社の牽引(けんいん)により、デバイスの作製に用いる単結晶基板の品質が急に向上してきたことがきっかけとなり、複数の材料、デバイスメーカーが開発を開始することとなった。現在、国内外の多くの機関で、基板の高品質化(マイクロパイプフリー化)、大口径化(4インチ以上)に加え、SiC固有のデバイスプロセス技術の確立、プロトタイプデバイスの試作などが精力的に行われている^{(1)~(4)}。

当社では、1994年から6年間実施された通産省重要地域技術研究開発“エネルギー使用合理化燃焼等制御システム技術開発”に参画し、SiCデバイスの検討を開始した。また、1998年から2002年まで実施された通産省ニューサンシャイン計画“超低損失電力素子技術開発”に参画し開発を進めてきた⁽⁵⁾⁽⁶⁾。

本稿では、主に、“超低損失電力素子技術開発”で我々が担当したkV級MOSFET技術開発により得られた結果を述べる。

2. SiC半導体の特長と応用分野

パワーデバイス用半導体材料としてのSiCの特長は、主として、①高い絶縁破壊電界強度(Siの約10倍)を持つこと、②大きな禁制帯幅(Siの約3倍)を持つため真性化する温度(半導体としての性質を失う温度)が高いこと、による。

SiCが高い絶縁破壊電界強度を持つことの利点に関し、SiCとSiとで同じ耐压を持つユニポーラデバイスを作製する場合を考えてみる。耐压を保持するためには、耐压により最適値を持つ低ドーピング濃度のドリフト層が必要である。電圧印加時、接合界面で電界強度は最大となり、その値はドーピング濃度の1/2乗に比例する。このため、絶縁破壊電界強度が10倍である場合、ドーピング濃度を100倍とすることができる。ドーピング濃度が100倍である場合、印加電圧が同じであれば、空乏層の伸び、つまり必要なドリフト層の厚さは1/10となる。ドリフト層の抵抗は層厚とドーピング濃度の逆数の積に比例するので、結局、絶縁破壊電界強度が10倍である場合、ドリフト層の抵抗は約1/1,000となり、SiCでは大幅な低抵抗化が可能である。

Siを用いたデバイスでは、ドリフト層の抵抗が大幅に増加するため、kV級のユニポーラデバイスの実用化は難しく、高耐压用途には一般にGTO(Gate-Turn-Off thyristor)やIGBT(Insulated Gate Bipolar Transistor)などバイポーラデバイスが用いられる。SiCを用いた場合は、高い絶縁破壊電界強度のため、1kV以上の耐压領域に対して

も、ドリフト層の抵抗を十分に抑えたユニポーラデバイスを作製することができる。ユニポーラデバイスでは、バイポーラデバイスに見られる伝導度変調に伴う蓄積電荷がないため、ユニポーラデバイス化はスイッチング時の損失を抑制する。このため、SiCを用いることにより、定常及びスイッチングの両損失を低減したパワーデバイスを得ることが可能となる。

例えば、インバータ用について現在主にSi-IGBTとSi-pinダイオードが用いられているが、SiC-MOSFETとSiC-ショットキーバリアダイオード(SBD)を組み合わせることでスイッチング損失の大幅な低減が可能であり、我々も検討を行っている。また、電気自動車のモータ制御用としてSiCデバイスを用いた場合、損失の低減及び高温動作が実現でき、小型化に加え、水冷を空冷に変更できる可能性があるため大いに期待されている。

3. 高耐压MOSFETの試作

3.1 エピタキシャル層MOSチャネルの特性

SiCの特長を大いに生かすデバイスはユニポーラ型であるため、複数の研究機関でMOSFETの開発が進められている。しかしながら、得られたSiC-MOSFETの導電特性(オン時の抵抗値)は、期待されるものとの間に大きな差がある。その差の最大の原因はMOSチャネルの導電性が小さい(チャネル移動度が小さい)ことであり、これはSiCのMOS界面における高密度の電子捕獲準位に起因し、チャネルの電子の捕獲及び捕獲電子によるクーロン散乱の増加によって生じている。我々は、この課題に対して、n型高品質エピタキシャル成長層をチャネルに用いることによる改善を図っている。

チャネルエピタキシャル層のドーピング濃度、層厚についてSiC-MOSチャネルの導電性に与える影響を系統的に調べた結果、ゲート電圧0V付近でドレイン電流が流れる、いわゆる、“埋め込みチャネル”が形成される場合と、界面にのみキャリアが蓄積される場合とで、電界効果移動度がそれぞれ特徴的なゲート電圧依存性を示すことが分かった。図1にエピタキシャル層チャネルの移動度の評価のために作製した横型MOSFETの I_D-V_G 特性の例を示す。埋め込みチャネル型の特性では、電界効果移動度のピーク値として $60\text{cm}^2/\text{Vs}$ 程度の値が得られている。さらにゲート電圧を増しMOS界面における蓄積キャリアが増加するに従い、移動度は減少し、 $7\text{cm}^2/\text{Vs}$ 程度の値に漸近している。このことは、低いゲート電圧域で徐々に広がる埋め込みチャネル部では、MOS界面の影響が小さいため高い導電性が得られ、界面にキャリアが蓄積し始めると捕獲準位の影響を受けるため移動度が減少することを表している。他方、埋め込みチャネルが形成されない界面蓄積型の構造では、チャネル層厚及びドーピング濃度の最適化を行ったものに

ついて、電界効果移動度のゲート電圧依存は小さく、 $7 \text{ cm}^2/\text{Vs}$ 程度の値となっている。埋め込みチャンネル型の特性における移動度の漸近値と界面蓄積型の特性の移動度が近い値となっているが、これはMOS界面の品質がこの移動度の値を決めているためであり、今回のエピタキシャル層を用いたMOS界面のチャンネルの性能を直接的に表す値と考えられる。比較のために作製したp型注入層上のチャンネルエピタキシャル層を持たない反転型MOSチャンネルでは、電界効果移動度は $1 \text{ cm}^2/\text{Vs}$ 以下の極めて小さな値であった。MOSチャンネルにn型エピタキシャル層を用いることにより導電性は明らかに改善されており、今後、酸化膜形成法を含めた検討により更に特性は向上すると考えている。

埋め込みチャンネルが形成される場合、導電性の改善効果は大きい。しかしながらこの場合には、ゲート電圧0Vにおけるオフ特性に問題が生じる(オン/オフ比が小さい)。このため、要求されるMOSFETの特性に応じてチャンネルエピタキシャル層を形成する条件を選ぶ必要がある。以下で述べる高耐圧MOSFETでは、ノーマリオフ特性を得ることを目標としたため、埋め込みチャンネルが形成されないチャンネルエピタキシャル層を採用した。

3.2 高耐圧MOSFETの構造及び作製法

今回作製した高耐圧MOSFETの断面構造を図2に示し、

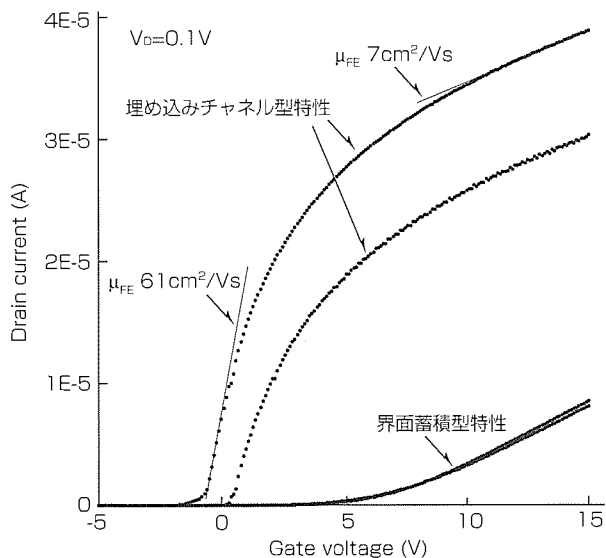
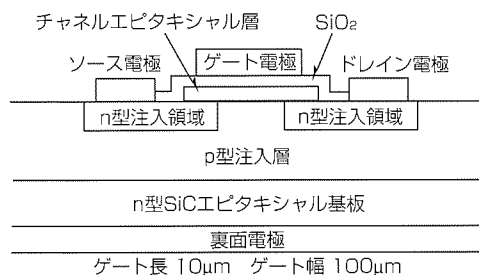


図1. エピタキシャル層MOSチャンネルの評価に用いた横型MOSFETの構造と代表的な I_D - V_G 特性

完成時の電極パターンを図3に示す。ゲート及びソース電極は櫛(くし)型とし、裏面にドレイン電極を形成している。チャンネル長は $2 \mu\text{m}$ とし、ゲート幅は合計 7.56 mm ($270 \mu\text{m} \times 28$)である。デバイスの周囲には幅 $100 \mu\text{m}$ のJTE (Junction Termination Extension) 終端を設けて、表面での電界集中を緩和している。デバイスのサイズはJTE領域まで含めて約 $800 \mu\text{m} \times 800 \mu\text{m}$ であり、MOSFETとしての動作領域は $270 \mu\text{m} \times 420 \mu\text{m}$ である。今回作製したMOSFETは小さなものであるが、今後、SiC基板の品質向上などにより大面積化が可能である。

次に、MOSFETの作製手順について簡単に記す。基板には4H型ポリタイプのn型SiCを用い、まず、ドナー濃度 $9 \times 10^{15} \text{ cm}^{-3}$ 、厚さ $15 \mu\text{m}$ のドリフト層をエピタキシャル成長させた。ウェル領域、JTE領域にp型ドーパントのAlを、ソース領域にn型ドーパントのNをイオン注入し、Ar雰囲気中で $1,600^\circ\text{C}$ 、30分間の活性化アニールを行った。SiCではイオン注入後の活性化アニールに高温を必要とし、表面荒れの問題、装置上の問題など課題が残されている。活性化アニールの後、表面層を除去してチャンネル層のエピタキシャル成長を行った。今回用いたチャンネルエピタキシ

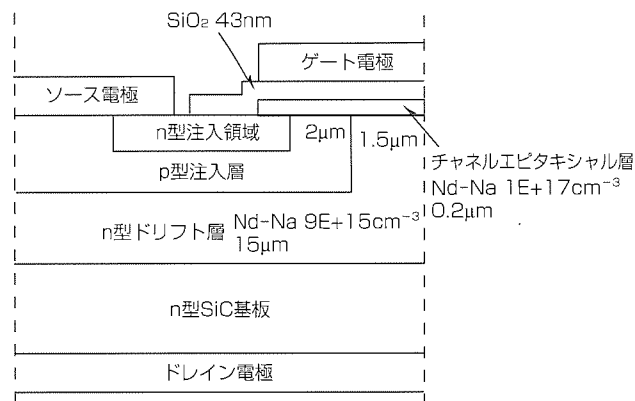


図2. エピタキシャル層チャンネル高耐圧縦型SiC-MOSFETの断面構造

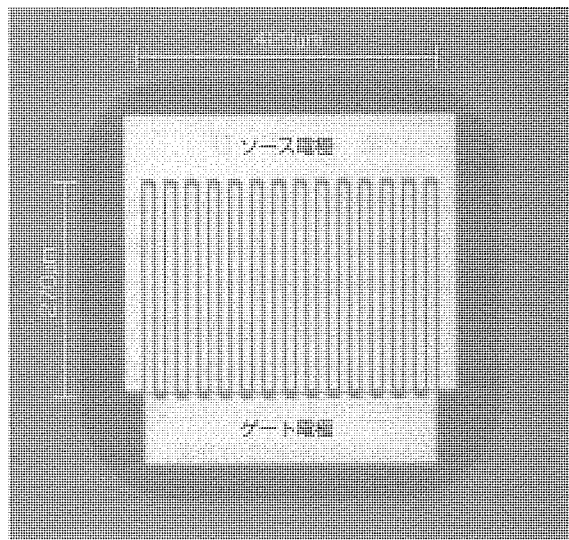


図3. 高耐圧縦型SiC-MOSFETの電極形状

ナル層は、ドナー濃度 $1 \times 10^{17} \text{cm}^{-3}$ 、厚さ $0.2 \mu\text{m}$ であり、図1に示した界面蓄積型のものである。活性化アニールを行った場合、通常、SiCの表面にはバンチングした巨大ステップが形成され平坦(へいたん)性が損なわれるが、チャンネルエピタキシャル層を成長することにより、表面平坦性は大きく改善される。チャンネルエピタキシャル層の成長後、不要なエピタキシャル層部分をRIEにより除去し、犠牲酸化を行った後、ゲート酸化膜を形成した。ゲート酸化はパイロジェニックによる水蒸気/酸素雰囲気での熱酸化であり、 $1,100^\circ\text{C}$ で2時間行った。電極にはすべてAlを用い、電子ビーム蒸着及びリフトオフにより形成した。

3.3 特性評価

作製したMOSFETの I_D-V_D 特性の例を図4に示す。しきい値電圧は約10Vと高いが、ノーマリオフの良好な特性が得られている。ゲート電圧25V(酸化膜中の電界強度 5.8MV/cm)において、傾きからオン抵抗は $40 \text{m}\Omega \cdot \text{cm}^2$ である。また、ゲート電圧0Vにおける耐圧は1.9kVが得られている。この耐圧の値は、ドリフト層のドナー濃度に対するpn接合の理論耐圧にほぼ等しく、JTE終端などが設計どおり作製されていることを示している。ここで得られた耐圧に対するオン抵抗の値は、Siのユニポーラデバイスの理論限界値の約1/25であり、Si-MOSFETの特性を大きく超えるものである。しかしながら、SiCの理論限界値($1 \sim 2 \text{m}\Omega \cdot \text{cm}^2$)との間にはまだ差がある。

チャンネル部分に n^+ 型のドーピングを行った同構造のMOSFETのTEGに対し抵抗値を測定したところ、MOSFETの動作領域面積に対し $20 \text{m}\Omega \cdot \text{cm}^2$ が得られた。この値はMOSFETのチャンネル部分の抵抗を除いた抵抗であると考えられるので、チャンネル抵抗として $20 \text{m}\Omega \cdot \text{cm}^2$ が得られる。この大きなチャンネル抵抗の値はチャンネル移動度が小さいためであり、現状の $5 \sim 10 \text{cm}^2/\text{Vs}$ の値を $50 \text{cm}^2/\text{Vs}$ 程度以上に改善する必要がある。チャンネル部以外の抵抗については、構造、プロセスの最適化により大幅な低減が可能であり、今後の地道な技術の蓄積により改善できると考えている。

4. むすび

半導体材料のSiCの特長、応用について簡単に示し、4H型SiCを用いて作製したエピタキシャル層チャンネルを持つ高耐圧MOSFETの作製及び特性について述べた。ゲート電圧0Vにおける耐圧として1.9kVが得られ、オン抵抗の値として世界トップレベルの $40 \text{m}\Omega \cdot \text{cm}^2$ が得られた。しかしながらこの値はSiCの実力を十分に発揮しているとは言えず、今後、チャンネルの導電性の改善、プロセス技術のリファインなどにより、SiC-MOSFETを実用化するため、更に高性能化・高信頼性を図っていく。

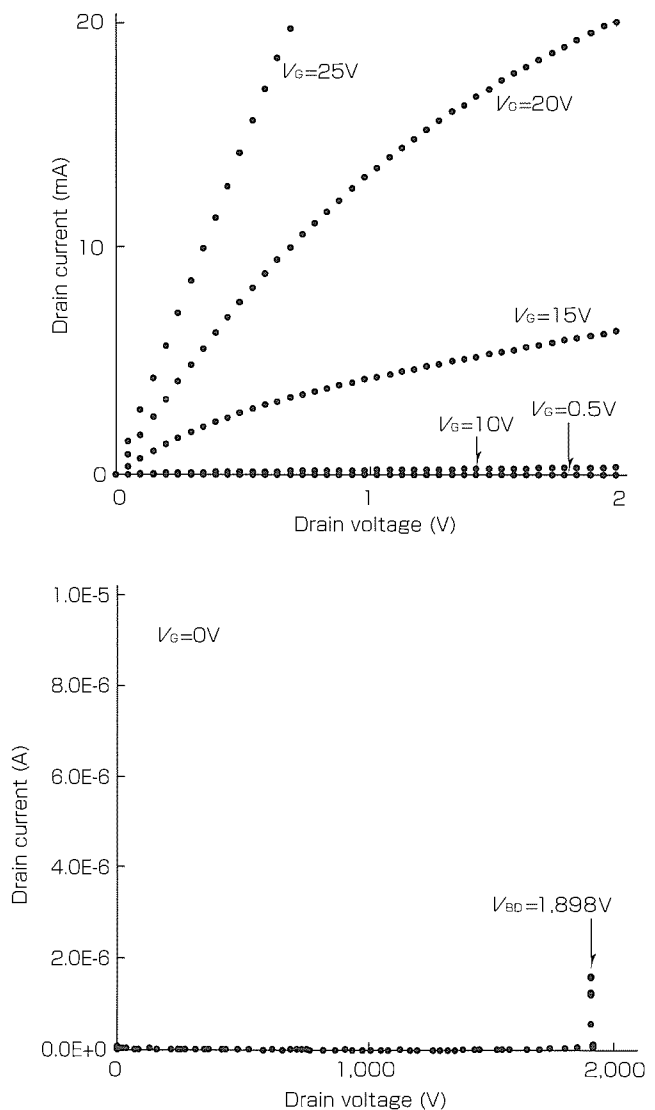


図4. 高耐圧縦型SiC-MOSFETの I_D-V_D 特性

この研究はNEDOから新機能素子研究開発協会を通じ依頼されたものであり、ここに謝意を表わす。

参考文献

- (1) Ryu, S., et al., IEEE, Electron Device Lett., **23**, 321 (2002)
- (2) Schorner, R., et al., Appl. Phys. Lett., **80**, 4253 (2002)
- (3) Cooper, J.A., et al., IEEE, Electron Device Lett., **49**, 658 (2002)
- (4) Kumar, R., et al., Jpn. J. Appl. Phys., **39**, 2001 (2000)
- (5) Imaizumi, M., et al., J. Cryst. Growth, **237-239**, 1219 (2002)
- (6) 今泉昌之, ほか, SiCおよび関連ワイドギャップ半導体研究会第11回講演会, IV-28 (2002)

パワーモジュールの分布定数抽出と動特性解析

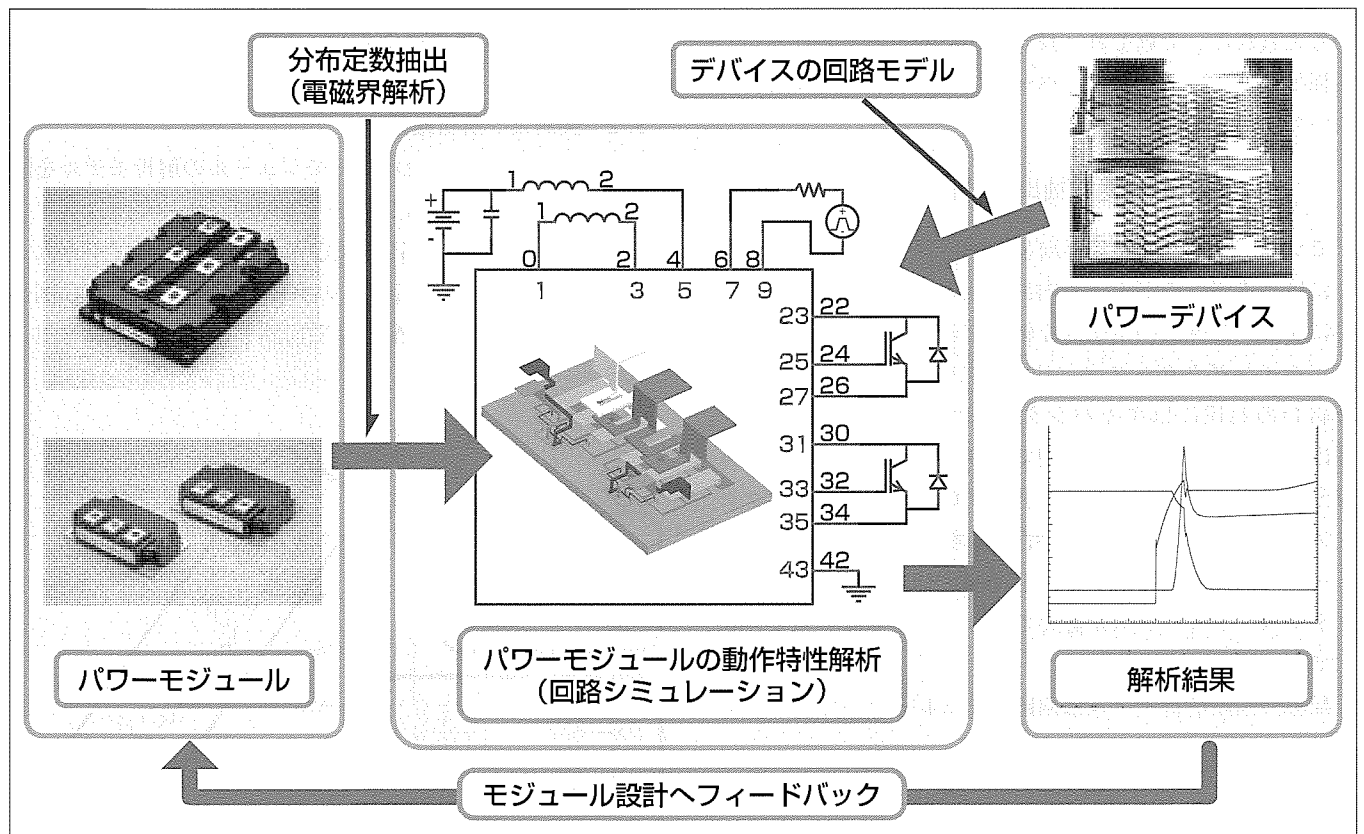
要旨

現在パワーエレクトロニクス機器における主力デバイスはIGBT(Insulated Gate Bipolar Transistor)であり、6.5kV-IGBTやCSTBT(Carrier Stored Trench Gate Bipolar Transistor)の実用化に代表されるように、そのデバイス性能は年々進化している。また、最近ではSiCデバイス開発が精力的に行われており、その実用化が期待されている。パッケージ設計としては、このようなデバイスの高性能化に十分対応するため、スイッチング時の過渡電磁界現象の定量的な解析・評価が重要となっている。

過渡電磁界は、モジュール内部の配線間を電気的に結合し、モジュール性能に悪影響を与える場合がある。例えば、ゲート回路や制御回路と主回路との電磁結合によるゲート

電圧変動や誤動作、並列素子間の分流アンバランス等がその例である。このような不要動作を抑制し本来のデバイス性能を得るためには、電磁界現象すなわち配線構造がデバイスや制御回路に与える影響を定量化した上での配線設計が重要である。

本稿では、モジュール内部の配線間の結合を定量化するための分布定数(配線の寄生パラメータ)の抽出と、それを用いたモジュールの動特性解析技術について述べる。この技術によれば、電磁界現象がデバイス動作に及ぼす影響を回路解析上でシミュレートすることが可能となり、モジュールの配線設計技術の向上に極めて有効である。



分布定数抽出とパワーモジュール動特性解析によるモジュール設計技術

パワーモジュール内部における電磁界現象がデバイス動作に及ぼす影響を定量化し、高度なモジュール配線設計技術を構築する。電磁界解析を用いてモジュールの分布定数を抽出し、回路シミュレーション上でモジュールの動特性解析を行う。解析上で配線の寄生パラメータを考慮した特性評価ができ、最適設計によるモジュールの高信頼化が可能となる。

1. ま え が き

パワーデバイスの大容量化・高速化に伴い、ターンオフ時のサージ電圧だけでなく、配線間の電磁結合によるゲート電圧変動や並列素子間分流アンバランス等の配線の寄生インダクタンスに起因する不要動作が顕在化してきている。このような状況下において、解析技術を駆使した高度な配線設計技術の構築は極めて重要な課題である。

三菱電機では既に電磁界解析技術を適用したモジュール配線設計を行っている⁽¹⁾。より高度な配線設計に向けた次の課題としては、電磁界現象(モジュール配線構造)がデバイス動作にどのような影響を及ぼすかを定量的に解析できる技術の開発が挙げられる。それは、例えば、ゲート回路に鎖交する磁束量を電磁界解析で求めるだけでなく、鎖交磁束の影響によるゲート電圧、コレクタ電流の挙動までを解析する技術である。その方法の一つとして、まず電磁界解析により配線の分布定数(寄生インダクタンスや寄生容量等)を定量化して回路解析モデルを構築し、回路解析ベースでデバイス動作解析を行う方法がある。デバイスモデルとしては、回路シミュレータが内蔵するデバイスモデルを使用することができる。

もう一つの方法としては、デバイスモデルを電磁界シミュレータに取り込み、電磁界解析ベースで解析を行う方法が考えられる。それぞれ一長一短があると考えられるが、本稿では、前者の回路解析ベースでのデバイス動作解析について述べる。

2. 分布定数抽出と動特性解析

モジュール内部の電磁界現象を回路解析上で取り扱うためには、まず、モジュール内部配線の回路解析モデルが必要になる。配線間の電磁的な結合を表すためには、図1のようなインダクタンスマトリックスが使用される(静電的な結合の記述にはキャパシタンスマトリックスを使用)。図は、3本の配線モデルの例であり、マトリックスの対角成分が自己インダクタンス、非対角成分が相互インダクタンスを表す。デバイスの動特性を解析するためには、モジュール内部の主回路及びゲート配線すべてに対するインダクタンスマトリックスが必要であり、電磁界解析により算出できる。

配線の回路解析モデルは回路シミュレータ内でデバイス

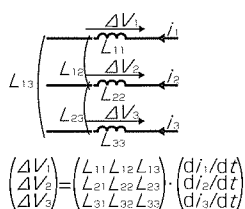


図1. インダクタンスマトリックス

や主回路(電源、負荷等)、ゲートドライバ等と接続される。図2に回路解析モデルの例を示す。図中U1がモジュールの配線モデルである。IGBTやダイオード等のデバイスモデルは、回路シミュレータが内蔵するデバイスモデルエディタ等で実機と同様な特性が得られるように調整する。

3. 解析例

3.1 電磁誘導によるゲート電圧変動

パワーモジュールのように大電流の主回路と制御配線が高密度に実装された配線間の電磁誘導をなくすことは、実質上非常に困難である。しかし、電磁誘導の影響が定量化された上での配線設計が可能であれば、安定なデバイス動作を得ることができる。電磁誘導で特に問題となる現象の一つに、ターンオン時のコレクタ電流上昇に伴い更にゲート電圧が上昇する、いわゆる正帰還動作がある。これは、以下のような不具合要因となる可能性が高く、配線設計時には注意を要する。

- (1) 短絡時の大電流によるSCSOA悪化
- (2) 高速なターンオンdi/dtによるリカバリー破壊耐量の低下

また、大容量モジュールのようにデバイスが並列接続される場合、ゲート回路への不均一な誘導電圧による分流アンバランスが生じる可能性がある。

以下に、電磁誘導によるゲート電圧の正帰還動作の例を具体的に示す。

3.2 実測及び解析結果

今回解析対象としたパワーモジュールの解析モデルを図3に示す。上下アーム2素子入りのモジュールで、各アームには定格3.3kVのIGBT及びダイオードチップがそれぞれ3並列接続される。IGBTのゲート(G1, G2)及び制御エミッタ(E1, E2)配線は主回路と反対側から取り出される。

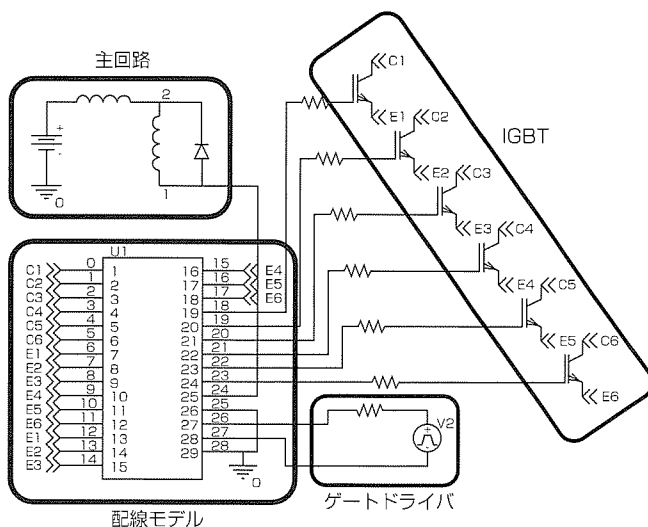


図2. 回路解析モデル

図4の(a)にアーム短絡時、図の(b)にターンオン時のゲート-エミッタ間電圧 V_{ge} 、コレクタ電流 I_c 及びコレクタ-エミッタ間電圧 V_{ce} を示す。図の V_{ge} はモジュールのゲート-エミッタ端子で測定した波形である。アーム短絡時、電流の立ち上がり時に正帰還によって V_{ge} が持ち上がり、それに伴い、コレクタ電流にもピークが現れている。一方、ターンオン時の V_{ge} 波形を見ると、コレクタ電流立ち上がり時に V_{ge} の上昇率が抑制され、電流減少時に急激に上昇していることが分かる。

図5の(a), (b)に解析結果を示す。短絡時のゲート電圧及びコレクタ電流の持ち上がりが再現されている。解析では、ゲート配線、制御エミッタ配線に発生する電圧を評価でき、図4の正帰還動作は配線に発生する誘導電圧が原因であることが確認されている。上述のターンオン時のゲート電圧波形も実測と同様な波形が得られており、この波形も誘導電圧の影響であることが確認できている。

図6にはモジュール構造にターンオン時の主電流方向を付与して示している。図中丸印で示すように、主電流はゲ

ート、制御エミッタ配線と平行な電流経路を形成しており、ターンオン時には、ゲート、制御エミッタ配線に図に示した方向に誘導電圧を誘起する。制御エミッタ配線の方が主電流に近いので誘導電圧は大きく、ゲート配線に発生する誘導電圧の差がゲート回路の誘導電圧となる。図の場合、ゲートを充電する方向に誘導電圧が発生し、正帰還動作となる。

図4、図5に示した正帰還動作の原因が上記推察のとおりであれば、ゲート配線と制御エミッタ配線の位置を入れ替えることにより、誘起電圧は逆方向に発生することになり負帰還動作が得られる。

3.3 対策案の検証

上述のような対策を施したサンプルでのアーム短絡及びターンオン時の実測波形を図7の(a), (b)にそれぞれ示す。アーム短絡時には、 V_{ge} やコレクタ電流の持ち上がりはなく、正帰還動作は抑制されている。また、ターンオン時の V_{ge} 波形を見ると、図4(b)の正帰還の場合とは逆方向に動

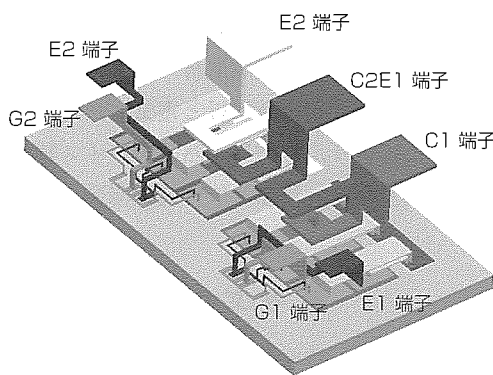
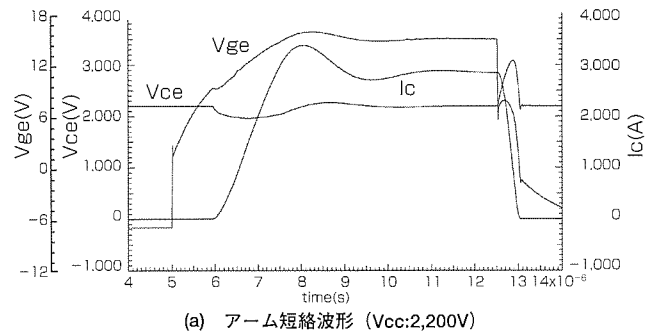
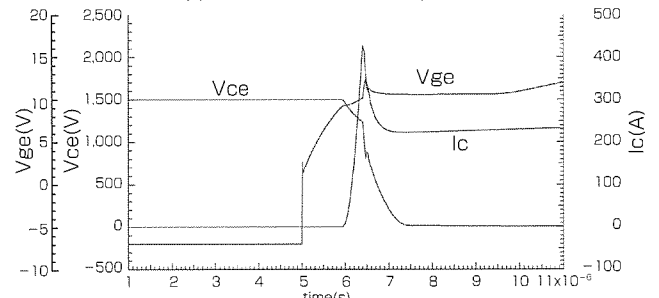


図3. パワーモジュールの解析モデル

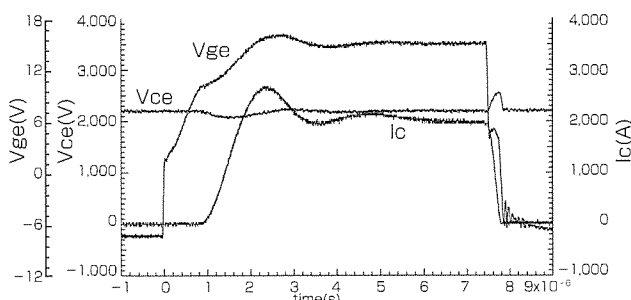


(a) アーム短絡波形 (Vcc:2,200V)

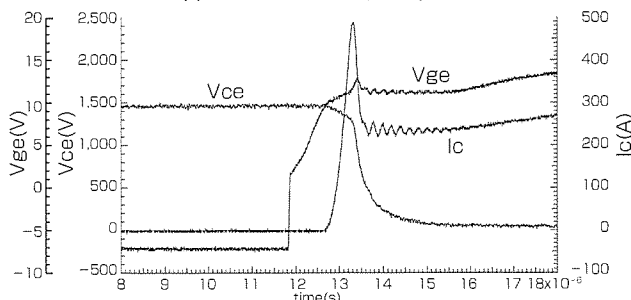


(b) ターンオン波形 (Vcc:1,500V)

図5. 正帰還動作(シミュレーション波形)



(a) アーム短絡波形 (Vcc:2,200V)



(b) ターンオン波形 (Vcc:1,500V)

図4. 正帰還動作(実測波形)

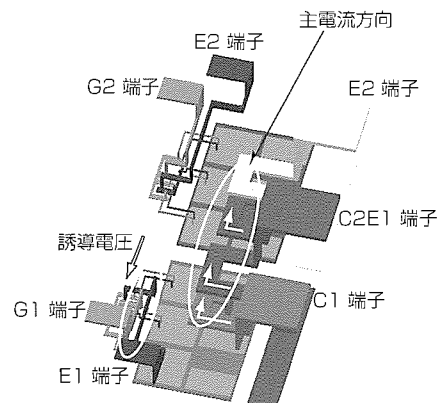
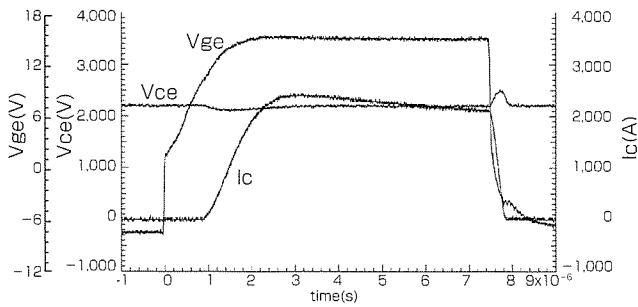
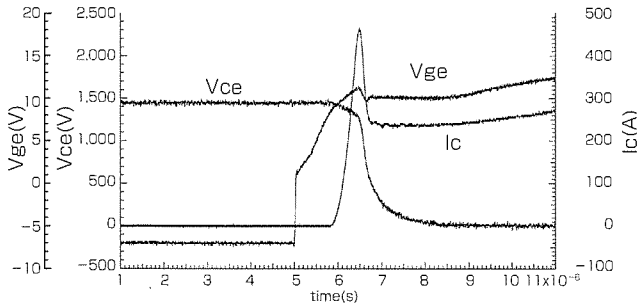


図6. 電磁干渉の原因

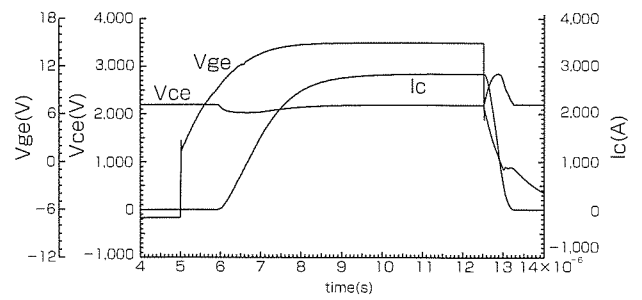


(a) アーム短絡波形 (Vcc:2,200V)

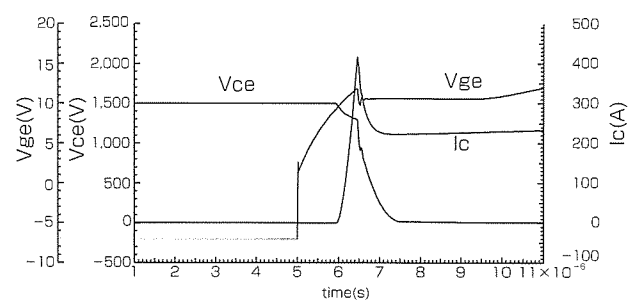


(b) ターンオン波形 (Vcc:1,500V)

図7. 対策後の実測波形



(a) アーム短絡波形 (Vcc: 2,200V)



(b) ターンオン波形 (Vcc: 1,500V)

図8. 対策後のシミュレーション波形

作している。

図8の(a), (b)にシミュレーション結果を示す。実測とほぼ同様な波形が得られている。ゲート配線, 制御エミッタ配線に発生する電圧の評価から, 対策案では負帰還動作となっていることが確認できた。

4. む す び

分布定数解析を用いたパワーモジュール特性評価技術について, 電磁誘導によるゲート電圧変動を例として述べた。

この技術によれば, パワーモジュール内部の複雑な配線形状に起因する電磁結合の影響を定量的に評価でき, 高度な配線設計技術の構築に極めて有効である。

本稿ではインダクタンスマトリックスを用いた解析について述べたが, キャパシタンスマトリックスを含めた解析も可能であり, 例えば, IPM(Intelligent Power Module)の制御基板に対する電磁ノイズ, 静電ノイズの影響評価に

も適用可能と考えられる。電磁界と同様にデバイス動作に重要なデバイス温度の影響については, 電気回路と熱回路網を組み合わせた電気・熱連成解析⁽²⁾により解析可能であるが, 本稿で述べた分布定数解析と電気・熱連成解析を組み合わせることにより, 電磁界, 熱, デバイス特性を考慮した解析が可能であり, 現在, 解析技術開発に取り組んでいる。

参 考 文 献

- (1) 大井健史, ほか: パワーモジュール内部の配線形状に起因する分流アンバランスの解析と実験的検証, 電学論D, **121**, No.3, 333~339 (2001)
- (2) 菊永敏之, ほか: パワーモジュール高信頼設計のための解析・シミュレーション技術, 三菱電機技報, **75**, No.6, 429~432 (2001)



特許と新案 * * *

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 知的財産渉外部
電話(03)3218-9192(ダイヤルイン)

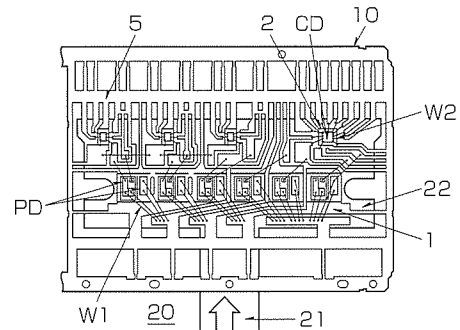
半導体装置 特許第3338063号(国際公開W098/24122)

この発明は、半導体装置、特にパワー素子及びこれを制御する制御素子をトランスファモールドでパッケージ化した装置に関するもので、制御素子を配線している細い金線が、モールド樹脂の圧入により変形したり破損することを防止し、信頼性の高い半導体装置を提供することを目的とする。

この発明による半導体装置は、リードフレーム上に配設されたパワー素子と、このパワー素子を制御する制御素子と、モールド樹脂によってこれらのパワー素子と制御素子を封止するパッケージとを備えている。パワー素子及び制御素子は、それぞれリードフレーム上の第1の領域内と第2の領域内に混在することなく区分して配設されており、パワー素子は第1の配線を介してリードフレームと電気的に接続されており、制御素子は第1の配線よりも細い第2の配線を介してリードフレームと電気的に接続されている。パッケージは、モールド樹脂が第1の領域側の端面となる部分に備えられた導入口から第1の領域を経由して第2の領域に到達するように第1及び第2の速度で注入すること

で形成されている。第1の速度は注入開始からモールド樹脂が第2の領域に達するまで維持される速度であり、第2の速度は、モールド樹脂が第2の領域に達した後に与えられる速度で、第1の速度よりも遅い速度である。この遅い速度により第2の配線がモールド樹脂によって変形したり破損したりすることが防止できる。

図はこの発明の実施形態1の製造工程を示す図であり、10はリードフレーム、PDはパワー素子、CDは制御素子、W1はアルミ線、W2は金線、21はモールドゲートである。



絶縁ゲート型バイポーラトランジスタの製造方法 特許第2963204号(特開平4-214674)

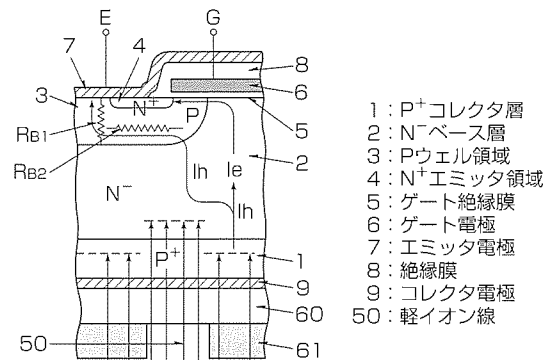
発明者 秋山 肇

この発明は、絶縁ゲート型バイポーラトランジスタに関して、イオン線などの電離放射線照射を用いたライフタイム制御によるオン抵抗とターンオフ時間とのトレードオフ関係を最善にした構造を得ることを目的とする。

第1の導電形の第1の半導体層の表面に形成された第2の導電形の第2の半導体層と、この第2の半導体層の表面に選択的に形成された第1の導電形の第1の半導体領域と、この第1の半導体領域の表面に選択的に形成された第2の導電形の第2の半導体領域と、第2の半導体層と第2の半導体領域とで挟まれた第1の半導体領域の表面上に形成された絶縁膜と、この絶縁膜上に形成された制御電極と、第1及び第2の半導体領域にまたがって形成された第1の主電極と、第1の半導体層の裏面上に形成された第2の主電極とを備える絶縁ゲート型バイポーラトランジスタを製造する方法であって、このトランジスタの第1の半導体層の裏面側に微細孔を設けたマスクを設ける工程と、このマスクを通して軽イオンをこのマスクの微細孔を通過する場合にはその飛程位置がトランジスタの第2の半導体層中に存在し、マスクの微細孔以外を通過する場合にはその飛程位

置がトランジスタの第1の半導体層中に存在するように設定して照射する工程とを備え、この微細孔の総面積の全面積に占める割合が30%かそれ以下であることを特徴とする絶縁ゲート型バイポーラトランジスタの製造方法である。

図はこの発明の一実施例である絶縁ゲート型バイポーラトランジスタを示す断面図である。1はP⁺コレクタ層、2はN⁻ベース層、5はゲート絶縁膜、6はゲート電極、7はエミッタ電極、8は絶縁膜、9はコレクタ電極、50は軽イオン線、60はアブゾーバ、61はマスクである。



- 1: P⁺コレクタ層
- 2: N⁻ベース層
- 3: P⁺ウェル領域
- 4: N⁺エミッタ領域
- 5: ゲート絶縁膜
- 6: ゲート電極
- 7: エミッタ電極
- 8: 絶縁膜
- 9: コレクタ電極
- 50: 軽イオン線



特許と新案***

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 知的財産渉外部
電話(03)3218-9192(ダイヤルイン)

半導体装置 特許第3357220号(特開平9-22973)

発明者 榊本歳和, 高浜 忍

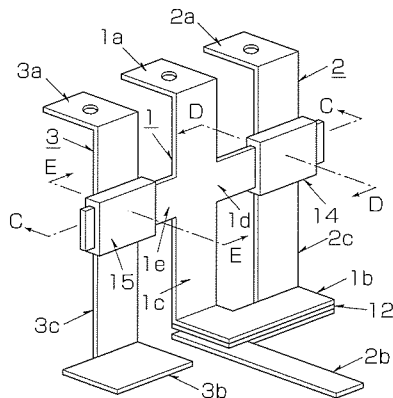
この発明は、例えば電力用スイッチング半導体装置などの半導体装置に関し、特に装置の動作中においても主電流の経路となる主電極板の寄生インダクタンスを低く維持するための改良に関するもので、回路基板の熱変形に起因する寄生インダクタンスの発生及び装置の損傷を抑えて安定的な動作を保証する半導体装置を得ることを目的とする。

第1の発明の装置は、電気絶縁性のケースの底面部に設けられた回路基板上に半導体素子が搭載されており、一端部が半導体素子へ電氣的に接続されるとともに他端部がケースの上端面から外部へと露出し、主電流が互いに逆方向に流れる一対の主電極を備える半導体装置において、一対の主電極が互いにほぼ平行の位置関係を持ってケースの側

壁部の内部に封止されることでケースへ固定されており、一対の主電極の一端

部は回路基板に直接には結合せずボンディングワイヤを中継することによって半導体素子へと電氣的に接続されており、この一対の主電極の一端部の各々が板状であって、しかも平坦(へいたん)な板状の絶縁体を挟んで互いに平行に対向する部分及び絶縁体の各々の一部はケースの側壁部の内部に封止されていることを特徴とする。主電流が逆方向に流れる一対の主電極が互いにほぼ平行であるので、主電極に生じる寄生インダクタンスが低く抑えられる。しかも、主電極は回路基板との直接の結合が回避されているので、半導体素子の発熱に伴う回路基板の熱変形によって変形をこうむったり、一部に熱応力が集中するおそれがない。これにより、装置の動作中においても寄生インダクタンスが上昇することがなく、安定した動作が実現でき、また、装置の損傷のおそれがないので、信頼性が高まる。

図1、図6、図10はこの発明の第1実施形態の説明図で、1、2、3は主電極板、11はケース、14、15は絶縁体、25はボンディングワイヤ、T2は半導体素子である。



1, 2, 3: 主電極板(主電極) 1d, 1e: 腕部
1a, 2a, 3a: 上端部(他端部) 12: スペース(絶縁体)
1b, 2b, 3b: 下端部(一端部) 14, 15: スペース(絶縁体)
1c, 2c, 3c: 直立部(連結部)

図1

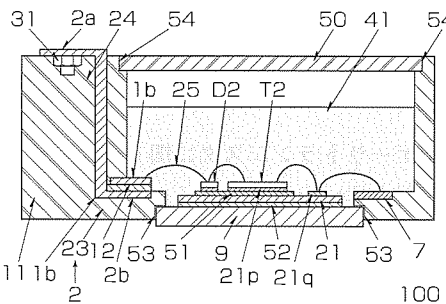


図6

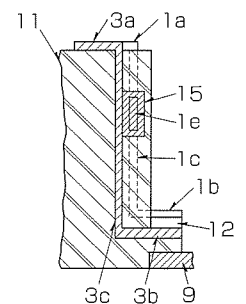


図10

<本号記載の商標について>

本号に記載されている会社名、製品名はそれぞれの会社の商標又は登録商標である。

<次号予定> 三菱電機技報 Vol.77 No.10 特集「昇降機・ビルシステム」

三菱電機技報編集委員	三菱電機技報 77巻9号	2003年9月22日 印刷
委員長 井手 清	(無断転載・複製を禁ず)	2003年9月25日 発行
委員 小林智里 長谷川 裕 堤 清 英	編 集 人 井手 清	
栗原幸志 村松 洋 松本 修	発 行 人 松本 敬之	
浜 敬三 田島 範一 中川 博 雅	発 行 所 三菱電機エンジニアリング株式会社 e-ソリューション&サービス事業部	
中島克人 部谷文伸	〒102-0073 東京都千代田区九段北一丁目13番5号	
黒畑幸雄 山木比呂志	日本地所第一ビル 電話 (03)3288局1847	
事務局 松本敬之	印 刷 所 株式会社 三菱電機ドキュメンテクス	
本号取りまとめ委員 由宇 義 珍	発 売 元 株式会社 オーム社	
	〒101-0054 東京都千代田区神田錦町三丁目1番地	
	電話 (03)3233局0641	
	定 価 1部735円(本体700円) 送料別	
URL http://www.MitsubishiElectric.co.jp/giho/	三菱電機技報に関するお問い合わせ先 cep.giho@ml.hq.melco.co.jp	

スポットライト

第五世代新トレンチチップ(CSTBT)適用による低損失, 及び新開発制御IC搭載による低ノイズを実現したIPMシリーズ(Lシリーズ)

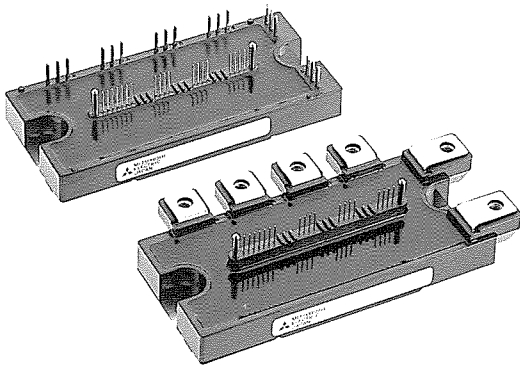
近年、産業機器における汎用インバータ、ACサーボ等のモータ制御装置では、高性能化・小型化・低損失化の要求に加え、使いやすさや環境への配慮など新しい要求も年々高まっています。

三菱電機ではこうしたパワーモジュールへの対応として既に“S-DASHシリーズIPM”を製品化していますが、今回、IPMとしては初めてCSTBT^(注1)チップを搭載し、より低損失を実現するとともに、新小型パッケージの採用によって装置の小型化・軽量化を図った、当社として最新世代の第五世代になる“LシリーズIPM”を製品化しました。

■用途

AC220V/AC440V対応インバータ・サーボ等モータ制御機器、UPS等電源装置インバータ小型化に最適で、太陽光発電、風力発電にも応用可能

■Lシリーズ IPMの外観



■特長

- (1) 第五世代新トレンチチップ(CSTBT)適用により、低飽和電圧

(注1) Carrier Stored Trench-Gate Bipolar Transistor: トレンチゲートに電荷蓄積層を追加し、 E_{off} と $V_{ce(sat)}$ のトレードオフ性能を向上

■製品系列

結線	主端子	600V				1,200V		
		$I_c(A)$						
		50	75	100	150	25	50	75
3φ	ねじ	PM50CLA060	PM75CLA060	PM100CLA060	PM150CLA060	PM25CLA120	PM50CLA120	PM75CLA120
	ピン	PM50CLB060	PM75CLB060			PM25CLB120	PM50CLB120	PM75CLB120
3φ +Brake	ねじ	PM50RLA060	PM75RLA060	PM100RLA060	PM150RLA060	PM25RLA120	PM50RLA120	PM75RLA120
	ピン	PM50RLB060	PM75RLB060			PM25RLB120	PM50RLB120	PM75RLB120

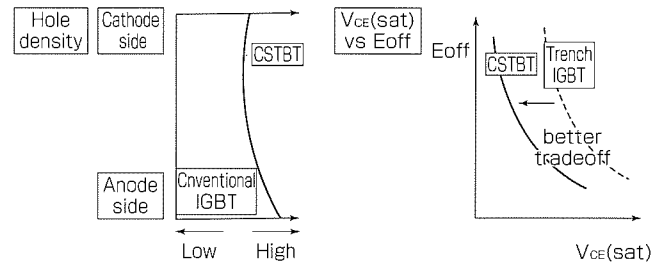
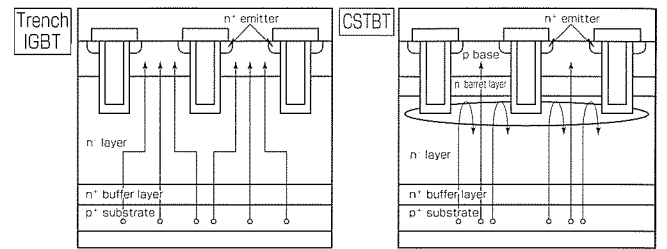
- (2) 新開発制御ICの搭載により、

- EMIの低減
- 制御電源の消費電流を大幅に低減

- (3) 新小型パッケージの採用

- (4) ブレーキ部の定格電流をアップ

■CSTBT構造



■三菱IPM世代ごとの損失比較

条件: $f_c=10kHz$, $PF=0.8$, $T_j=125^\circ C$, $V_D=15V$, $V_{ce}=300V$, $I_o=17Arms$

