

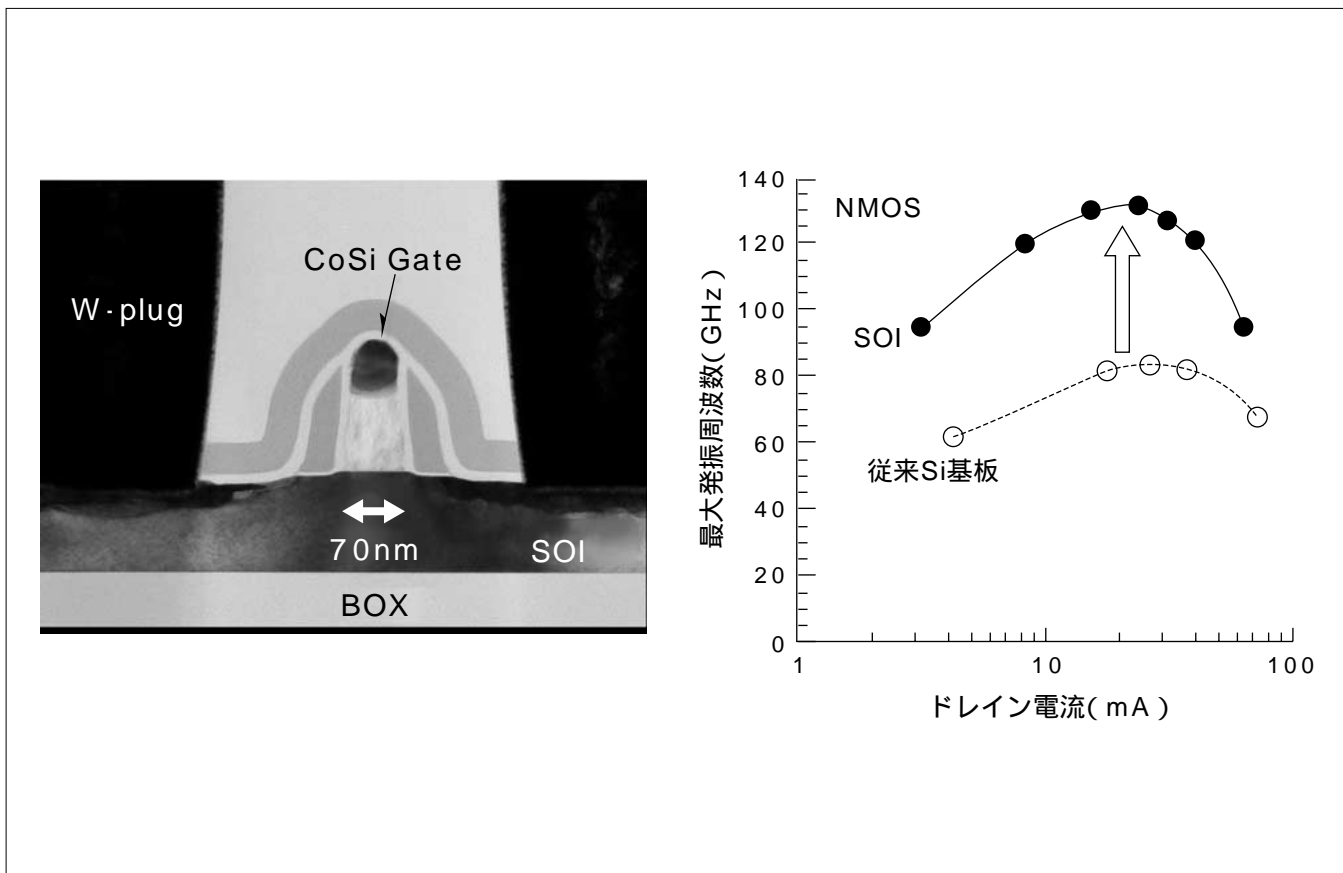
高速・高周波動作SOIデバイス技術

前川繁登* 近藤晴房***
 一法師隆志**
 岩松俊明**

要 旨

近年、CMOS LSIへの性能向上の要求はますます高まっているが、微細化だけでなく基板を“SOI(Silicon On Insulator)基板”に代えCMOSデバイスを形成することにより、デジタル回路動作を高速化できる。また、キロΩ・cm以上の高比抵抗支持基板を無理なく使えるため、トランジスタや高周波アナログ回路で重要なインダクタやキャパシタの高周波性能の向上が可能である。70nmゲート長のNMOSトランジスタにおいて、135GHzの最大発振周波数を記録し化合物デバイスの領域に達した。PMOSにおいては、SOIでは薄膜シリコン層の結晶方位を最適化できるため駆動電流を16%向上できる。また、アナログ/デジタル混載回路で問題となる回路間の干渉ノイズも、高抵抗基板によ

り大幅な低減が可能である。さらに、次世代では、データが失われるソフトエラーの発生率増加も懸念されるが、SOIデバイスでは構造的に抑制できる。0.18μmの4M SRAMでは、線によるソフトエラー発生率を通常シリコン基板デバイスより3けた低減した。従来、SOIデバイスはチャンネル下のボディ部が浮遊状態のためトランジスタ動作が不安定であったが、三菱電機独自のハイブリッド素子分離構造を考案し採用したため安定化し、従来の設計資産や設計ツールの使用が可能である。これらの技術を用いて、現在、ブロードバンド時代のキーデバイスである10Gbpsイーサネットトランシーバ用LSIを開発している(本誌2002年12月号を参照)。



70nmゲートSOIトランジスタの断面とその最大発振周波数

薄膜シリコン層上にトランジスタを形成することにより、高周波性能を向上できる。これは、ソース/ドレイン部の寄生容量を低減できるとともに、キロΩ・cm以上の比抵抗を持つ基板を使えるために、トランジスタの周囲での高周波電力損失を削減できるからである。135GHzの最大発振周波数を達成した。