

0.15 ~ 0.13 μm DRAM混載ロジック技術

藤野 毅*
山崎 彰**
蜂須賀敦司**

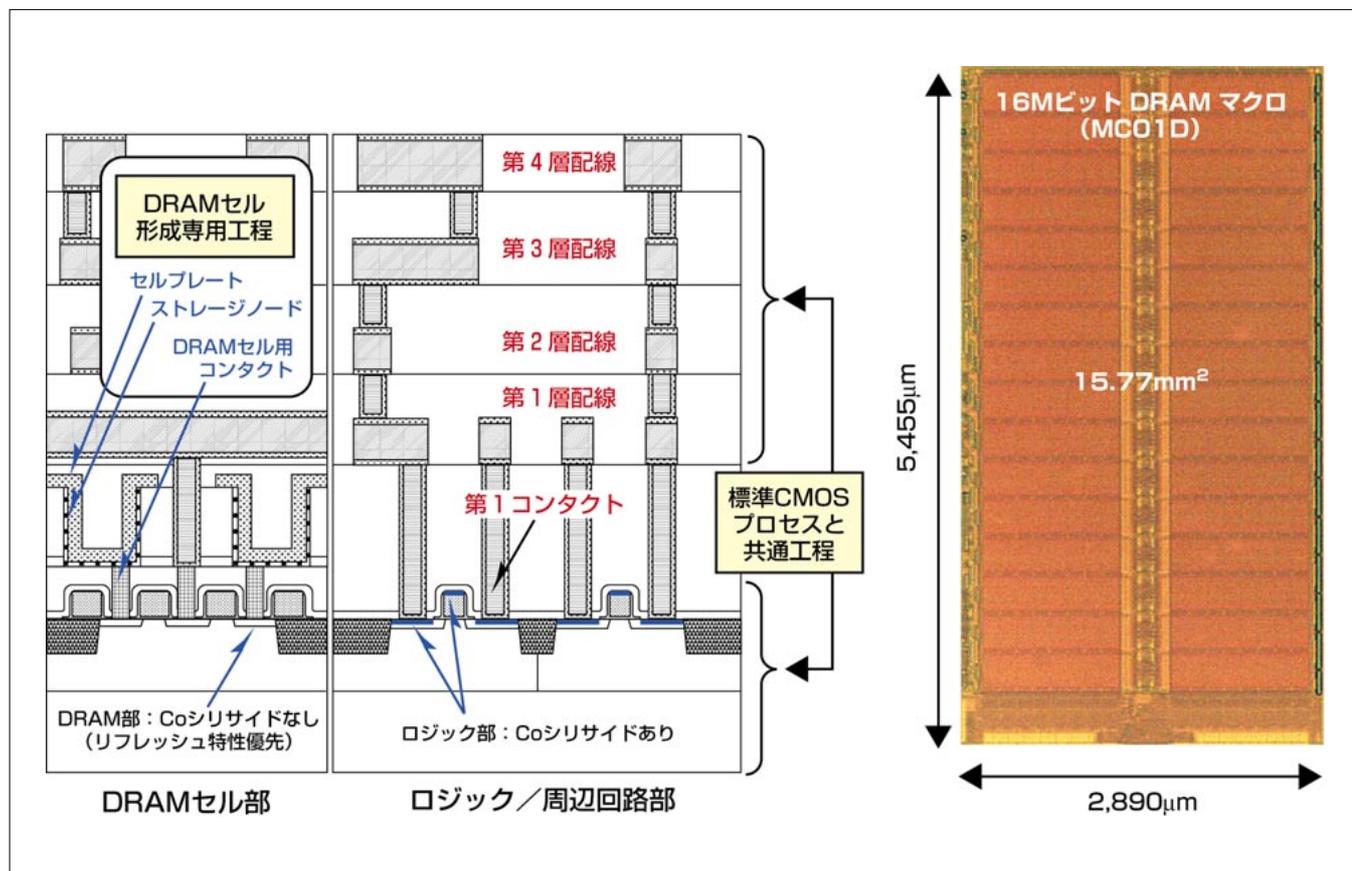
要 旨

三菱電機の先端CMOSロジック技術として、MC01 (0.15μm) / MC02 (0.13μm) 標準CMOSプラットフォームを用いている。このプラットフォームを使う先端システムLSIにおいて、16Mビット以上の大容量内蔵メモリを実現するDRAM混載プラットフォームMC01D / MC02Dを開発した。酸化タンタル (Ta₂O₅) をキャパシタ材料として使用したCUB (Capacitor Under Bitline) 構造の低温形成新規セルを、標準CMOS工程に追加する。これにより、①標準CMOS版と同じトランジスタ性能、②同じスライス工程の工期、③標準CMOS版で開発された各種IPハードマクロの移植性向上、を実現しつつ大容量メモリ混載が可能になった。

想定する用途としては、高いデータ転送レートが要求さ

れる3Dグラフィックス、ネットワークアプリケーションのほかに、電池駆動の携帯用途向けデジタルシステム機器をターゲットとした。このため、DRAMマクロ設計に当たっては、低消費電力設計を重視し、16Mビットコアで、80 のデータ保持 (セルフリフレッシュ) 時でも0.5mW以下を実現した。

また、メモリインタフェースとして、従来のSDRAMインタフェースだけでなく、SRAMインタフェースの開発も行った。ランダムローアクセス性能を向上させるために、DRAMメモリセルのセンス動作とライト及びリード動作を同時に行える新規センスアンプ回路を新たに導入した。これにより、143MHzという高速ランダムアクセス動作を実現した。



ロジックベースDRAM混載プロセス断面構造と16MビットDRAMマクロ

標準CMOSプロセスに、酸化タンタルキャパシタを採用した新開発のDRAMメモリセルを混載した。左に断面形状を示すが、トランジスタ形成終了後、第1コンタクト形成工程の間に、DRAMセル形成専用工程が入られる。それ以外の工程は、標準CMOSプロセスと全く同一工程である。このため、標準CMOS用に作られたスタンダードセル等の各種マクロのレイアウトをそのまま流用することが可能である。また、DRAMセル形成工程の低温化により標準CMOSと同一のトランジスタ性能を確保できた。