

# 90ナノメートル世代のシステムLSI技術

米森貴尚\* 森 義弘\*\*\*  
 塚本和宏\* 宮永 續†  
 牧野博之\*\* 初田次康†

## 要 旨

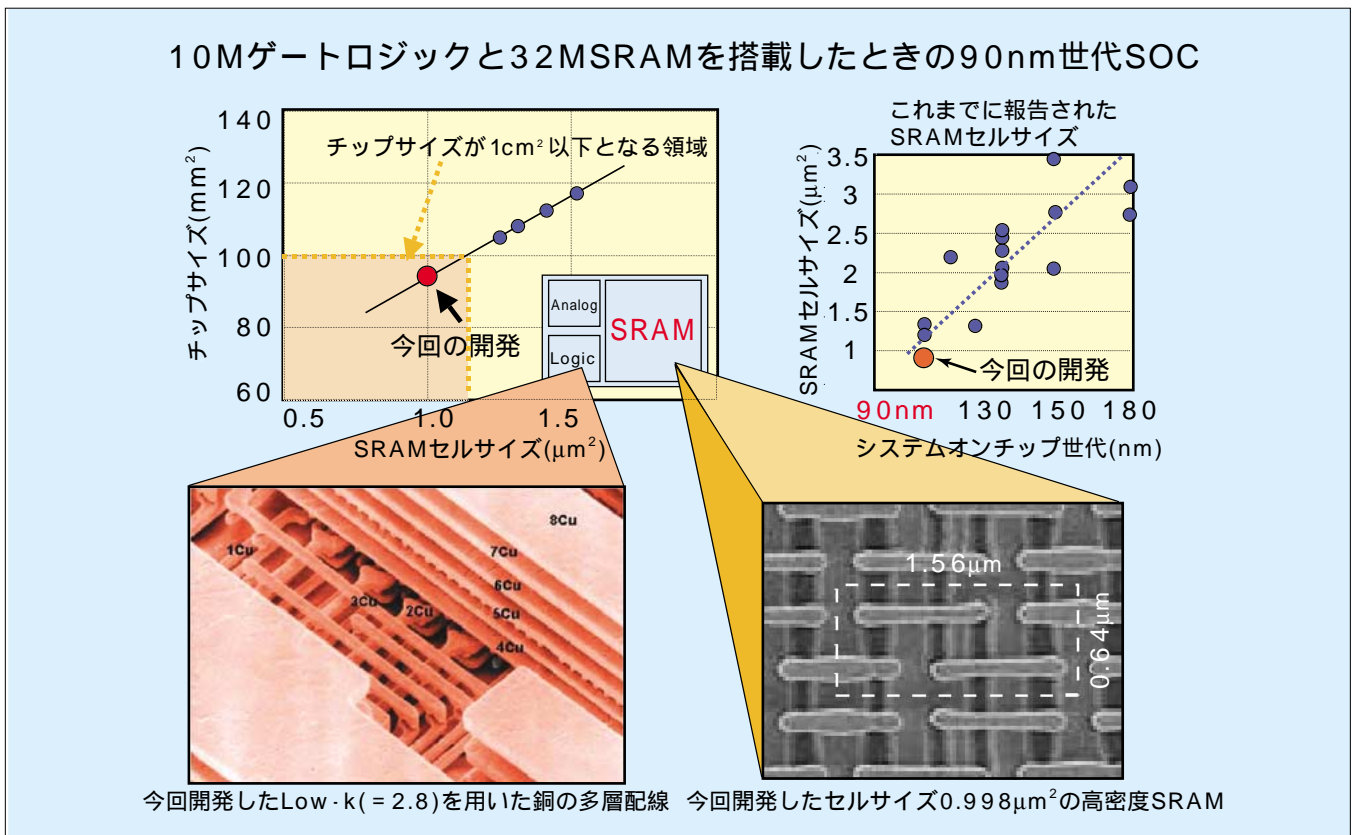
松下電器産業(株)と三菱電機(株)の協業プロジェクトにおける共同開発の成果として、9層銅配線・低誘電率層間絶縁膜を適用し、面積 $1\mu\text{m}^2$ を切るSRAMセルを実現する90ナノメートル世代システムLSIプロセス技術を開発した。主な技術は、SRAMセルを小さくする微細化技術、ゲート電極の低抵抗化と低接合リーク電流を実現するコバルトシリサイド技術、配線間容量を低減しかつ微細加工性にも優れるLow-k材料を層間絶縁膜に用いた銅配線技術などである。

SRAM部は、独自の微細ウェル分離技術とセルレイアウトの工夫により、6個のトランジスタから構成される6Tr-SRAMセルでは高密度版として世界最小の $0.998\mu\text{m}^2$ を達成した。

シリサイド技術として、窒素イオン注入技術を利用した新開発の2層構造コバルトシリサイドプロセスにより、低抵抗ゲート電極と接合リーク電流抑制を両立させ、トランジスタの高性能化を実現した。この技術は65ナノメートル世代まで適用可能である。

さらに、層間絶縁膜には、誘電率が低くかつ微細加工性及び強度の優れたLow-k材料を開発し、配線容量を大幅に低減し高速化を達成した。

この90ナノメートル世代システムLSIプロセス技術により、140万トランジスタ/ $\text{mm}^2$ という130ナノメートル世代比で約2倍の高集積化が実現され、大規模SRAMを内蔵した1億数千万以上のトランジスタを持つ大規模システムを $1\text{cm}^2$ 以下のチップに搭載することが可能となった。



## 10Mゲートロジックと32MSRAMを搭載したときの90nm世代SOC

この90nmCMOSプロセス技術を使えば、10Mゲートロジックと32MビットSRAMを搭載したシステムLSIを $1\text{cm}^2$ のチップに集積できる。ロジック部のゲート密度は $350\text{K}$ ゲート/ $\text{mm}^2$ であり、また $0.998\mu\text{m}^2$ のSRAMセルサイズは、6トランジスタ型の標準SRAMとしては、2002年末時点で世界最小である。