

MITSUBISHI

三菱電機技報 Vol.77 No.3

特集「IT社会に貢献する半導体」

2003 3



マクロの世界

10cm

ユビキタス社会に
寄与する
ハードウェアの階層構造

8th Metal Layer
7th M
6th M
5th M
4th M
3rd M
2nd M
1st M
Si基板

5um

ゲート電極
ゲート絶縁膜
Si基板

50nm

ゲート電極
ゲート絶縁膜
Si基板

2.0nm

ミクロの世界

FOMAは、(株)NTTドコモの登録商標です

目次

特集「IT社会に貢献する半導体」

IT集積回路の重要性 岩井 洋	1
ユビキタス社会に向けた半導体の課題と挑戦 中屋雅夫・西村 正	2
90ナノメートル世代のシステムLSI技術 榮森貴尚・塚本和宏・牧野博之・森 義弘・宮永 績・初田次康	9
16ビットマイコン“M16C/62P”グループ 大崎暁寿・和田啓祐・廣瀬進一・中野良宏・矢野敏之	14
マイコン内蔵テレビ信号処理LSIシリーズ 角 克晶・鈴木淳司・山田龍浩・大井真澄・小林忠昭	18
400MHzシングルチップ・マルチプロセッサ対応M32Rコア 梶井規雄・奥村直人・金子 智	22
マイコン向けミドルウェア技術 木透康久・坂本 守・浅井 敬	26
携帯電話用人工網膜モジュール 原 邦彦・下邨研一・長瀬洋二	30
携帯機器向け第二世代32M Mobile RAM 鈴木富夫・築出正樹・佐藤広利・谷口浩二・福田達哉	34
高速版64Mフラッシュメモリ 三原雅章・中山武志・宮脇好和	38
新型SRAM 木原雄治・塩見 徹・外山 毅	42
CMOS高周波アナログ技術—Bluetoothトランシーバ— 佐藤久恭・小紫浩史	46
CMOSプロセスによる高周波デバイス技術 大森達夫・末松憲治・山川 聡	50
0.15~0.13 μ m DRAM混載ロジック技術 藤野 毅・山崎 彰・蜂須賀敦司	54
高速・高周波動作SOIデバイス技術 前川繁登・一法師隆志・岩松俊明・近藤晴房	58

特許と新案

「半導体装置」「半導体圧力センサ」	62
「半導体装置」	63

スポットライト

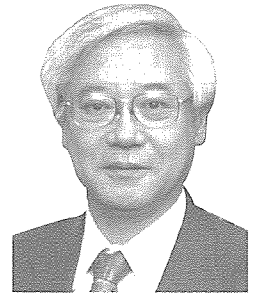
フラッシュ内蔵3.3V単一M32R/ECUシリーズ“M32171F×VFP, M32172F2VFP,
M32173F2VFP”
ノートパソコン用KBC/ECマイコン“M306K9FCLRP”

表紙

情報機器を構成するハードウェアの構造
携帯電話やデジタルカメラに代表される情報家電機器は、システムLSIやカメラモジュールなどのハードウェアとそれを制御するソフトウェアの融合物である。主要パーツであるLSIの中を覗(のぞ)くと、最小寸法は原子が数個並ぶ程度のゲート絶縁膜から始まり、それより数十倍大きいトランジスタが基本となってLSIが形成される。これらのLSIが集積されたボードや電子部品が組み合わされて、最終的に我々の眼で認識できる情報機器となる。この広がりを見ると、身近にある情報機器はソフトウェアという無形の知的技術と、ミクロの世界からマクロ世界につながるハードウェア技術の集合体が織り成す高度な知的産物であることを実感することができる。



IT集積回路の重要性



東京工業大学
フロンティア創造共同研究センター

教授 岩井 洋

20世紀最大の発明は何かと聞かれたら、迷わず、エレクトロニクス、さらにはそれが発展を遂げた集積回路であると答えている。前世紀には飛行機や原子力発電など偉大な発明が多々あった。しかしながら、これらを含め現在すべてのものが集積回路の精密な制御なしには存在しえなくなっているからである。

さて、今後の最も重要な技術分野は何かと聞かれたら、一瞬迷って、やはりエレクトロニクスであると答えるであろう。バイオがあるではないかと言われるであろう。DNA技術は今まで手付かずの領域であり、しばらくは集中してその研究開発を行う必要がある。しかしながら、英国の著名な宇宙物理学者であるS. Hawkingが述べているように、DNAの情報量やその進化の速度、脳神経系の情報伝達速度は、これを生物系から電気系に置き換えることにより飛躍的に向上することは確かであり、今後もエレクトロニクスの重要性は不変である。3、4百年後には脳を電気系に置き換えることにより永遠の夢である不老不死を実現できるまでに至るかもしれない。

SFのような話はさて置くとして、現実を見渡せば、ユビキタス情報通信システムや情報家電などがIT市場のキーワードとなっている。これはテレパシーや魔法のランプの現代版であり、また、一昔前にはSF世界の中のものであった。ITの明日は今日のSFの中にあると言えよう。

このようなITを実現させるには、ハードウェアとしての集積回路の発展が重要であることは言うまでもない。携帯電話の実現も現在のSiを中心とした集積回路がこれだけの高周波・高速信号処理をこれだけの小型軽量、高信頼性、安価で実現できるようになったことによるものであり、現在のITは半導体集積回路の上に咲いた文化である。この意味においてもシリコンの微細化を中心とした研究開発は重要である。シリコンデバイスは既に世界最小のナノデバイスであり、今後も世界の潮流はシリコンを主体としてナノの方向に押ししていく方向にある。また、シリコンをベー

スとし、これに異種機能を持ったチップを複合的に集積化していく技術も重要となってくるであろう。

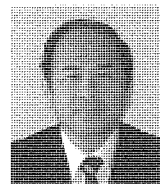
最近日本では、IT不況、半導体不況が吹き荒れており、日本の半導体各社はどん底とも言える状況が続いてきた。しかしながら、情報通信や情報処理技術は今後ますます重要になる分野である。今後の高齢者介護や若年労働者の不足を補うためには、知的作業を人間的感覚を持って代行するシステムが必要とされ、幸か不幸か、日本はこの分野で先行するのに最適の環境にある。このようにITは人類を幸せにすることができ、このような技術の開発に携わることができることは技術者の誇りであり幸せである言えよう。

ITの分野ではi-mode^(注1)、ゲーム、デジカメ、エンタテインメントロボットなど最近になって日本発のITのアプリが増えてきたことは真に心強い限りである。日本は基礎技術の重要性が叫ばれてきたが、今は再び直接应用到結び付く技術が重要な時期にきていると私は思う。我々には縄文時代も含めて1万年の文化があり“ちまちま”したものであるが、木造建築とか盆栽とかいったようなものに現れている独特の文化の底流が滔々(とうとう)と流れてきた。それが情報家電、i-mode、ゲームや漫画などにつながるものであり、外国では到底真似のできない独自の新たなアプリを生む要素となっている。

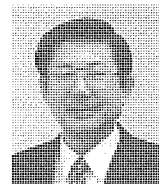
さて、最近の日本の半導体業界の再編成は急激なものであり、社内においても資源の選択と集中、意思決定の迅速化において、もたもたしている金融業界などと比べると大きな違いとなっている。思えば1980年代の初めはIntel、TIといった米国のDRAMメーカーが総崩れの時代であり、1990年代初めはPhillipsなど欧州のメーカーが半導体から撤退かといった状況にあった。いずれも、その後、見事に復活を果たしている。これからは日本が頑張る番であり、この強化した組織をもって人類の幸福をもたらすであろうITのための半導体を大いに開発していただくことを期待している。

(注1) i-modeは、(株)NTTドコモの商標である。

ユビキタス社会に向けた半導体の課題と挑戦



中屋雅夫*



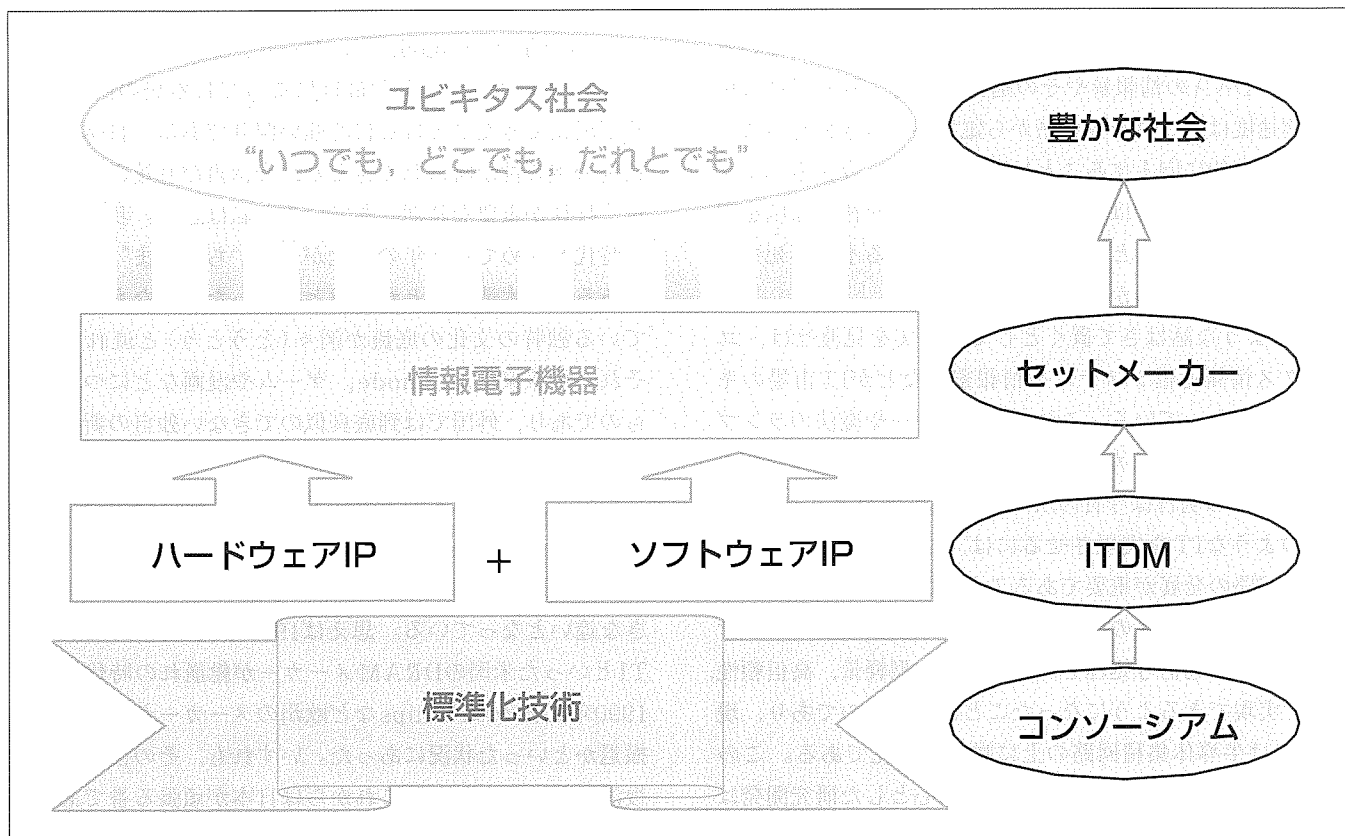
西村 正**

要 旨

LSIの進展を眺めてみると、高性能化・低価格化・高信頼度化という3本柱を中心にしてその上でいかに多様化にこたえていくかという問題提起とソリューション提供の繰り返しであったことが分かる。この解がシステムLSIとして開花し始めているが、キーになるコンポーネントとしてプロセッサコアとメモリ、プロセッサの性能を補うハードウェアアクセラレータの類、さらには応用目的別に要求される各種ハードウェアIP(Intellectual Property)群が搭載されていく。また、基本的にプロセッサコアが含まれることはソフトウェア開発が伴うことを意味し、今後ユビキタス社会が発展していく過程で情報家電を始めとしたあらゆる組込機器に対するシステムLSIの応用が拡大するためには、ハードウェア、ソフトウェア両面での整合性のとれた開発が不可欠となると考えられる。

システムLSIのハードウェアの中身は、微細化技術の進歩に支えられて高度化してきたが、技術難易度の高まりにつれて1社単独での開発負担が厳しくなりつつあり、標準プロセス及び設計IPのコンソーシアムによる開発と各社の高付加価値化を推し進める差異化技術の開発が重要となり始めている。

半導体技術の進化により“いつでも、どこでも、だれとでも”というユビキタス社会は、ブロードバンドのネットワークや無線LANを介して実現され始めつつあり、ITDM(Integrated Technology and Device Manufacturing)として三菱電機の半導体設計から製造までの開発を総合的に高度なレベルで融合することによって達成できる技術力を発揮できる時代が到来したと言える。



ユビキタス社会を構成する階層

“いつでも、どこでも、だれとでも”と言われるユビキタス社会を実現していくためには、ハードウェア及びソフトウェアの相互に協調する技術の高度化があいまって初めて実現される。これらの設計・デバイス/プロセス技術の発展を支えるベースの標準化技術の下支えの上に、これらの階層構造の中核を構成するITDMの存在意義の重みが増してきている。

1. ま え が き

LSIの進展を1970年代にさかのぼって眺めてみると、高性能化・低価格化・高信頼度化という3本柱を中心にしてその上でいかに多様化にこたえていくかという問題提起とソリューション提供の繰り返しであったことが分かる。電卓用のカスタムチップ開発競争に端を発し、ソフトウェアでのコンフィギュラビリティを求めることからマイクロプロセッサの発明につながった。メモリの拡大を基調として、その上にソフトソリューションを中心としたマイクロプロセッサ/マイコンとハードウェアソリューションを主眼としたゲートアレイ/セルベースに代表されるASICが織り成してシリコンの時代を築いてきた。ある時はソフトウェアでのカスタム化が注力され、またある時はハードウェアでのカスタム化が強調され、結果として両アプローチにより柔軟に顧客の要求に対応できる方向に進んできた。SOC(System on Chip)又はシステムLSIと呼ばれるものはキーになるコンポーネントとしてプロセッサコアとメモリが搭載され、加えてプロセッサの性能を補うハードウェアアクセラレータの類、さらには応用目的別に要求される各種ハードウェアIP群を搭載したものと考えられる。基本的にプロセッサコアが含まれることはソフトウェア開発が伴うことを意味し、今後ユビキタス社会が発展していく過程で情報家電を始めとしたあらゆる組込機器に対するシステムLSIの応用が拡大するためには、ハードウェア、ソフトウェア両面での開発環境整備が不可欠であろう。

本稿では、これらのシステムLSI及びそれを支える微細化プロセス技術の課題と挑戦について述べる。

2. パソコン時代からユビキタスネットワーク時代へ

2.1 ユビキタスネットワークとは

コンピュータはもともと軍用の弾道計算を目的として開発されたわけであるが、それ以後、計算という機能からメディアの処理を行うという大きな変革を遂げた。1980年前後から米国の主要大学はそれぞれスーパーミニコンピュータと称されるコンピュータを持ち、教員、研究者、学生はUNIXオペレーティングシステムのドキュメント作成ツールを用いて論文やあらゆる文書作成を行った。同時に、国防省の研究機構であるDARPA(Defence Advanced Research Projects Agency)によってサポートされたARPA(Advanced Research Projects Agency)ネットに接続し、電子メールによるコミュニケーションが活発化した。その後、パソコンがこれらのメディア処理の主役にとって代わりオフィスから家庭まで深く入り込んでいるのは周知の事実である。一方で、コンピュータは、家電機器、自動車を始めとして直接的には目に見えないいろいろな機器に埋め込まれている。情報家電と称される応用製品群には白

物家電、AV機器、携帯電話、その他ポータブル機器、自動車等がある。処理そのものもパネルやセンサから得られた情報に基づき、単に時間、温度等を制御するものからインテリジェンシーを付加した制御に変わってきた。AV機器では、デジタルTV、デジタルビデオディスク等映像、オーディオ情報を処理するため機器の制御機能に加えて、膨大なデジタル情報をハンドルするための画像圧縮伸張等の処理も行われている。今後これらの情報家電機器がすべて何らかの形でネットワークに接続され、人間と機器、又は機器間で協調した有機的な動作をする環境が構築されつつあり、これが正にユビキタスネットワークと呼ばれるものである。

2.2 ユビキタスネットワークに要求される技術

情報家電分野の機器を支える半導体デバイスには、汎用品としてMCU(Micro Controller Unit)とメモリチップ、特定分野向け標準チップであるASSP(Application Specific Standard Products)、さらに専用のカスタムチップ(ASIC)又はアナログチップ、個別半導体等多岐にわたるチップ群がある。今後、この個別LSIで実現されているシステムは、高性能化・低電力化・低価格化を目指すため、ますます集積化が進められシステムオンチップとして実現されていく。これらの多様化する応用に対応したチップ開発に対応するためにはシステムLSI設計技術の確立が不可欠であり、この中には、システムLSIのコンポーネントとなる各種IPデータベースの構築、LSIライブラリの整備、及びその設計をサポートする設計手法、EDA環境の構築が重要な課題である。システムLSIはその中にプロセッサ/マイコンを要素として含むものであり、システム構築にはハードウェアとソフトウェアの両面での開発が伴う。情報家電分野でのソフトウェア開発は、年々複雑化し、かつパソコン用のソフトウェアに比べて流通・再利用の環境が非常に脆弱(ぜいじゃく)であり、今後のソフトウェア生産性が大きな問題となっている。このため、オープンなソフトウェア開発環境をいかに構築するかが非常に重大な課題となっている。ハードウェアでは、システムLSIとしてすべてオンチップに集積することが必ずしもコスト面で最適な解を与えるとは限らない。異質のデバイスのインテグレーション、又は単独部品が非常に安価で提供されている場合には、システム実現でもう一つのソリューションを提供する手法としてSIP(System in a Package)技術も活発に開発されている。

3. システムLSIの動向

3.1 システムLSIチップの技術トレンド

ITRS(International Technology Roadmap for Semiconductors)のロードマップ2002年版(表1)によれば、高性能MPU、ASICの量産レベルでの集積度トレンドは2001年で

の97Mトランジスタ(Tr)から2004年の193MTr, 2007年では386MTrまで集積されると予測されている。1971年に開発された最初のマイクロプロセッサ4004の2,300Trと比較すれば実に5けた以上の集積規模拡大である。同様に、動作速度(一般的にクロック周波数で表現される)についても、2001年の1.7GHz近辺から2004年には4GHz, 2007年には6.7GHz程度的高速動作が予測されている。これも、1971年の4004の108kHzから比べれば4~5けたの高速化である。これらのトレンドを支えているのが製造技術での進歩であり、具体的には加工技術の微細化、チップの大面積化、Si基板の大口径化、製造ラインのクリーン化/高度化を挙げることができる。この製造技術の進化は設計コストの上昇、チップコストの上昇、製造設備投資の増大などのデメリットを生じるものであるが、それにもまして、性能向上・機能向上など、LSIの価値を高め、総合的なコストを低減することに寄与している。したがって、この価値がある限りシステムLSIの技術トレンドは継続していくだろう。

表1. ITRSの示すMPU仕様トレンド

年	2001	2004	2007	2010	2013	2016
MPU仕上がりゲート長(nm)	65	37	25	18	13	9
DRAMハーフピッチ(nm)	130	90	65	45	32	22
MPU						
チップサイズ(mm ²)	140	140	140	140	140	140
容量(Tr./chip)	97M	193M	386M	773M	1,546M	3,092M
周波数(MHz)	1,684	3,990	6,739	11,511	19,348	28,751
電源電圧(V)	1.1	1.0	0.7	0.6	0.5	0.4
消費電力(W)	130	160	190	218	251	288
DRAM						
Cell area(μm ²)	0.130	0.049	0.024	0.012	0.004	0.002
容量(bits)@production	512M	1G	4G	8G	32G	64G

International Technology Roadmap for Semiconductors, 2002 Update

3.2 システムLSIの価値連鎖

システムLSIはシステム仕様から製品としてのLSIができるまでに数多くの工程がある。ハードウェア仕様が決まれば、以降、方式/機能設計→論理設計→レイアウト設計→ウェハ製造→テスト/アセンブリ→の工程を経る。これらの各工程の間のインタフェース、例えば方式/機能設計と論理設計の間にはRTL(Register Transfer Level)と称されるインタフェース、論理設計とレイアウト設計の間にはネットリストと言われるインタフェースがある。従来はシステム仕様からシステム製品までを1社で行っていたが、インタフェースの確立とともに、複数の会社で業務を分担することができるようになってきている。ファブレスと呼ばれる設計会社はRTLレベル又はネットリストレベルまでの設計を行い、後は製造会社であるファウンドリーに任せ、できた製品でビジネスを行うようなビジネスモデルを採っている。システムLSIの工程で、各社が得意なところに注力しビジネス展開が行われている。一方で、微細化の進展に伴いシグナルインテグリティに代表されるLSI物理設計レベルでの課題がクローズアップされ、上述したLSI工程のインタフェースの再見直しが必要となっている。このことは、システムLSIにおけるビジネスモデルの変革をもたらすものとも考えられる。

4. 次世代32ビットプロセッサの開発

4.1 プロセッサコア

システムLSIのキーコンポーネントである32ビットプロセッサコアの開発ロードマップを図1に示す。基本的な考え方は二つあり、まず第一点は、ダウンサイジングの進行とシステムオンチップ化の流れを踏まえた適応性に富む32ビットプロセッサのハードマクロ及

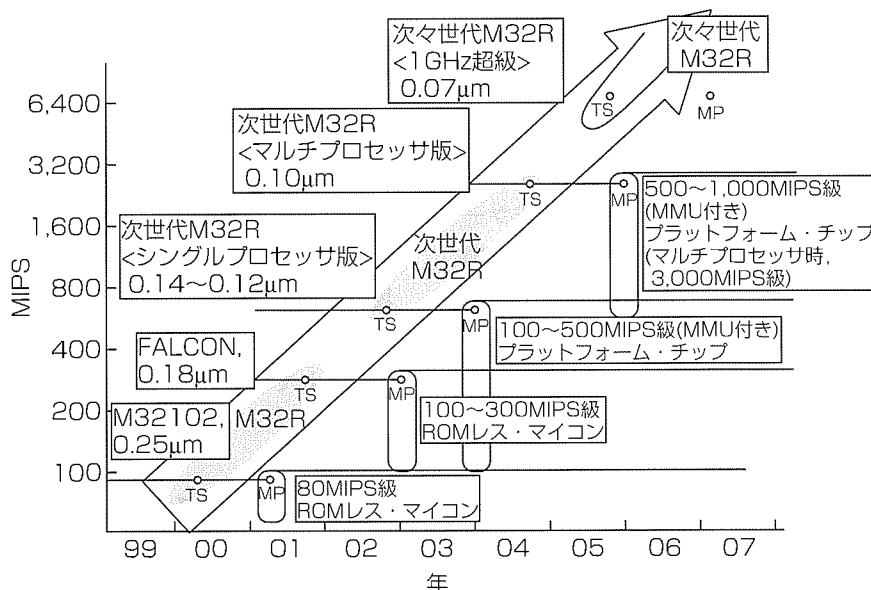


図1. M32Rの開発ロードマップ

ソフトマクロの開発とそれを用いたプロセッサ製品群の開発である。第二点目は、前述した組込機器ソフトウェアミドルウェアの生産性の課題に対応しソフトウェアの流通性向上を図るソフトウェアプラットフォームの開発である。図2は最新のプロセステクノロジーにより内部216MHz@1.8V動作を実現した32ビットマイコンのチップ写真を示す。このチップは、CPUの動作を高速化する命令&データキャッシュメモリを内蔵し、かつCPUワーク用に高速SRAMを内蔵(命令&データRAMとして使用可能)している。また、システム性能と消費電力の適切なバランスをとるため、CPUコア、周辺機能、外部バスのクロック比が選択可能である。周辺回路として高機能DMAコントローラ、タイマ、シリアルI/O、A-D変換器など豊富に内蔵している。

4.2 オープンプラットフォーム

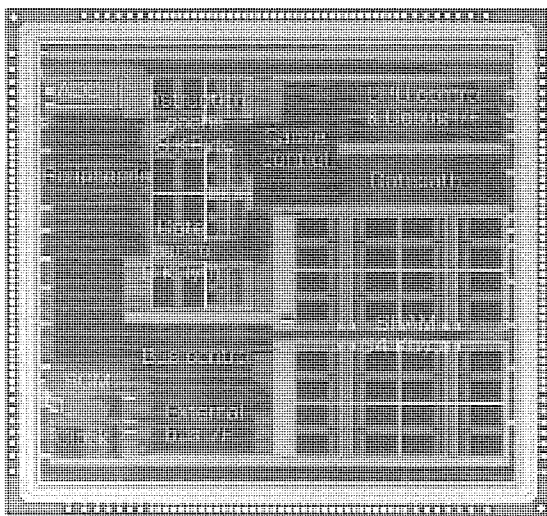


図2. 32ビットマイコンのチップ写真

システムLSIは、内部にプロセッサコアを持つため、システム設計の過程でソフトウェア開発を伴う。このソフトウェア開発、ソフトウェアの実行を行う基盤となるハードウェアと基本ソフトウェアの組合せはプラットフォームと呼ばれる。家電製品、自動車のように我が国が高い製品シェアを誇ってきたMCU組み込み機器の分野では、国産のプラットフォーム(MCUや基本ソフトウェア)が高いシェアを持っている。しかし、問題は組み込みMCUのプラットフォームが、製品分野ごとに、又はメーカーごとにばらばらに開発されてきたことにある。それぞれのプラットフォーム上のソフトウェアがネットワークを介して互いにデータをやり取りするのは簡単ではない。2つのプラットフォーム間でデータの形式などの様々な違いがあるために多くの問題が発生し、また、プラットフォームが異なるとそこで実行できるソフトウェアも異なるため、たとえ同じ機能であってもプラットフォームごとに別のソフトウェアを開発しなければならず、ソフトウェアの共通化や流通ができない。

これからのプロセッサを内蔵したシステムLSI組込機器の分野でも、早急に共通プラットフォームの開発を進めなければ新製品の開発やソフトウェア産業の育成が阻害されることになる。

これらの課題に対応するソリューションとして、システムLSIの共通プラットフォーム開発が急務である。すなわち、異なるシステム・メーカーの間でも、共通に利用できる①小型・低消費電力MPUコア、②基本ソフトウェア(OS、ネットワーク・ソフトウェア)からなるSOCプラットフォームを開発することによって標準のシステム開発環境を提供することである。このコンセプトと応用製品へのかかわり方を図3に示す。基本ソフトウェアであるオペレ

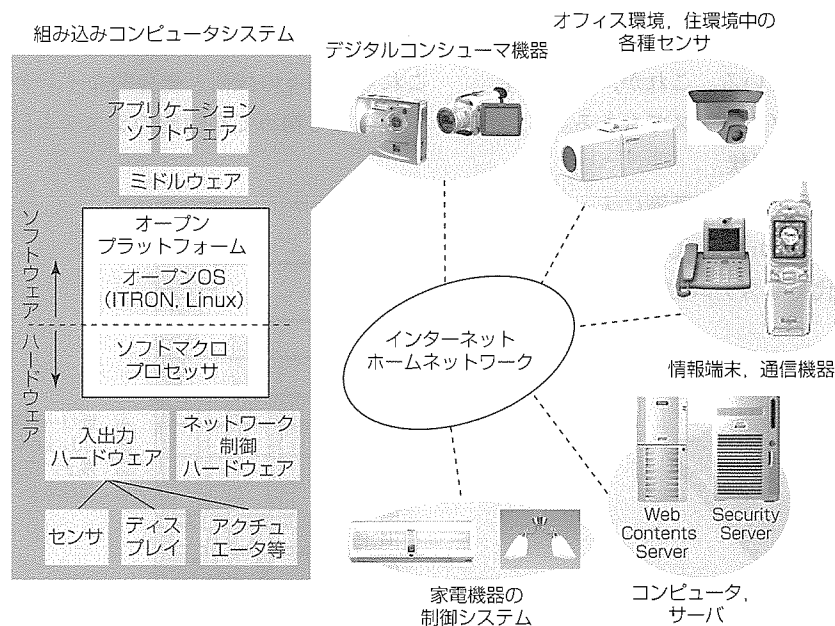


図3. オープンプラットフォームのコンセプトと応用製品

ーティングシステムは、オープン・ソフトウェアとしての実績が出ているLinux、ITRONが最適である。同様に、システムLSIのハードウェアキーコンポーネントであるプロセッサのオープン化も極めて重要な要素となる。プロセッサ設計技術を最近のソフトマクロ設計技術の採用により公開すれば、プラットフォームの採用が促進され、従来困難であった共通化が可能になるものと期待される。このように、コンピュータのハードウェア／ソフトウェア双方の設計データを公開して開発を行うことは組み込みシステムの持つ巨大な潜在市場を掘り起こすための有効な手段であると考えられる。図4はオープンプラットフォーム化の動きの中でソフトウェア開発プラットフォームの一例である μ Tエンジンボードを示す。これらの取り組みにより、ハードウェア／ソフトウェア双方の設計資産の活用が促進されていくことになる。

5. 製造技術の動向と課題

5.1 微細化のトレンドとその背景

ハードウェアを構成するLSIは、微細化することによってその性能向上(動作速度向上やトランジスタ当たりの消費電力削減、単位面積当たりの機能の強化)を実現してきた。微細化の考え方は、小さくしてもトランジスタ内部の電界を一定に保つスケール則がベースになっており、ロードマップと呼ばれる長期的な技術のトレンドも基本的にはこの考え方に基づいて作成されている。表1に示したように、DRAMビット線のハーフピッチは3年ごとにほぼ $\times 0.7$ 倍に微細化され、集積度の向上と並行してその動作周波数を向上させていくトレンドとなっている。

コスト的には、微細化という付加価値を付けるためにプロセスは単純には高くなっていく。プロセス装置の値段も十年前と比べると上昇してきているが、同じ機能や性能で比較すると、Si基板の大口径化とあいまって世代ごとにチップコストは確実に低下してきている。これが、半導体産業を押し進めているドライビングフォースでもある。

5.2 デバイス／プロセス技術の現状

現在実用化に向けて最終的な仕上げの段階に入っている技術は、テクノロジーノードで90nm世代のデバイス／プロセス技術である。この世代でシステムLSIを実現するた

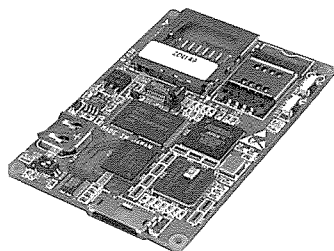
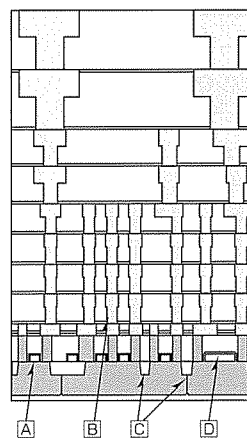


図4. μ Tエンジンボード

めにキーとなるプロセス技術を図5に示す。まず、リーク電流が少なく、かつオン電流のとれるトランジスタ技術が重要となる。リーク電流は、待機時の消費電力に効くためゲートをオフにしたときのソースとドレイン間のリーク電流だけでなく、薄膜化されたゲート絶縁膜を貫通するゲートリークの低減も重要なポイントとなる。90nm世代で使用される2nm程度のゲート絶縁膜の膜厚では量子効果の起きる領域に入っており、ゲート電極とSi基板間に流れるトンネル電流がソースとドレイン間のリーク電流と同等レベルになってくるため、オン電流の確保を考慮しながら設定する必要がある。また、ゲート絶縁膜の信頼性を確保するための工夫も必要になってくる。二番目は、LSIの速度性能に影響を及ぼすCu/Low-k配線技術である。単にトランジスタの性能を上げて配線の持つ寄生容量がチップとしての速度性能に大きく影響を及ぼすようになってきており、配線の低抵抗化と層間絶縁膜の低比誘電率化が重要になってきている。従来のアルミ配線よりも30%程度低抵抗化できる銅配線化と比誘電率の小さい層間絶縁膜材料への変更が不可欠となる。三番目に、微細化を進める技術として、隣接するトランジスタを電気的に絶縁する素子分離技術とウェル分離技術が重要となる。単にトランジスタを小さくしただけでは素子の集積度の向上は限られており、その周りの素子分離領域及びトランジスタを形成するウェル領域間の縮小化技術も重要である。これらの総合的な微細化が進んで初めてLSIとしての集積度が高められる。四番目として、トランジスタ周りの速度性能に影響を及ぼすコバルトシリサイド化技術も高速動作を実現するために重要となる。ソースとドレイン領域及びゲート電極の材料はSiであり、この領域を低抵抗化するためにコバルトをスパッタ法で堆積(たいせき)し、熱処理でシリサイド化反応を起こして低抵抗領域を形成するが、微細な領域まで均質なコバルトシリサイド層を形成することがポイントとなる。これらの個々の技術と総合的なインテグレーションの技術が融合して初めて高性能のシステムLSIが実現されること



- Ⓐ: 低リーク高性能トランジスタ技術
- Ⓑ: Cu/Low-k高性能配線技術
- Ⓒ: 素子/ウェル分離技術
- Ⓓ: コバルトシリサイド化技術

図5. 90nm世代ロジックのキープロセス

になる。松下電器産業(株)との共同開発による90nm世代対応のシステムLSIデバイス／プロセス技術の詳細を次の論文で紹介する。

5.3 微細化の加速と技術の分化

微細化により高性能化が図れることは上述したとおりであり、ここ数年その微細化の技術開発に拍車がかかっており、国際半導体技術ロードマップに示されている技術開発のタイミング(DRAMビット線のハーフピッチで定義されるテクノロジーノード)は、図6に示すように、改訂版が出されるたびに加速されてきている。しかし、幾度となく言及されてきたスケーリングの限界が量子効果の発現やスケーリングしないパラメータの影響でターニングポイントを迎えつつあることは事実である。既に、電源の低電圧化に伴い駆動能力の高い高性能トランジスタとスタンバイ時のリーク電流の少ないトランジスタは両立しなくなり、異なる構造のトランジスタに分化しだしている。これは、単に閾値(しきいち)電圧の制御だけでは対処できないということで、このため一つのLSIに形成されるゲート絶縁膜の膜厚が2種類又はそれ以上に増えようとしており、今後、細かいニーズに対応し、標準的なプロセスだけでは実現できない高付加価値化できる差異化技術の実現も重要となってくる。

6. 半導体産業の環境と将来

6.1 半導体産業を取り巻く環境

前にも触れたが、大量のLSIを生産することによって高騰する半導体開発費に対応するファウンドリと呼ばれるウェーハプロセス請負を専門とした専業メーカーが現れ、これに呼応してLSIのシステムや回路設計のみ特化したファブレスと呼ばれる専業メーカーも現れ、半導体産業の水平分業化が進んできている。これに対応して、垂直統合型の形態を維持している日本の半導体メーカーは、現状のIT不況に連動した形で半導体産業そのものの構造不況を指摘されるようになってきている。

しかし、LSIそのものは電気を使用する身の回りのほぼすべての機器に組み込まれており、LSIなくしては我々の生活が成り立たない状況になっており、さらに今後新たに提案されるであろう情報家電の各種機器や医療、看護、環境などに取り組む場面でもこれをサポートする機器には必ずLSIが組み込まれて重要な役割を果たしていくことになる。つまり、半導体機器は、ユビキタス社会と言われる

“いつでも、どこでも、だれとでも”情報のやり取りが可能な社会を実現していくためにはなくてはならないものであり、その重要性は当面変わることはない。

ただ、その過程の中で、技術開発の難易度の高まりに対応して開発投資の肥大化が、適切な開発スタンスの維持を難しくしていることも事実である。このため、日本の標準化プロセスを共同で開発し開発費負荷の削減を目的としたプロジェクトもスタートし、日本の半導体産業そのものの再構築が進められようとしている。

6.2 垂直統合型半導体ビジネス戦略

上述したように1990年代に入って大量生産のフェーズでファブレス+ファウンドリという水平分業型のモデルが成功を収めてきたが、今後、個人々人に対応していくためにニーズは細分化し、それに対応するためのLSIの技術も多様化していかざるを得ない。特にシステムLSIの世界では大量に生産する形態から設計とデバイスのリンクしたニーズに対応したきめ細かい対応が必要になり、最終的な機器まで見通した開発の行える垂直統合型メーカーのノウハウが重要になってくる。

このように細かいニーズにマッチングした技術開発が重要になっていくということは、各社の持つ個別の差異化技術をどう生かしていくのかということがビジネス展開の重要なポイントになることを意味する。また、回路設計者とデバイス設計者の協力によってデバイスの物理的な限界を乗り越えていくことも重要となる。

6.3 今後のビジネス展開

今後の半導体ビジネスの展開を考えると、まず基本となる標準ウェーハプロセスをコンソーシアムで共同して開発しベース技術開発の負担を軽減すること、さらに、世界に負けない開発スピードを確保することが、オーバーヘッドの重たい日本でビジネスを展開・継続していくために重要な選択となる。現在、日本では、基礎基盤技術にウェートを置いた“MIRAIプロジェクト”、65nm世代のプロセスモジュール開発に重点をおいた“あすかプロジェクト”、さらに90nm世代の日本標準となるCMOSプロセスから設計IPまで含めたSOCプラットフォームの確立を目指す(株)先端SoC基盤技術開発(ASPLA社)が活動を始めており、日本半導体産業の再生に向けて、これらのプロジェクトへの期待は高い。

ビジネス展開は、これらの各プロジェクトの成果をベースとして、各社の持ち味を出す差異化技術を付加して進め

	'97	'98	'99	'00	'01	'02	'03	'04	'05	'06	'07
94 Ver.		0.25			0.18			0.13			0.10
97 Ver.	0.25		0.18		0.15		0.13			0.10	
99 Ver.			0.18	0.16	0.15	0.13	0.12	0.11	0.10		
01 Ver.		(μm)			0.13	0.115	0.10	0.09	0.08	0.07	0.065

図6. ITRSのテクノロジーノードの加速

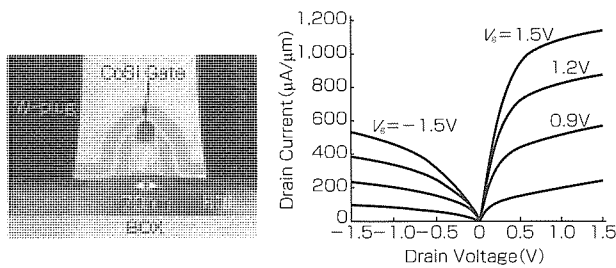


図7. ボディ固定型高性能SOIトランジスタ

ていくことになる。当社は、約10年前からSOIデバイスの特長を引き出すための技術開発を継続してきており、図7に示すような高性能SOIトランジスタの開発を行っている。当社の開発しているSOI構造は、基板の電位を固定でき、今後重要となるソフトエラー問題に対処でき、信頼性の高いLSIを提供できるという意味で高付加価値化が期待できる。また、昨年末のIEDMで発表した局所ひずみシリコントランジスタ技術は、図8に示すように高価なSiGeを用いたひずみSi基板を用いることなく高駆動能力を実現しており、標準版にプラスした形で高性能のトランジスタ提供が可能となる。また、各種ニーズに合った高性能のシステムLSIを実現するためにSOCを実現するメモリ混載プロセス技術、別々に形成したチップを一つのパッケージに収めるSIP技術、さらにシステム全体の最適化を念頭に置いたSOBなどの取り組みは、垂直統合型の半導体メーカーにとって、力を発揮することができるビジネス環境になってきたと言える。

また、すべての技術を単独の会社で確立していくことは開発負荷を考えると合理的ではない。それぞれの強みを補完し合うような強者連合によるビジネス展開を考えていく必要がある。今年4月に当社のシステムLSIに関連する部門は日立製作所の半導体部門と統合して、“櫛ルネサステ

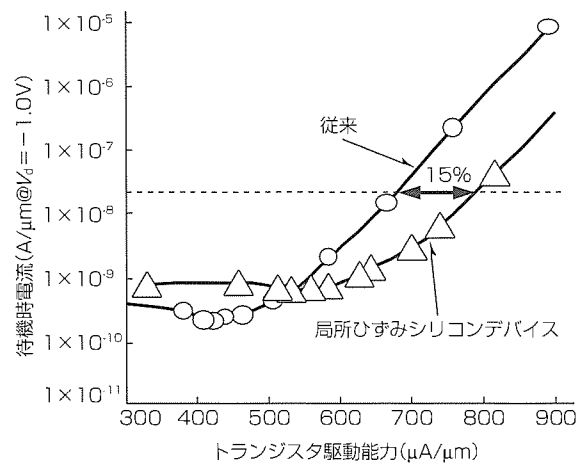


図8. 局所ひずみSiトランジスタによる特性の改善

クノロジー”としてビジネスを展開していくことになる。新しい会社のマイコンの売上げは世界でトップとなり、システムLSIを柱として、ユビキタス社会の実現に寄与できる半導体メーカーとして、活躍の場を広げていくことになる。

7. む す び

パソコンベースの半導体ビジネスからユビキタス社会に向けたシステムLSIビジネスの概要を展望し、今後のビジネス展開をにらんだ技術開発の進め方を紹介した。半導体技術の進化により、“いつでも、どこでも、だれとでも”というユビキタス社会が、ブロードバンドのネットワークや無線LANを介して実現され始めつつあり、ITDMとして当社の半導体設計から製造までの開発を総合的に高度なレベルで融合することによって達成できる技術力を発揮できる時代が到来したと言える。

90ナノメートル世代のシステムLSI技術

栄森貴尚* 森 義弘***
塚本和宏* 宮永 績†
牧野博之** 初田次康†

要 旨

松下電器産業(株)と三菱電機(株)の協業プロジェクトにおける共同開発の成果として、9層銅配線・低誘電率層間絶縁膜を適用し、面積 $1\mu\text{m}^2$ を切るSRAMセルを実現する90ナノメートル世代システムLSIプロセス技術を開発した。主な技術は、SRAMセルを小さくする微細化技術、ゲート電極の低抵抗化と低接合リーク電流を実現するコバルトシリサイド技術、配線間容量を低減しかつ微細加工性にも優れるLow-k材料を層間絶縁膜に用いた銅配線技術などである。

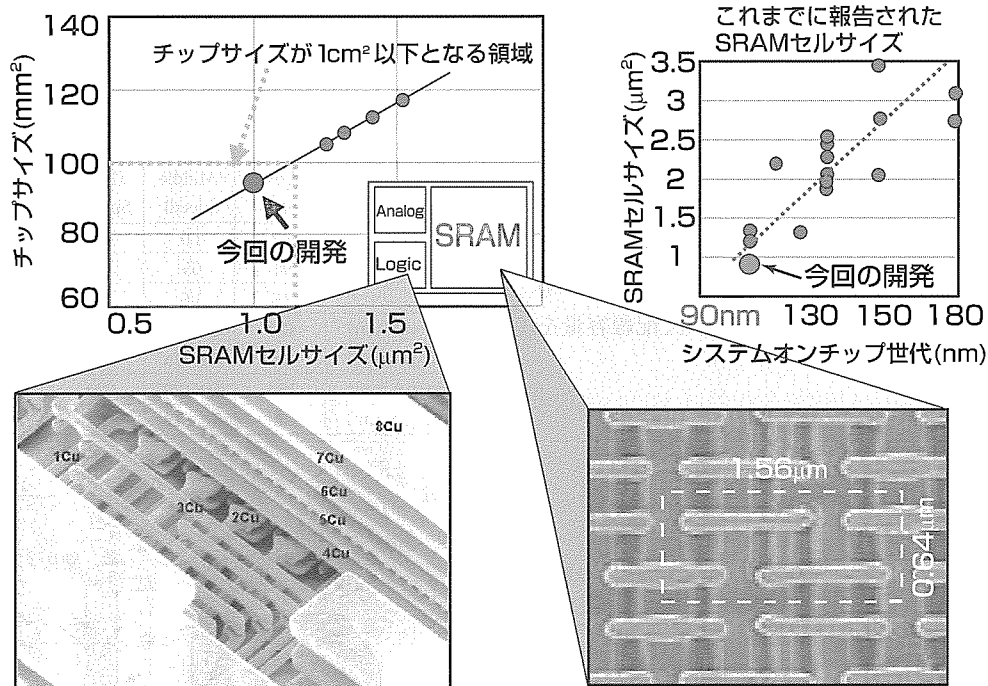
SRAM部は、独自の微細ウェル分離技術とセルレイアウトの工夫により、6個のトランジスタから構成される6Tr-SRAMセルでは高密度版として世界最小の $0.998\mu\text{m}^2$ を達成した。

シリサイド技術として、窒素イオン注入技術を利用した新開発の2層構造コバルトシリサイドプロセスにより、低抵抗ゲート電極と接合リーク電流抑制を両立させ、トランジスタの高性能化を実現した。この技術は65ナノメートル世代まで適用可能である。

さらに、層間絶縁膜には、誘電率が低くかつ微細加工性及び強度の優れたLow-k材料を開発し、配線容量を大幅に低減し高速化を達成した。

この90ナノメートル世代システムLSIプロセス技術により、140万トランジスタ/ mm^2 という130ナノメートル世代比で約2倍の高集積化が実現され、大規模SRAMを内蔵した1億数千万以上のトランジスタを持つ大規模システムを 1cm^2 以下のチップに搭載することが可能となった。

10Mゲートロジックと32MSRAMを搭載したときの90nm世代SOC



今回開発したLow-k(=2.8)を用いた銅の多層配線 今回開発したセルサイズ $0.998\mu\text{m}^2$ の高密度SRAM

10Mゲートロジックと32MSRAMを搭載したときの90nm世代SOC

この90nm CMOSプロセス技術を使えば、10Mゲートロジックと32MビットSRAMを搭載したシステムLSIを 1cm^2 のチップに集積できる。ロジック部のゲート密度は 350K ゲート/ mm^2 であり、また $0.998\mu\text{m}^2$ のSRAMセルサイズは、6トランジスタ型の標準SRAMとしては、2002年末時点で世界最小である。

1. ま え が き

現在のネット社会は、インターネットを起爆剤として情報端末とホームネットワークの時代に進化しつつある。このような状況の変化は、LSIの高性能化・小型化・低消費電力化、さらには多機能化への要求を加速させている。2年ごとの見直しのたびに技術世代の前倒しをしてきた国際半導体技術ロードマップITRS(International Technology Roadmap for Semiconductor)は、その最新版で90ナノメートル世代の量産を2004年としている。

三菱、松下両社は、このような要求にこたえるため、次世代システムLSI技術の共同開発を開始し、2001年6月に130ナノメートル世代混載DRAM技術の開発を完了し⁽¹⁾、更に微細化を進め、90ナノメートル世代のシステムLSI技術を開発した⁽²⁾⁽³⁾。

本稿では、この90ナノメートル世代のシステムLSI技術の、特に新規プロセス技術について述べる。

2. 90ナノメートル世代システムLSIプロセス技術

2.1 主な技術概要

図1に90ナノメートル世代システムLSIの主要プロセス技術を示す。主な技術は、ゲート電極の低抵抗化と低接合リーク電流を実現するコバルトシリサイド技術、配線間容量を低減しかつ微細加工性にも優れたLow-k層間絶縁膜材料を用いた銅配線技術、SRAMセルを小さくする微細化技術の大きく3つである。

低抵抗電極層を形成するシリサイド技術には、窒素イオン注入技術を利用した新開発の2層構造コバルトシリサイドプロセスを適用した。この技術は、ゲート電極の低抵抗化と低接合リーク電流を両立させ、トランジスタの高性能化を実現する。この技術はまた、65ナノメートル世代まで適用可能である。層間絶縁膜には、誘電率が低くかつ微細加工性及び強度の優れたLow-k材料を開発し、配線容量を

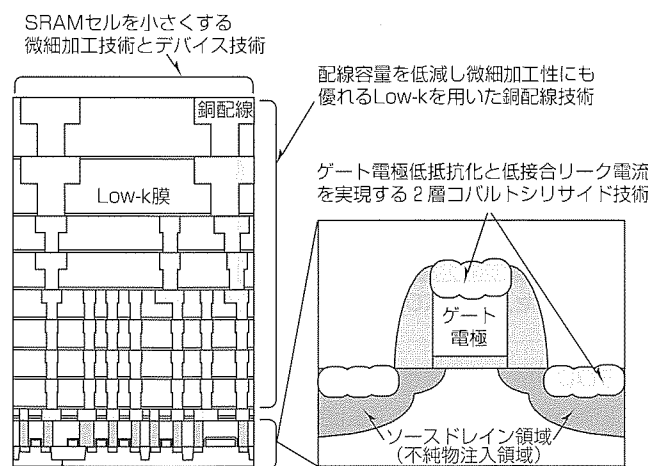


図1. 90nm世代システムLSIの主要技術

大幅に低減し高速化を達成した。

SRAM部は、独自の微細ウェル分離技術と直線を多用したリソグラフィにやさしいセルレイアウトの工夫により、6個のトランジスタから構成されるSRAMセルでは世界最小の高密度版SRAMセル0.998 μm^2 を達成した。表1に90ナノメートル世代システムLSIのデバイスパラメータとデザインルールを示す。コアとなるトランジスタは3種類を用意している。

次に各新規技術のポイントを紹介する。

2.2 低抵抗シリサイド技術

ゲート電極とソースドレインのSi露出部に自己整合的に低抵抗のシリサイド膜を形成する技術をシリサイド技術と呼んでいる。現在はCoSi₂がスタンダードとなっているが、微細化が進むにつれ、熱処理によるCoSi₂の熱凝集とCoの異常拡散の制御が一層問題となってきた。前者はゲート電極細線抵抗の上昇を、後者は接合リーク電流の増加を招く。これまではこの課題に対しCoの膜厚と熱処理の最適化で対処してきたが、90nm世代以降では、このアプローチの破綻(はたん)が報告されていた⁽⁴⁾。今回我々は、N₂注入を用いてCoSi₂膜の構造を2層化するアプローチにより、ゲート電極細線抵抗上昇と接合リーク電流上昇を同時に抑制する新しい技術を開発した。

図2に、2層CoSi₂膜の模式図とプロセスフローを示す。我々は、N原子をイオン注入によりCoSi₂膜の深さ方向の中心位置付近に導入した。この後、アニールにより2層

表1. 90nm世代システムLSIの仕様

Items	デバイスパラメータ			デザインルール		
	Type	LL (Low Leak)	MS (Middle Speed)	HS (High Speed)	Layer	L/S(μm) (Design)
Vdd(V)		1.2	1.0	1.0	Isolation	0.11/0.14
Lg(μm)		90	65	45	Gate	0.09/0.16
Tox(nm)		2.0	1.6	1.4	Contact	0.12/0.14
PMOS	Ion($\mu\text{A}/\mu\text{m}$)	400	650/540	800	Metal1	0.12/0.12
	Ioff($\mu\text{A}/\mu\text{m}$)	4p	5n/1n	30n	Via1-4	0.14/0.14
NMOS	Ion($\mu\text{A}/\mu\text{m}$)	150	260/205	320	Metal2-5	0.14/0.14
	Ioff($\mu\text{A}/\mu\text{m}$)	4p	5n/1n	30n	Via5-6	0.28/0.28
					Metal6-7	0.28/0.28
					Via7-8	0.50/0.90
					Metal8-9	0.70/0.70

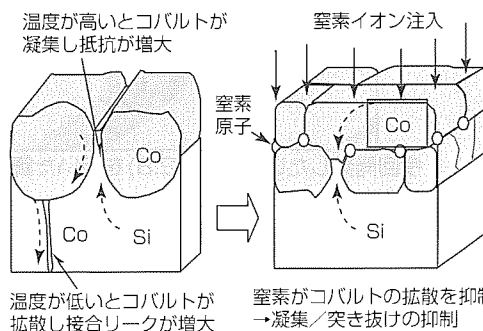


図2. コバルトシリサイド技術

CoSi₂膜が形成される。N原子はCoの拡散を抑制し、また、Co₃Si₂膜中のN濃度によって、Co+Si→CoSi→CoSi₂の一連の反応速度に違いが生じるため、2層のCoSi₂が形成されると考えられる。

この結果、例えば上層のCoSi₂が熱凝集により断線しても、下層のCoSi₂が断線しなければ、CoSi₂膜全体としては、断線不良に至らない。したがって、ゲート細線断線の発生確率が低減できていると考えられる。

図3に、2層CoSi₂の断面TEM像をN₂注入のない従来のCoSi₂単層膜と並べて示す。N₂注入のない従来のCoSi₂単層膜は、2ndRTAでの形成温度700℃でCo異常拡散によるSi(111)ファセットが観測され、また、900℃でCoSi₂の熱凝集が観測される。一方、2層CoSi₂では、700~900℃で、ラフネスの小さいCoSi₂/Si界面が形成され、さらに、異常拡散、熱凝集とも観測されていない。2層の界面は、SIMS解析でCoSi₂膜中のNの濃度ピーク位置と一致し、ここではCoの濃度が減少していた。図の下段に700℃で2ndRTAを行ったトランジスタの断面TEM写真を示す。ゲート電極とソースドレイン部の2層CoSi₂層が観測される。

図4は、ゲート細線抵抗のゲート長依存性と接合リークの測定結果である。従来の単層CoSi₂ではゲート長が80nm付近からシート抵抗が上昇し値もばらついているが、2層CoSi₂ではゲート長35nmまでシート抵抗は4Ω/sqで安定し

ばらつきも小さい。また、接合リークに対しても、2層CoSi₂はばらつきが小さく、N型、P型ソースドレイン共に1E-10 A/cm²以下を実現している。

2.3 Low-kを用いた銅配線技術

従来の配線材料であるAlに比べ低抵抗であるCuは、同じ配線抵抗を得るのに膜を薄くできるため、配線間の容量を低減することができる。しかし、配線遅延をより効果的に減らすことはCu配線だけでは困難であり、低誘電率材料を層間絶縁膜に用いることが必要となる。一方、CuはSiにとって汚染物質であり酸化膜中での拡散係数も大きいいため、例えばSi₃N₄やTa₂Nなどのバリア膜で覆い拡散を防ぐ必要がある。層間絶縁膜としてはこれまでSiO₂ (k=4.3) やふっ素を添加したFluorosilicate glass (FSG又はSiOF: k=3.7) などが用いられてきたが、さらに比誘電率の低い材料が求められていた。材料を低誘電率化するためには、密度をできるだけ小さくすることが必要で、無機材料、有機材料及びその混合物などの様々な材料が検討されているが、力学的強度が劣化したり、放熱特性が悪くなったり、吸湿性や透湿性が増したり、さらには不純物拡散に対するバリア効果が減少するという問題点があった。

我々は、90nm世代の層間絶縁材料に比誘電率が2.8のSiOC膜を、銅拡散防止及びビアエッチストップとして銅配線の上部に付けるキャップ膜に比誘電率が4.8のSiC膜を採用し、開発した。図5に、Low-kを用いた4層銅配線の断面SEM写真を示す。SiOC膜は、SiO₂膜には若干劣るものの、低誘電率膜の中では高い硬度と弾性率(ヤング率)を持っており、変形しにくく半導体プロセスに十分な耐久性を持っている。SiC膜は、従来のSi₃N₄膜(k=6.4)と比べ比誘電率が約30%低減し、かつ銅拡散防止及びビアエッチストップとしての機能も併せ持っている。

図6は、これらのLow-k材料を層間膜に用いたときの配線容量値である。配線間絶縁膜/キャップ膜がFSG膜/SiN膜のときに比べ、配線間絶縁膜をSiOC膜に変えると配線容量は約10%低減し、さらにキャップ膜をSiC膜に変えると更に5%低減し、配線容量による遅延を低減する。本稿の要旨のページに、8層まで見えているこの90nm世代の銅配線の鳥瞰(ちょうかん)写真を載せている。

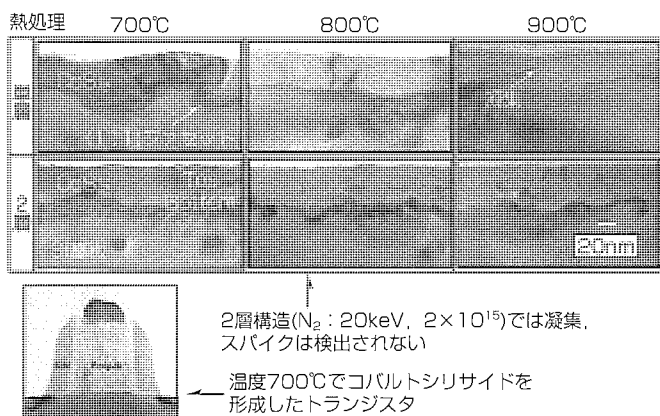


図3. 2層構造コバルトシリサイドの断面写真

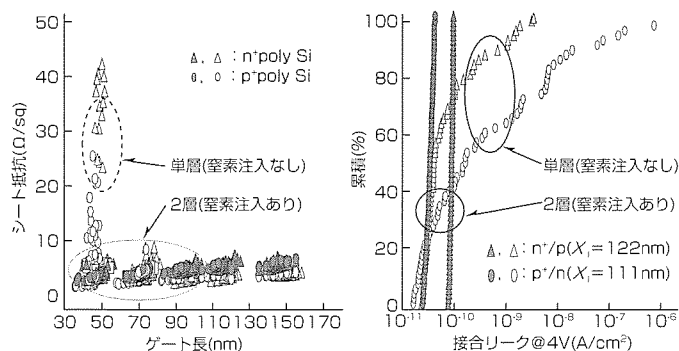


図4. 2層コバルトシリサイドの特性

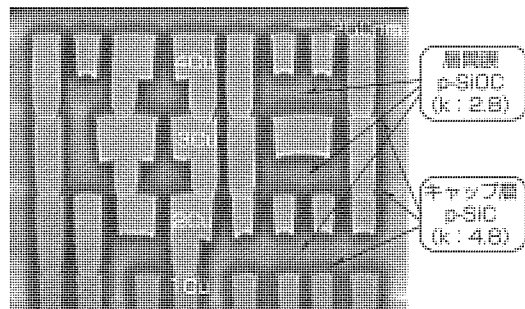


図5. Low-k絶縁膜を使った銅配線技術

2.4 SRAMセル微細化技術

SRAMセルを微細化するに当たり、我々は、セルデザインとウェル分離の2つの観点から技術の検討を進めた。

1つ目の鍵(かぎ)であるSRAMセルデザインは、形状加工の観点から、セルがほぼ正方形となる標準型セルに代わりセルが長方形となる横長型セルを採用した。図7に、今回用いたSRAMセルレイアウトを示す。同じデザインルールを用いるとどちらも同程度のセル微細化が可能であるが、図で見ると、横長型セルの方が活性領域やゲートが直線状にレイアウトされリソグラフィにやさしくなる。図8上部に、活性領域とゲート電極について、ArFリソグラフィの光学像と仕上がり写真を示す。図8の下部は1層目の銅配線の光学像とダマシン後の仕上がり写真である。いずれも、高精度でチューニングされた光学補正のCAD技術を用いて最適化している。

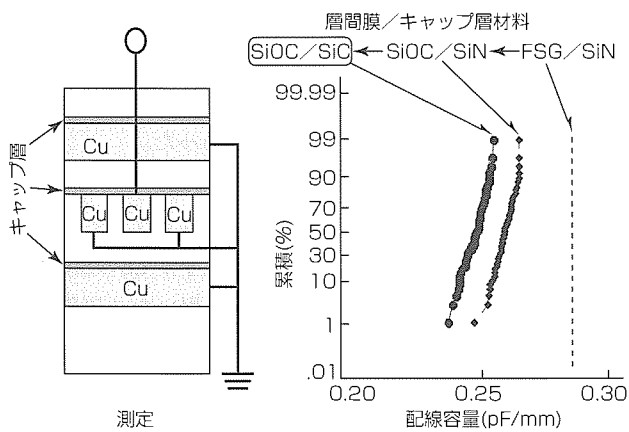


図6. Low-k層間膜/銅配線の配線容量

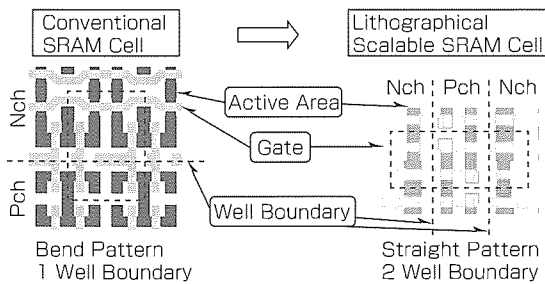


図7. SRAMセルレイアウト

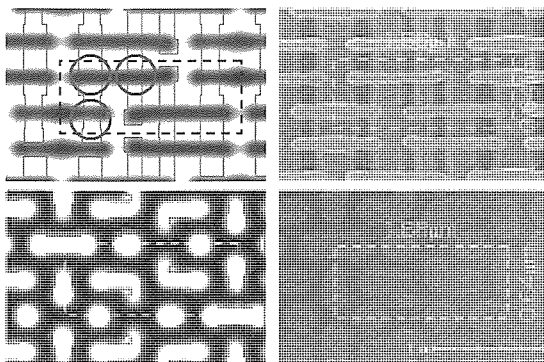


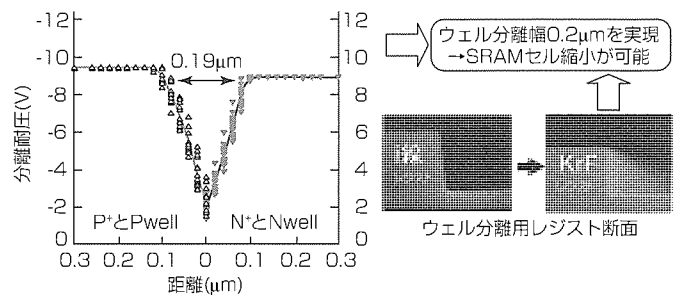
図8. ArFリソグラフィの光学シミュレーション像と仕上がり

一方、セル微細化を握る2つ目の鍵はウェル分離、すなわち、Pウェル上のN型活性領域と隣り合うNウェル上のP型活性領域の間隔をいかに詰められるかが鍵となる。図7に見るように、標準型セルはウェル分離の境界線が1つであるのに対し、横型セルはその構成上ウェル分離の境界線が2つになる。すなわち、横型セルサイズはウェル分離幅に大きく依存することから、我々はウェル分離幅を縮小する技術を開発した。レジストエッジを直立化させる技術とシャドウイングを防止するための2ステップ注入技術である。

図9にウェル分離技術の概要と分離特性を示す。従来i線で行っていたウェルのリソグラフィをKrF化して垂直なレジスト断面とパターン忠実度を得た。また、回路デザインがウェーハノッチに対してX-Y軸方向にレイアウトされる性質を利用して、ウェルの注入時にウェーハを45°とさらに180°の2回回して注入する2ステップ注入を行った。これによって、注入がレジスト膜厚の陰になるシャドウイング効果を解消できた。これらの技術により、ウェル間のN+/P+分離を0.19μmまで縮めることができた。

3. SRAMセル特性とSOCチップサイズ

図10にSRAMセルのノイズマージンを示す。1.25μm²の標準セルと今回の0.998μm²の高密度型セルの測定結果を並



新規技術	効果
KrF露光技術の採用(従来はi線)	垂直なレジスト断面/パターン忠実度、精度
2ステップイオン注入	分離特性向上

図9. 微細ウェル分離技術

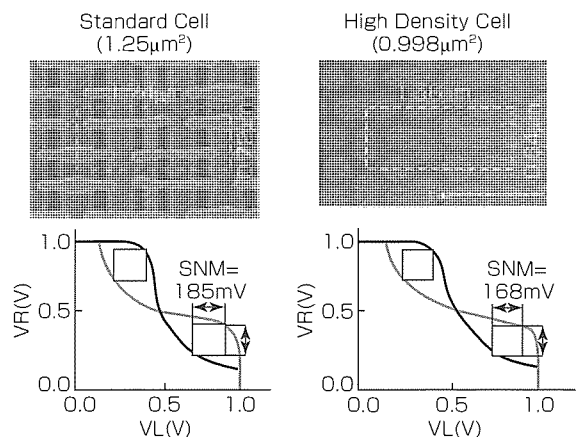


図10. SRAMセル仕上がりとノイズマージン

べている。高密度型セル標準セルと遜色(そんしょく)のないSRAMセル動作特性が得られた。

図11に、10Mゲートのロジックと32MビットのSRAMを搭載したときのチップサイズを、搭載するSRAMセルサイズを変数にしてプロットした。この技術により、10Mゲートのロジックと32MビットのSRAMを搭載したシステムLSIのチップサイズを1cm²以下にすることができる。

4. む す び

松下電器産業㈱と三菱電機㈱の協業プロジェクトにおける共同開発の成果として、9層銅配線・低誘電率層間絶縁膜を適用し、面積1μm²を切るSRAMセルを実現する90ナノメートル世代システムLSIプロセス技術を開発した。この90ナノメートル世代システムLSIプロセス技術により、140万トランジスタ/mm²という130ナノメートル世代比で約2倍の高密度化が実現され、大規模SRAMを内蔵した1億数千万以上のトランジスタを持つ大規模システムを1cm²以下のチップに搭載することが可能となった。

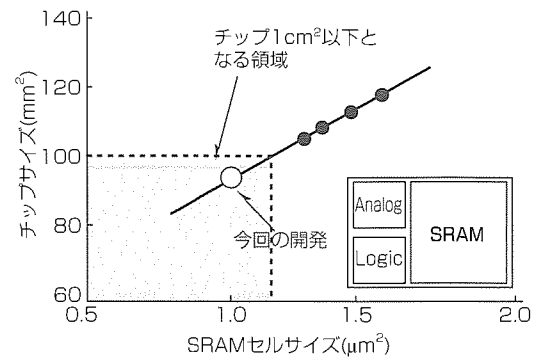


図11. 10Mゲートロジックと32MSRAM搭載時のSRAMセルサイズとチップサイズの関係

参 考 文 献

- (1) Takenaka, N., et al.: Symp. on VLSI Tech.Dig., 62 (2000)
- (2) Tomita, K., et al.: Symp. on VLSI Tech.Dig., 14 (2002)
- (3) Itonaga, K., et al.: Symp. on VLSI Tech.Dig., 136 (2002)
- (4) Hong, Q.Z., et al.: IEDM Tech. Dig., 107 (1997)

16ビットマイコン “M16C/62P”グループ

大崎暁寿* 中野良宏**
和田啓祐* 矢野敏之***
廣瀬進一*

要旨

産業機器，AV機器，通信機器，OA機器などの制御に適した16ビットシングルチップマイコンM16C/62Pを開発した。M16C/62Pは，従来のM16C/62Aを発展させた製品であり，制御用途に適したアーキテクチャと命令セットにより実現された高い処理能力と優れたコード効率を継承する。

マイコン用にチューニングされた新開発の0.2μmプロセスを採用し，M16C/62A比1.5倍の動作速度と最大512Kバイト（M16C/62Aは最大256Kバイト）のプログラムメモリを搭載する。

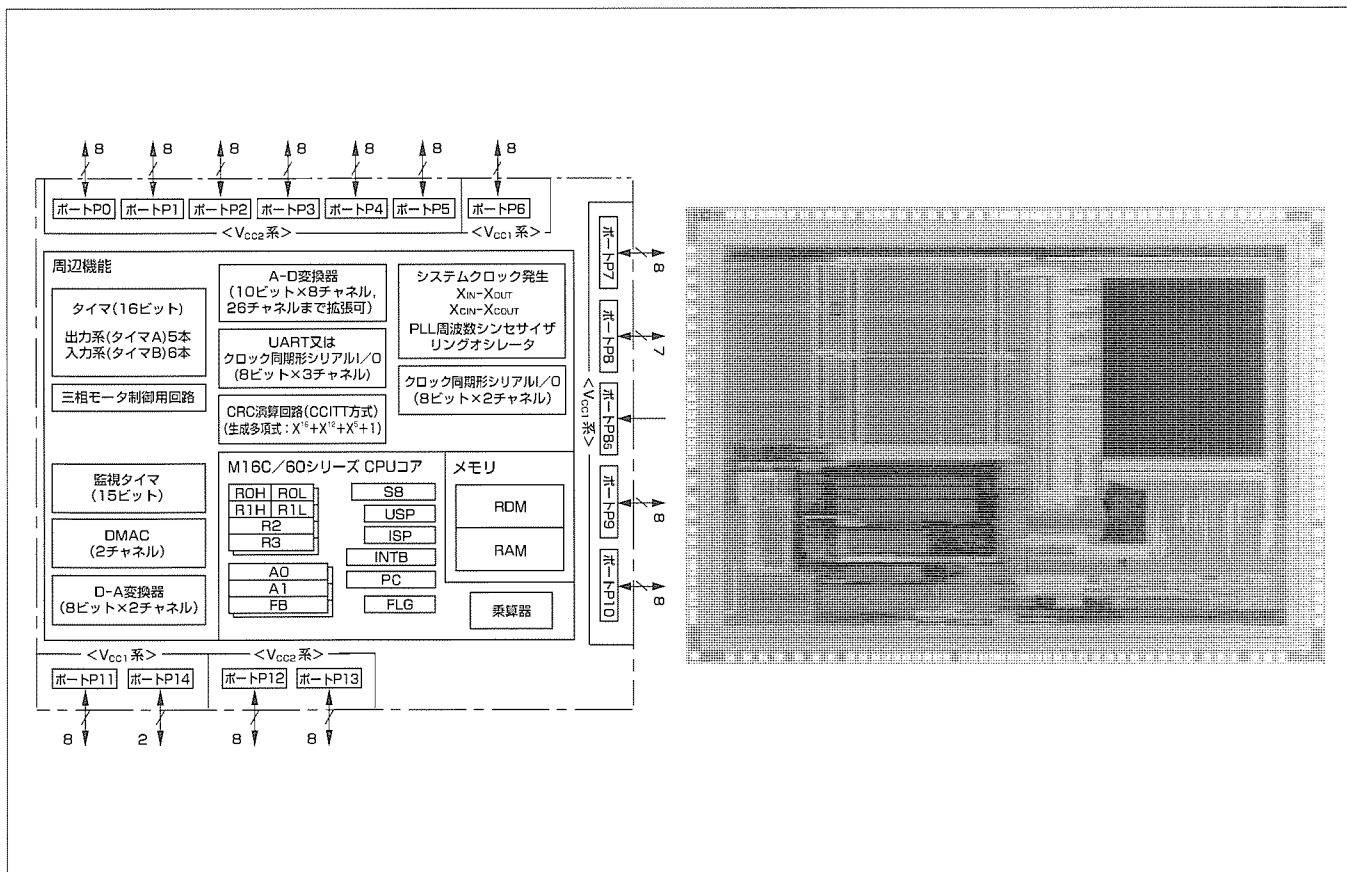
開発に際してはM16C/62Aとの互換性が最大限配慮されており，機能面だけでなく，ノイズ特性，スタンバイ電流等についても配慮し，ほとんどの応用で問題のないレベルに追い込むことができた。

M16C/62Pの主な仕様は次のとおりである。

- メモリ容量：ROM(Flash)最大512Kバイト
RAM 最大31Kバイト
- 電源電圧：2.7～5.5V
- 最短命令実行時間：41.7ns/24MHz時
- 消費電流：14mA/24MHz時

M16C/62Aからの追加フィーチャー

- データ格納用フラッシュメモリ（フラッシュ版）
- 100ピン/128ピンパッケージ
- 2電源（5V/3V）インタフェース対応
- 電圧検出回路内蔵
- PLLシンセサイザ，リングオシレータの内蔵
- 発振停止検出内蔵/暴走防止機能強化



M30627FHPGPのチップ写真とブロック図

0.2μmフラッシュ内蔵CMOSプロセスを採用しており，M16C/60シリーズCPUコアとフラッシュメモリ384Kバイト，RAM31Kバイト，16ビットタイマ，シリアルI/O，AD変換器，DA変換器，DMAコントローラなどの周辺機能を多数内蔵している。

1. ま え が き

M16Cファミリは、高効率C言語対応、高速/低消費電力、優れたノイズ特性、ファミリ内での一貫した互換性など、これまでにない優れた特長を持つマイコンであり、その主力製品であるM16C/62Aは、民生、産業、自動車等の広い分野で多くの採用実績を持っている。

今回発表するM16C/62Pは、新世代の0.2μmプロセスを採用し高性能化・大容量化するとともに、M16Cファミリの優れた特長とM16C/62Aとの互換性を最大限に確保することを前提として開発された高性能マイコンである。また、M16C/62PにはM16C/62Aの拡販活動を通じて寄せられた様々な要望を基に既存機能の改善、新機能の追加、性能向上が盛り込まれており、更に魅力のある製品となっている。

本稿では、M16C/62Pのこれらの多くの特長の概略を紹介する。

表1にM16C/62Pの概略仕様を示す。

表1. M16C/62Pの概略仕様

<CPU>	
基本命令数	91命令
最短命令実行時間	41.7ns
メモリ空間	1Mバイト (最大4Mバイト拡張可)
<メモリ>	
ROM(Flash)	48K~512Kバイト
RAM	4K~31Kバイト
<周辺機能>	
UART/ クロック同期SIO	3チャンネル 12Cバス、IE-Bus対応可
クロック同期SIO	2チャンネル
AD変換器	10ビット/26入力
DA変換器	8ビット×2回路
DMAC	2チャンネル
CRC演算回路	CRC-CCITT方式
監視タイマ	あり
割り込み	内部25要因 外部8要因 ソフトウェア4要因
<電気的特性>	
電源電圧	3.0~5.5V (24MHz時) 2.7~5.5V (10MHz時)
消費電流	14mA (24MHz/5V時) 8mA (10MHz/3V時)
入出力特性	入出力耐電圧 5V 出力電流 5mA
動作周囲温度	-40~85℃
素子構造	CMOSシリコンゲート
パッケージ	100/128ピンQFP

2. 高性能大容量化

図1にM16C/62Pグループのラインアップを示す。0.2μmプロセスを生かし、グループで最大512KバイトのROM又はフラッシュメモリと31KバイトのRAMを内蔵する。

フラッシュメモリ内蔵版は、通常のプログラムメモリのほかにデータ格納用に4Kバイトのフラッシュメモリを持っており、最大で512K+4Kバイトのフラッシュメモリを持つことになる。データ格納用の4Kバイトは、CPUからのアクセスが容易な上位64Kバイト内に配置されており、プログラム効率の向上を図っている。

内部バスの構成とタイミングを見直すことにより動作周波数は最大24MHzを実現し、CPUはM16C/62Aの1.5倍である12VAXMIPSの処理能力を持っている。命令実行サイクルはM16C/62Aと完全に同一であり、互換性を確保している。また、動作周波数の高速化に伴い外部バスアクセスが困難になるため、外部バスタイミングの改善とウェット数の選択幅を広げる等の改善を行っている。

3. フラッシュメモリ

0.2μmフラッシュ内蔵プロセス向けに開発した0.2HND (Hyper New DINOR)フラッシュモジュールを搭載している。M16C/62Aで搭載していたDINORフラッシュモジュールと比較し、ワード単位でのプログラム(M16C/62Aではページ単位)が可能になるなど、組み込みマイコン用として優れた特長を持っている。

また、プログラム動作中にフラッシュメモリを書き換えるCPU書換えモードに新たにEW1モードを追加した。図2に、EW1モードでのフラッシュメモリ書換えのフローと従来との比較を示す。EW1モードでは、フラッシュメモリ上のプログラムを実行中にフラッシュメモリを書き換えることを可能としている。従来はフラッシュメモリを書き換えるには書換えのためのプログラムをRAM上に転送

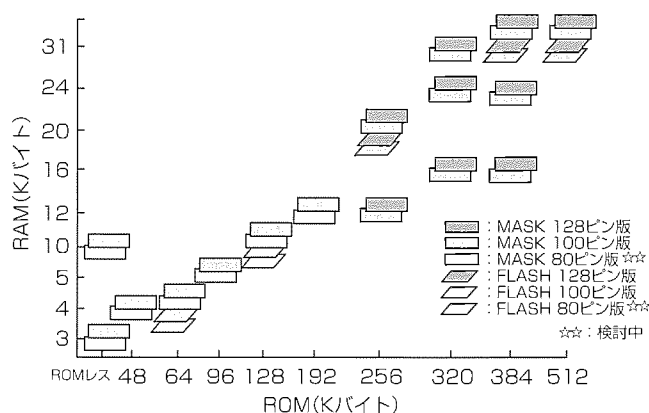


図1. M16C/62Pのラインアップ

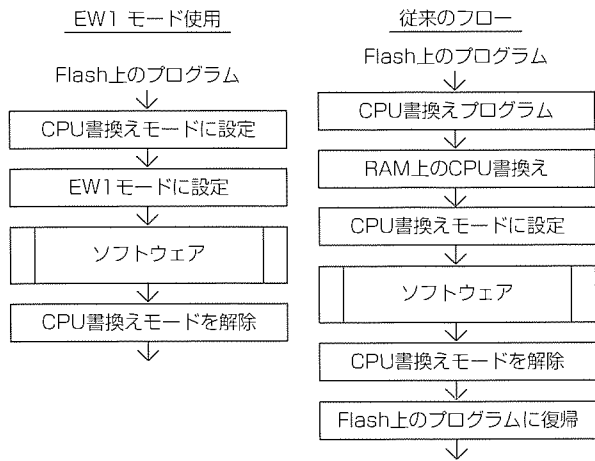


図2. EW1モードと従来のCPU書換えの比較

し、RAM上のプログラムを実行させることにより内蔵フラッシュメモリの書換えを行っていたが、EW1モードの搭載により、これが不用となった。これにより内蔵フラッシュメモリ書換えのためのRAMが不要になり、また、CPU書換えのプログラム作成が容易になっている。

4. 機能強化

4.1 多ピン化, 2電源対応

内蔵メモリの増大や処理能力の向上により、複数のマイコンを使用していた処理をM16C/62P 1チップで処理することも可能になる。このような場合ピン数が不足することが予測され、従来の100ピンに加え新たに開発した128ピンパッケージをラインアップに加えた。

また、マイコンと組み合わせて使用するASICやメモリIC等の動作電圧は5Vと3Vが混在するケースが増えており、この対応として、2電源対応のインタフェースを可能とした。もちろん5V単一や3V単一電源で使用することも可能である。図3に2電源対応の説明を示す。

4.2 電圧検出回路

M16C/62Pは3種類の電圧検出回路を内蔵している。これらを使用して、停電検出によるシステムスタンバイ状態への移行、リセット動作、RAMバックアップの可否判定等、従来リセットIC等で実現していた機能を外付け回路なしで対応可能である。

図4は、電圧低下検出回路を使用して停電時のRAM保持動作を行う場合のタイミング図である。従来であればこのような動作には外付け回路にリセットICが必要であったが、M16C/62Pではチップ内蔵の機能だけで実現している。

4.3 クロック回路

システム動作のクロックとして次のクロック源を搭載している。図5にクロック回路のブロック図を示す。

- メインクロック発振回路(～16MHz)

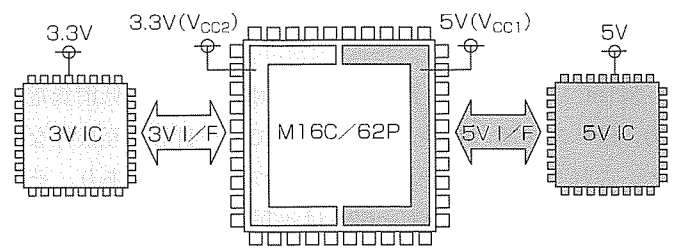


図3. 2電源対応の説明

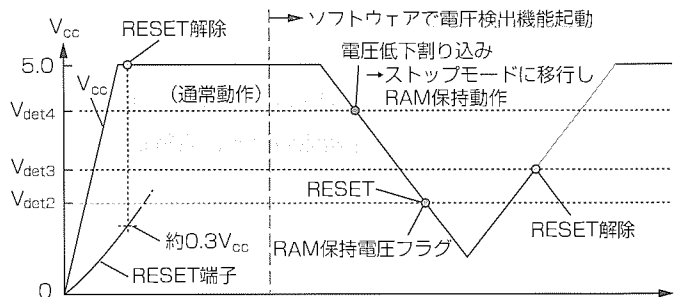


図4. 電圧検出回路でRAM保持動作に移行する例

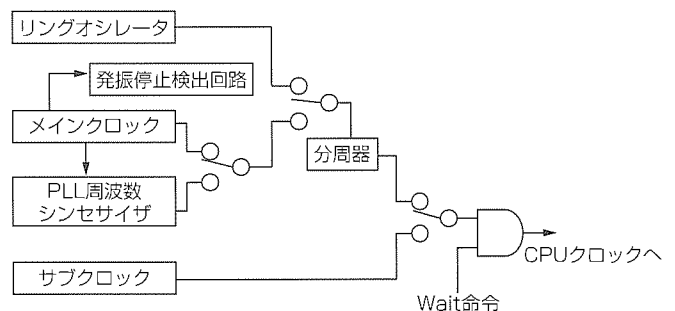


図5. クロック回路のブロック図

- サブクロック発振回路(32kHz)
- リングオシレータ(約1MHz)
- PLL周波数シンセサイザ(10～24MHz)

PLL周波数シンセサイザの内蔵により、メインクロック発振周波数を低く抑えながら24MHzの高速動作を可能としている。一般にPLL周波数シンセサイザのためにローパスフィルタの外付けが必要になり外付け部品の増加や有効ピン数の減少が問題となるが、M16C/62Pでは、ローパスフィルタを内蔵することにより、これらの問題を避けている。さらに、内蔵することによりプリント基板上のノイズを受けてジッタが悪化するという問題も回避している。

リングオシレータは外付け回路なしでクロックを発生可能であり、メインクロックの発振が停止したことを検出すると自動的にCPUがリングオシレータのクロックで動作するよう制御することが可能である。これにより、はんだ付け不良や結露等による発振停止時の異常処理が可能となる。

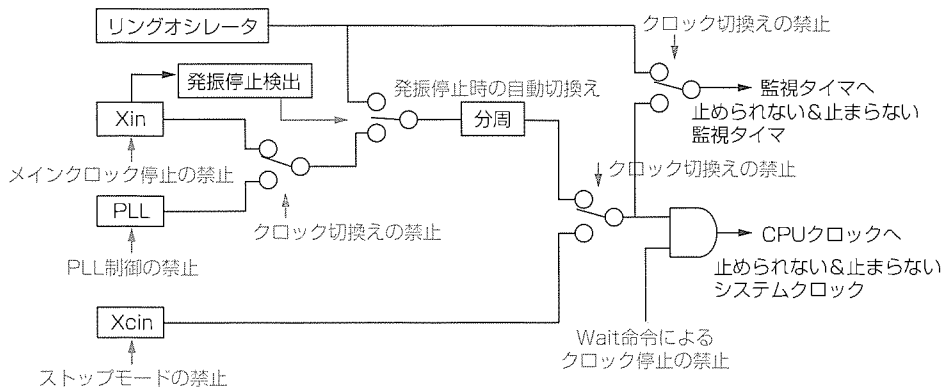


図6. 暴走防止対策のブロック図

4.4 暴走防止機能

多機能なクロック発生回路により様々なパワーコントロールが可能になり、低消費電力化やデータバックアップ動作が可能になる反面、プログラムの暴走により意図しないクロックの停止が発生しシステムが復帰できなくなる場合がある。M16C/62Pでは、クロック制御回路と監視タイマの機能改善により、暴走に

対するフェールセーフが大幅に改善されている。図6に暴走防止対策のブロック図を示す。

クロック制御回路では、いったんクロックの切換えや停止を禁止する設定を行うと、その後プログラムでは解除できない機能を持っている。

一般に、暴走検出に監視タイマを内蔵した場合でも、クロックが停止し監視タイマそのものが停止してしまえば暴走が検出できない。M16C/62Pでは、クロック停止時若しくは常時リングオシレータのクロックを監視タイマに入力することにより、確実に監視タイマ割り込み又はリセットが発生するように設定可能である。

5. 特性, 互換性

M16C/62PはM16C/62Aをベースに高性能化・大容量化を目指した製品で、M16C/62Aとの互換性を重視して開発された製品であるが、“互換性”とは単に仕様面・機能面にとどまるものではない。

一般に微細プロセスの採用により動作速度や動作時の消費電力は改善されるが、ノイズ特性や停止時のスタンバイ電流等は微細プロセスの方が不利になる。M16C/62Pの開発に際しては、回路設計、レイアウト設計、ウエーハプロセスのチューニングなど、すべての面でこれらの特性の合わせ込みに配慮し、ほとんどの応用で実使用上問題とならない範囲に追い込むことができた(図7, 図8)。

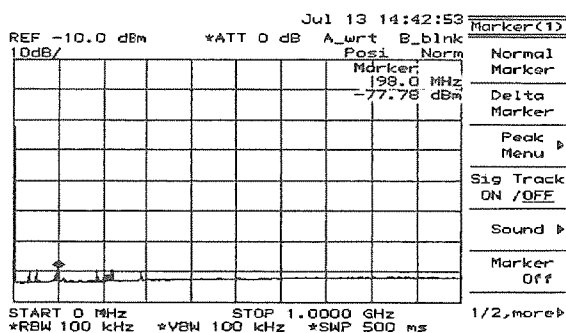
6. むすび

以上、M16C/62Pの特長について紹介した。

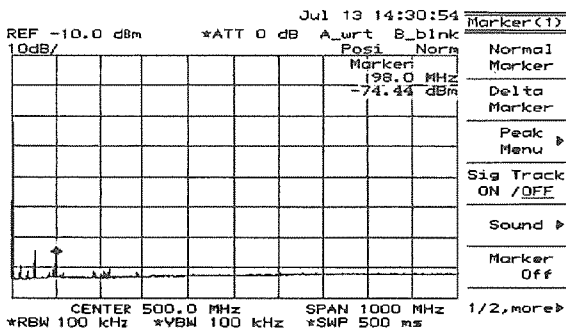
M16C/62Pは、真の意味での使いやすさと、十分な機能・性能を併せ持つ、優れたマイコンである。

M16C/62Pが標準の16ビットマイコンとしてますます広い分野で応用が広がっていくと確信している。

また、今後も、機能・性能の追求に終わらない、ユーザーにとって使いやすい価値のあるマイコンの開発を進めていく。



(a) M16C/62P



(b) M16C/62A

図7. ノイズ特性比較グラフ

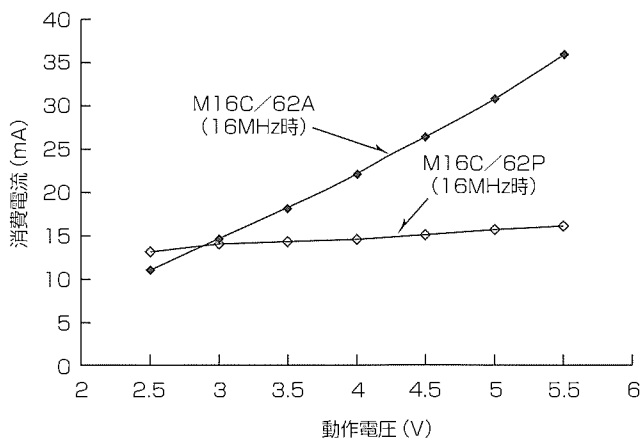


図8. 電源電流比較グラフ

マイコン内蔵テレビ信号処理LSIシリーズ

角 克晶* 大井真澄**
 鈴木淳司* 小林忠昭**
 山田龍浩*

要 旨

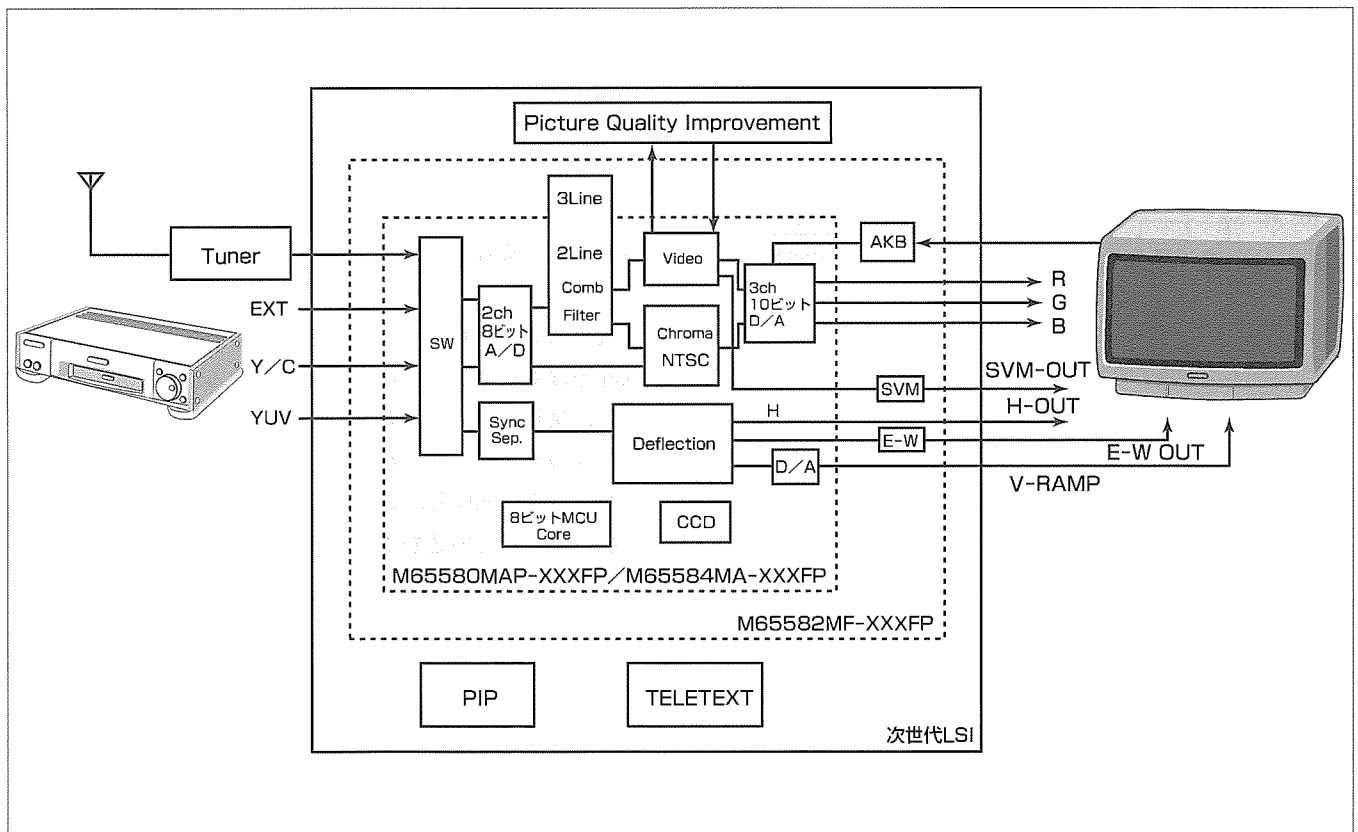
デジタルテレビ放送が登場する中で、従来のアナログ放送対応テレビに対する需要は世界的に依然大きなものがある。

このアナログテレビ市場において、各テレビメーカーは、コストダウンと性能向上の熾烈(しれつ)な競争を行っている。このような状況に対し、三菱電機は、信号処理回路の1チップ化やその周辺部品の削減などで従来対応してきた。

今回開発したLSIは、従来のテレビ信号処理のアナログ1チップ化から更に進んだLSIで、世界で初めて8ビットマイコンとテレビ信号処理をフルCMOS 1チップ化した。

開発に当たっては、従来の信号処理を単にアナログからデジタル化するだけでなく、デジタルY/C分離フィルタなどの高画質技術も導入した。さらに、同期・偏向系に対しては、低電圧CMOSアナログ化しながらも、従来と同等以上の性能を実現した。また、このLSIをベースに、より高画質・高機能のシリーズ品も開発した。

本稿では、このマイコンとの1チップ化におけるデジタル信号処理化及びCMOSアナログ化の実現と高画質化技術について述べるとともに、より高性能化を目指す今後の展開についても紹介する。



マイコン内蔵テレビ信号処理LSIのシステム構成

上の図は、マイコン内蔵テレビ信号処理LSIシリーズのブロック図を簡易的に表したものである。特に、第一世代のM65580MAP-XXXFPから高画質タイプのM65582MF-XXXFPへ、さらにPIP (Picture in Picture) や画質改善機能などを取り込む次世代ICへと機能が付加展開されていく。

1. ま え が き

デジタルテレビ放送が登場する中、全世界的にはまだ大きな需要を持つアナログ放送対応テレビ市場において、テレビ受信機の低価格化が著しく進んでいる。特に、日本と同じNTSC放送方式の北米市場は、その傾向が顕著であり、各メーカー共に熾烈なコストダウン競争を行っている。

当社も、コストダウンのために、テレビ信号処理の1チップ化と周辺回路の削減を進めてきた。今回、この北米市場をメインターゲットに、更に大きくコストダウンに寄与する製品として、世界で初めてマイコンとTV信号処理をCMOSで1チップ化した8ビットマイコン内蔵テレビ信号処理LSI“M65580MAP-×××FP”を開発した。さらに、このLSIをベースに、より高画質を目指した製品をラインアップ化している。

2. 製品の特長

図1にM65580MAP-×××FPのブロック図を示す。このLSIは、チューナ以降の映像・色・偏向系のテレビ信号処理とテレビ用8ビットマイコンとしてベストセラーのM37272を1チップ化したものである。

このLSIの開発は、従来バイポーラアナログで行ってきた信号処理を単にCMOSデジタル化するだけでなく、高性能

なアナログCMOS技術の確立と、アナログ回路とデジタル回路の干渉を防ぐ技術の確立により達成された。

機能としては、ビデオ信号、S映像信号及びコンポーネント信号などの外部入力に対応するとともに、輝度信号と色信号を分離する二次元Y/C分離フィルタを内蔵することで、テレビ画像の高画質化に対応している。また、画面メニュー表示のOSD(On Screen Display)機能を内蔵し、クローズドキャプションやハーフトーン表示も可能である。

マイコンとのワンチップ化は、実装面積の削減だけでなく、従来マイコンと信号処理IC間のEMI(Electro Magnetic Interference)ノイズの低減も可能にしている。さらに、従来のソフトウェア資産の流用も可能とした。

3. 信号処理のデジタル化と高画質

バイポーラアナログ回路で構成された従来のテレビ信号処理をマイコンとのCMOS 1チップにするためのデジタル化に当たり、様々な高画質化技術を導入した。

M65580MAP-×××FPではY/C分離に2ライン型くし形フィルタを採用しドット妨害やクロスカラーを減少させたが、M65582MF-×××FPでは当社独自の二次元適応型Y/C分離フィルタを採用した。この適応型フィルタはクロスカラー低減を重視した3ライン型であり、画素単位

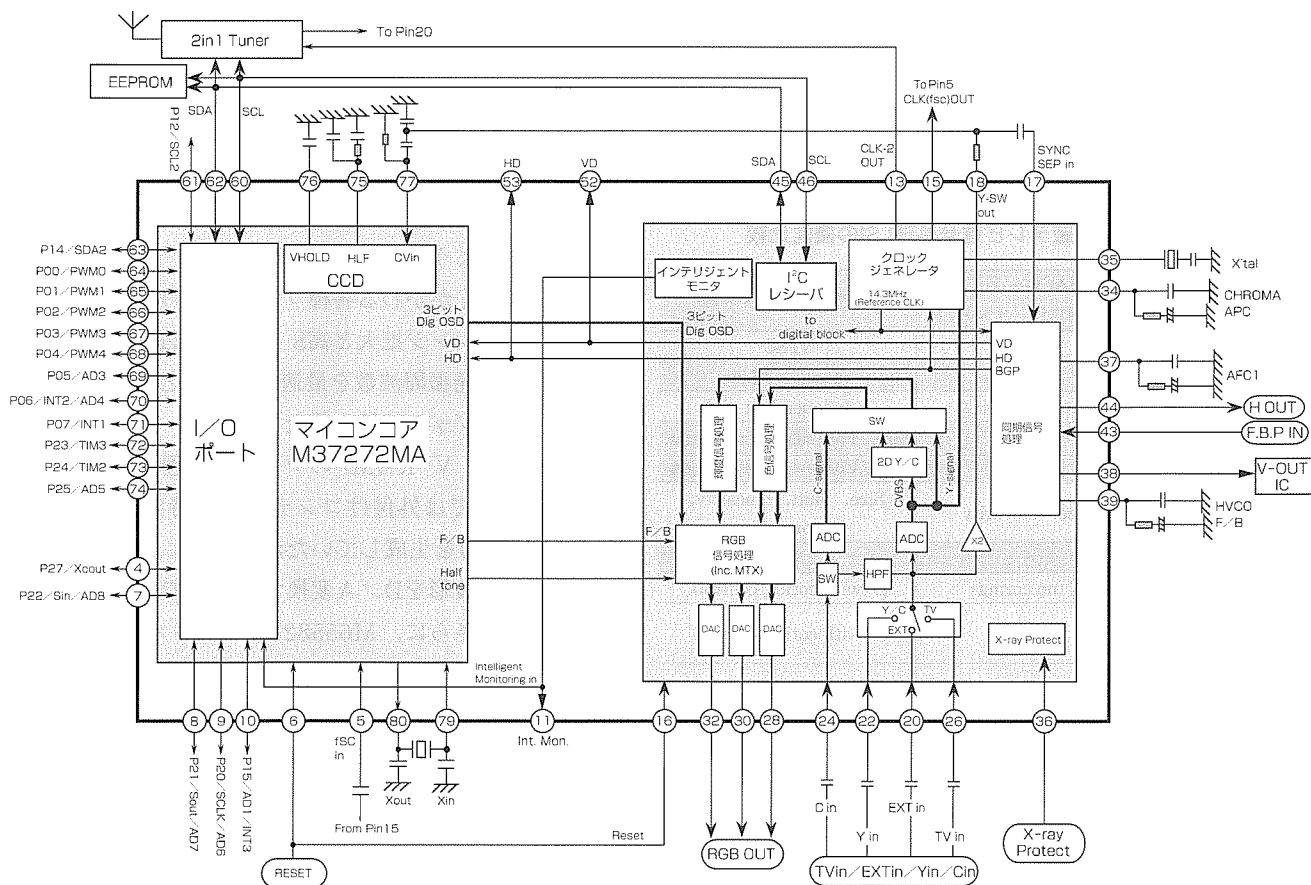


図1. M65580MAP-×××FPのブロック図

の上下左右の相関検出により高精度のY/C分離を可能としたことで、更に高画質を実現している。

M65580MAP- $\times\times\times$ FPは内部のデータバス幅を8ビットで処理しているが、後継のM65584MA- $\times\times\times$ FPでは内部データバス幅を10ビット幅で処理している。これは、演算処理によるデータビット幅の拡張に伴う丸め誤差対策である。演算誤差を減らすにはビット数を増やせばよいが、それでは回路規模が増大する。そこで、内部データバス幅のみ10ビット化することで、回路規模とコストと高精度演算を最適化した。これにより、従来アナログ処理での性能に近づけることができた。

ワイドテレビやフラットテレビなどでは、特有の画面のひずみを抑える画面ひずみ補正(E-W)機能や大画面に伴うより高精細な画質に対応するSVM(Scanning Velocity Modulation)機能が高画質化には不可欠である。

M65582MF- $\times\times\times$ FPにはこれらの機能を内蔵している。

E-W機能は、主に画面コーナー部の偏向ひずみを補正する機能であり、幅(Size)、糸巻ひずみ補正(Parabola)、台形ひずみ補正(Trapezium)、画面端ひずみ補正(U/L Corner)、垂直位置に応じた水平位相補正(Bow・Angle)の機能がある。SVM機能とは、映像信号の明暗の変化量(微分量)の大小に応じてブラウン管電子ビームの水平走査速度を変化させることにより映像の鮮鋭度を向上させる機能である。

これらシリーズ品種の機能比較を表1に示す。

表1. マイコン内蔵テレビ信号処理LSIの機能比較

	M65580MAP- $\times\times\times$ FP M65584MA- $\times\times\times$ FP	M65582MF- $\times\times\times$ FP
Color system	NTSC	NTSC
2Dim. Y/C Sep.	2 Line	Adaptive 3-Line
YUV input	○(co-use pin)	○(independent pin)
EW correction	-	Size, Parabola, Trapezium, U/L Corner, Bow, Angle
V-Ramp	Size, Linearity	Size, Shift, Linearity, S-correction
SVM	-	○
Sharpness	○(no coring)	○(with coring control)
V-aperture compensation	-	○(with coring control)
Black stretch	○	○
Blue stretch	-	○
AKB/ABCL	ACL	ABCL & AKB
Half Tone OSD	○	○
マイコン部		
MCU core	8-bit MCU M37272	8-bit MCU M37272
CCD	○	○
ROM	40Kbytes	60Kbytes
RAM	1,152bytes	2,048bytes
パッケージ	80pinQFP	80pinQFP

4. 低電圧CMOSアナログ

このLSIのマイコン部は従来のマイコンと互換性を持たせて電源電圧を5Vとし、信号処理部については0.25 μ mや0.18 μ mへのプロセス展開とS/N及びダイナミックレンジ確保を考慮し、デジタル部及びアナログ部共に3.3Vとした。

M65582MF- $\times\times\times$ FPでは、コンポジットビデオ信号入力時(1.0Vp-p)及びコンポーネント信号入力時(0.7Vp-p)にA/Dコンバータへの入力レベルがA/Dコンバータのダイナミックレンジ一杯になるように増幅することでS/Nを改善している(コンポーネント信号入力時のS/Nを約3dB改善)。

また、入力信号の種類に応じた帯域制限回路(LPF, BPF)を設けることでシステムクロック周波数の折り返しノイズを除去し、高品位な映像を得ている。これら前置フィルタをすべて内蔵したことで、外付けフィルタ回路をなくし、システムコストを削減した。

弱電界時のノイズによる画面上のブロックノイズやカラーノイズを低減するために、アナログ入力部に弱電界検出回路を設けた。

さらに、デジタル信号処理部のクロックノイズのアナログ部への干渉を少なくするために、レイアウト上でデジタル部とアナログ部との分離やアナログとデジタルの各電源端子とGND端子の分離、デジタル部とA/Dコンバータの動作クロック位相の最適化などを実施している。

このLSIシリーズのCMOSアナログ偏向系回路は従来のバイポーラアナログテレビ信号処理回路の偏向系回路を踏襲しているが、特に次の2点を工夫した。

一点は、従来のバイポーラ回路を動作的に忠実に移植するとともに、8Vであった動作電源電圧を3.3Vの電源電圧でも動作するような回路形式に変更した。同時に、システム性能に大きくかわる各種フィルタ等の回路については、ダイナミックレンジ拡大と高S/N回路形式の採用でS/Nを確保し、原発振周波数を最適化することで、従来LSIと同等以上の低ジッタ特性を得た。

もう一点は、V-RAMPのデジタル処理化である。従来アナログ回路では外付けコンデンサの時定数回路によりV-RAMP出力を生成していたが、今回、デジタル演算により合成した波形をD/A変換することで外付け回路の削減を行った。さらに、M65582MF- $\times\times\times$ FPでは、デジタル回路に様々な演算回路を付加することによりS-CORRECTION, LINEARITY等の制御を行っている。

また、この演算回路では3章で述べたE-W回路の波形合成も行っており、V-RAMP用とE-W用に時分割にて使用することで回路規模の削減を図っている。この合成出力は、この用途に最適化した $\Delta\Sigma$ 型D/Aコンバータを用いて出力している。

5. OSD

OSD機能は、クローズドキャプションモードとOSDモードの2つの表示モードがある。その特長は、表2に示すとおりである。

北米のクローズドキャプション放送に対しては、データスライサ機能を内蔵している。これにより、コンポジットビデオ信号の垂直帰線消去期間に重畳されたキャプションデータを取り出すことができる。

OSD回路に関してマイコンと信号処理の1チップ化は、従来LSI間の周辺部品の削減によるシステムコストの削減だけでなく、LSI内部直結によるEMIノイズの低減にも効果がある。

6. 今後の展開

テレビ市場は、LCD(Liquid Crystal Display)やPDP(Plasma Display Panel)のフラットディスプレイテレビの需要が急拡大しており、これら省スペーステレビが大型テレビの需要を喚起している。さらに、DVD(Digital Video Disc)ソフトウェアなどのデジタルコンテンツの急増による高画質化要求が高まっている。この需要動向に対し、当社では、より高機能・高画質への対応と同時に更なるコスト削減への要求にこたえるため、幾つかのアプローチを現在検討している。

一つは、PIPや三次元Y/C分離といった大規模デジタル信号処理の取り込みや、デジタル機器とのインタフェースを設ける等の信号処理部の高機能・高画質化である。

もう一つは、内蔵マイコンの16ビット化により、高速処理・低消費電力化及びEMIノイズの更なる削減といった高性能化を図ることである。これにより、信号処理部の大規模化に対応した制御能力アップだけでなく、ソフトウェアそのものによる画質改善や大容量ROM・RAMへの対応も

表2. 各表示モードの特長

項目	表示モード	
	クローズドキャプションモード	OSDモード
表示文字数	32文字×2行	
ドット構成	16×26ドット (文字表示領域は16×20ドット)	16×20ドット
文字種類	254種類	
文字サイズ	1種類	8種類
アトリビュート	スムーズイタリック、アンダーライン、フラッシュ	ふちどり(黒)
キャラクタフォント着色	1画面8種類(文字単位)	
文字背景着色	-	1画面8種類(文字単位)
OSD出力	R, G, B	
ラスタ着色	可能(画面単位)	
他機能	オートソリッドスペース機能 ウィンドウ機能	-
表示位置	水平:128段階, 垂直:512段階	
拡張表示 (多行表示)	可能	

可能になる。

さらに、水平及び垂直解像度向上のために、LTI&CTIのような高画質技術、倍速走査化への対応、NTSC方式専用からPAL/SECAM方式を含むマルチ方式対応、製造コストを削減する全世界対応シャーシへの対応などが今後の課題である。

7. むすび

以上述べてきたように、今回高画質化と同時にシステムコストダウンをしたマイコン内蔵テレビ信号処理LSIシリーズの開発と量産を行い、市場で好評を得ている。

今後は、更なる高画質化、高性能化、コスト削減を目指すだけでなく、周辺機能との親和性又は取り込みによる高機能化を行い、市場要求や動向に的確にこたえたテレビ用LSIをタイムリーに提供していく所存である。

400MHzシングルチップ・マルチプロセッサ対応M32Rコア

梶井規雄*
奥村直人*
金子 智*

要 旨

マルチプロセッサ対応のM32R-CPUコアと、このコアを使用した組み込み用途向けシングルチップ・マルチプロセッサを開発した。2個のM32Rコアと512KバイトのSRAM、周辺回路をワンチップに集積し、0.15μmプロセスで製造した。電源電圧1.5V、周波数400MHzで動作する。

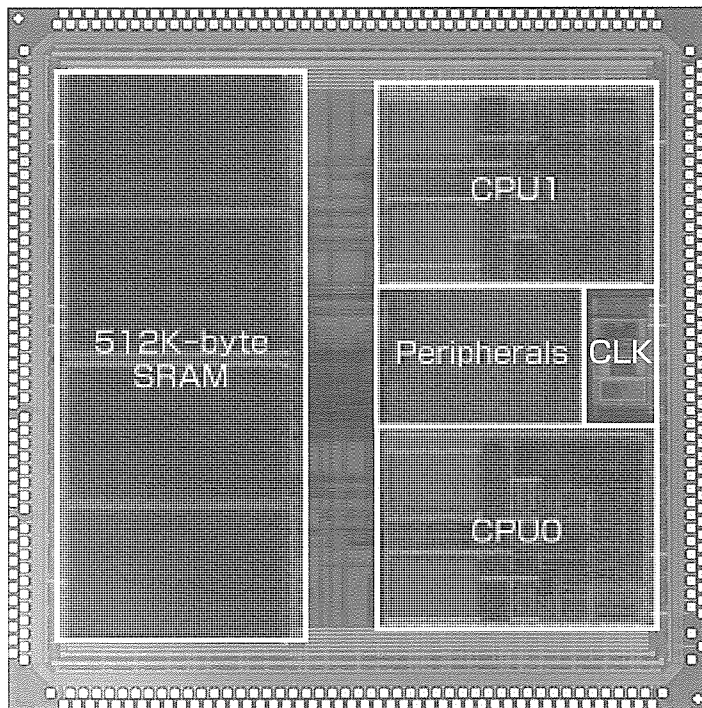
マルチプロセッサ対応機能として従来のM32R-CPUコアにキャッシュ・メモリのバス・スヌープ機能とMESI (Modified, Exclusive, Shared, Invalid) プロトコルによるコヒーレンシ制御機能を、また、オペレーティングシステム対応機能としてメモリ管理機能を持たせた。

携帯機器に使用するためには低消費電力であることが重要である。消費電力増加を抑えるため、分割マッチライン

方式TLB(Translation Look-aside Buffer)、可変レイテンシ・キャッシュを採用した。さらに、クロック供給面積を最小にすることによってCPUコアの電力増加を抑え、マルチプロセッサ動作時にも400MHzの高速動作と従来のシングルプロセッサ並みの低消費電力とを両立した。

CPUコアと512Kバイトの内蔵SRAMを3.2Gバイト/秒の転送能力を持つパイプライン・バスで直結することによってマルチプロセッサ構成で要求される高いバンド幅を実現し、スループットの向上を図った。

システム構築に必要な周辺回路も備えているため、ワンチップでLinuxなどのOSに対応したSMP (Symmetrical Multi-Processor) システムが構築可能である。



M32Rシングルチップ・マルチプロセッサのチップ写真

チップ諸元

CPU	M32R CPUコア×2
動作周波数	CPUコア：400MHz バスI/F：100MHz
内蔵メモリ	SRAM 512Kバイト
周辺機能	SDRAMコントローラ DMAコントローラ 割り込みコントローラ ブロックセレクト コントローラ シリアルI/O
プロセス	0.15μm CMOS Logic 4層メタル
パッケージ	336ピン FBGA
電源電圧	内部 1.5V 外部バスI/F 3.3V
消費電力	800mW(Typ.)

M32Rシングルチップ・マルチプロセッサの機能概要とチップ写真

マルチプロセッサ対応M32R-CPUコアを2個搭載したシングルチップ・マルチプロセッサである。システム開発を容易にするため、汎用的な周辺機能 (SDRAMコントローラ、DMAコントローラ、割り込みコントローラ、ブロックセレクトコントローラ、シリアルI/O) も集積し、ワンチップでマルチプロセッサ・システムを構築できる。512Kバイトの大容量SRAMは2個のM32Rコアが共有メモリとして使用できる。

1. ま え が き

携帯機器の機能が高度化するに連れ、アプリケーション・ソフトウェアも複雑化・大規模化している。組み込み用マイクロプロセッサコアには、このようなソフトウェアを実行するため、より高い処理性能とソフトウェア開発容易化のためのOSサポート機能が求められている。一方、電池で駆動される携帯機器においては、使用されるデバイスの消費電力が低いこと、電力管理機能が充実していることが重要である。

このような要求にこたえるため、2個のM32Rコアと512KバイトのSRAMを内蔵したシングルチップ・マルチプロセッサを開発した。マルチプロセッサによる性能向上と、電力管理の柔軟性向上をねらった。M32Rコアと512Kバイトの内蔵SRAMを3.2Gバイト/秒の転送能力を持つパイプライン・アクセス可能な内部バスで直結し、M32Rコアのバス・スヌープ機能、バスのLOCK/UNLOCK機構の実装により、ワンチップでLinuxなどのOSに対応したSMPシステムが構築可能である。

本稿では、このM32Rシングルチップ・マルチプロセッサについて説明する。

2. シングルチップ・マルチプロセッサ

2.1 チップ概要

図1にM32Rシングルチップ・マルチプロセッサの内部構成を示す。2個のマルチプロセッサ対応M32R-CPUコアを搭載し、これらCPUコアと512Kバイトの共有SRAMとをチップ内部のバスで結合している。M32R-CPUコアは、400MHzで動作し、内部バスはバス幅128ビット、200MHzで動作するパイプライン・バスである。

周辺回路として、割り込みコントローラ、クロックコントローラ、タイマ、シリアルI/O、汎用入出力ポートを集積し、内部バス、外部バスの制御を行うバスコントローラ

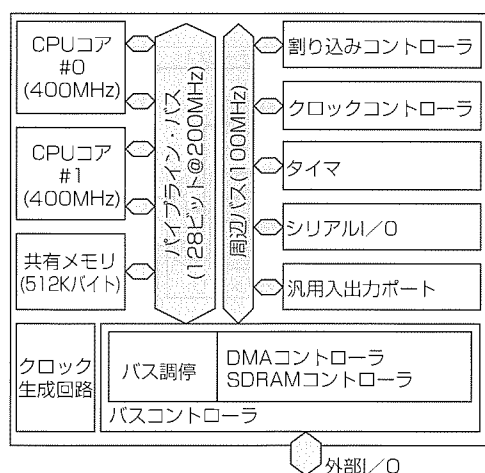


図1. シングルチップ・マルチプロセッサの内部構成

ラは、パイプライン・バスの調停回路、DMAコントローラ、SDRAMコントローラの機能を持っている。外部バス、周辺バスは32ビット幅で100MHzで動作する。

2.2 パイプライン・バス

2個のCPUコアはそれぞれ2つのバスアクセス・ポートを持っている。1つは命令フェッチ、もう1つはデータのロード/ストアに使用する。したがって、1つのバスに対して4つのバスマスタが同時にアクセス要求を発生することになる。マルチプロセッサの性能を引き出すためには、バスには大きな転送能力が必要である。

この要求を満たすため、CPUと共有メモリ間のバスをパイプライン化した。図2にバスのパイプラインを示す。

図で、A1からA3は連続するバス・アクセスを表す。パイプラインは、基本的には4つのステージで構成されている。アクセス要求を同時に出している他のバスマスタとバス権を調停するArbitrationステージ、バス権を得たバスマスタの要求するデータが他のバスマスタ(CPU)のキャッシュ・メモリにロードされ、変更されているか否かを調べるSnoopステージ、及び変更されていない場合は引き続きSlave Accessステージで共有メモリへアクセスし、Dataステージで要求されたデータを転送する。Snoopステージで要求されたデータが他のバスマスタによって変更されている場合には、Snoopステージの直後にそのデータを共有メモリへライトバックするステージを発生させ、データの coherence を保つ。

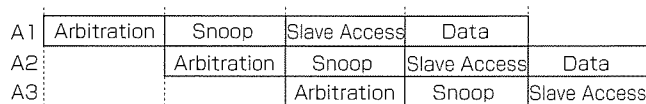
図の(b)に示すように、他のバスマスタがデータを変更している可能性がないノンキャッシュ領域へのアクセスや命令フェッチの場合は、Snoopステージをスキップして3ステージで処理する。

このパイプライン・バスを200MHzで動作させた場合の最大転送レートは3.2Gバイト/秒になり、マルチプロセッサ・システムで要求される高い転送レートを実現している。

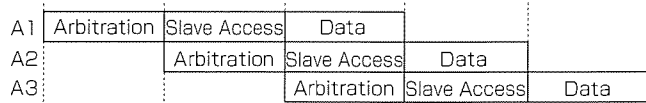
3. マルチプロセッサ対応M32Rコア

3.1 M32Rコア概要

図3にM32Rコアの内部構成を示す。7ステージのパイプラインによって命令を実行する。実行ユニットはVLIW



(a) スヌープを行う場合のパイプライン化バスアクセス



(b) スヌープをしない場合のパイプライン化バスアクセス

図2. パイプライン化バスアクセスのステージ

(Very Long Instruction Word)型であり、2命令を同時に実行することができる。

OSサポート機能として、MMU(Memory Management Unit)による論理アドレスから物理アドレスへの変換機能を持っている。アドレス変換は、MMU内の32エントリ・フルアソシアティブTLBにより行う。命令アドレスとデータアドレスを同時に変換できるように、MMU及びTLBは、命令用、データ用の2系統がある。

キャッシュ・メモリは、命令とデータ、それぞれ8Kバイトの容量を持ち、2ウェイ・セットアソシアティブ方式を採用してヒット率の向上を図っている。キャッシュ制御部は、キャッシュ・メモリのヒット/ミス判定及びキャッシュ更新の制御を行う。さらに、マルチプロセッサ対応機能として、MESIプロトコルを使用したキャッシュのコヒーレンシ制御機能を行う。

M32Rコアは命令、データそれぞれ128ビットのバス幅で内部バスに接続されており、キャッシュ・メモリの1ラインを一度のバス・アクセスで更新することができる。

3.2 可変レイテンシ・キャッシュ

キャッシュ・メモリは、CPUの構成要素の中で最も電力を消費する部分である。シングルチップ・マルチプロセッサでは、複数のキャッシュ・メモリが同時に動作するため、この電力消費を小さく抑えることが重要になる。命令実行のスループットを下げずに消費電力を削減するため、命令キャッシュは、可変レイテンシ方式を採用した。図4に示すように、ブランチやジャンプなどの分岐命令後のキャッシュメモリアクセスと命令プリフェッチによるキャッシュ・メモリをアクセスとで、キャッシュ・メモリの動作を変えている。

分岐命令が実行された場合、パイプライン内に充填(じゅうてん)されている後続の命令を破棄し、新たに分岐後の命令列でパイプラインを埋める動作が発生する。この分岐のペナルティを最小にすることで、処理のスループットは向上する。そのため、分岐命令後の命令キャッシュ・アクセスは、図の(a)に示すように、TLB、タグメモリ、データメモリの両ウェイを同時に読み出し、キャッシュ・アクセスを1サイクルで終了させている。このとき、タグメモリのヒット/ミス判定を待たずにデータメモリの両方の

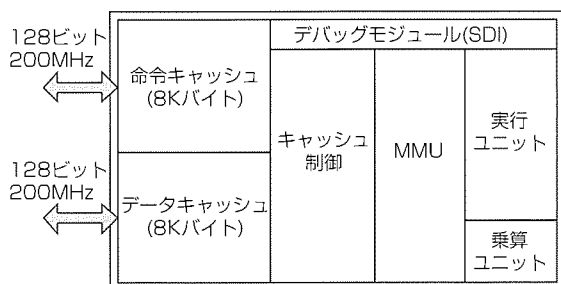


図3. マルチプロセッサ対応M32Rコアの内部構成

ウェイを読み出しているため、比較的大きな電力を消費することになる。

一方、命令プリフェッチの場合は、メモリ上に連続して配置された命令を順次命令キューに取り込んでいくため、次に読み出される命令のアドレスが事前に分かっている。この場合は、図(b)に示すように、まず、1サイクル目にTLBとタグメモリを引き、命令キャッシュ内に所望の命令が含まれているかどうかをチェックし、含まれている場合には、該当するウェイのメモリ・プレーンのみ活性化させ、読み出しを行う。キャッシュミスの場合は、データメモリへのアクセスそのものを抑止する。

このような可変レイテンシ制御を行うことにより、分岐のペナルティを抑えることと、平均消費電力の削減を両立している。すべてのキャッシュ・アクセスを1サイクルで処理する場合に比べて、キャッシュ・メモリの平均消費電力を35%削減できる。

3.3 分割マッチライン方式TLB

分割マッチライン方式を採用することで、TLBの高速化と電力削減の両立を図った。フルアソシアティブ方式のTLBでは、仮想アドレスのTAGアレーはCAM(Content Addressable Memory)で構成する。この場合マッチしなかったエントリーのマッチラインがディスチャージされるが、通常、マッチするのは1エントリーだけであり、残りのマッチラインはアクセスの都度、充放電を繰り返すだけである。

このM32Rコアでは、TLBの仮想アドレスタグをASID(Address Space Identifier: アドレス空間識別子)部分とVPN(Virtual Page Number: 仮想ページ番号)部分に分割し、独立したCAMアレーとして構成している。仮想アドレスのうち、ASIDの部分は、OSによってタスクが切り換えられたときのみ変更される。タスク・スイッチが発生した場合及び新しいTLBエントリーが登録された場合のみ、ASIDに対応するCAMを動作させ、各エントリーの比較結果を図5に示すように、ASIDマッチレジスタに登録

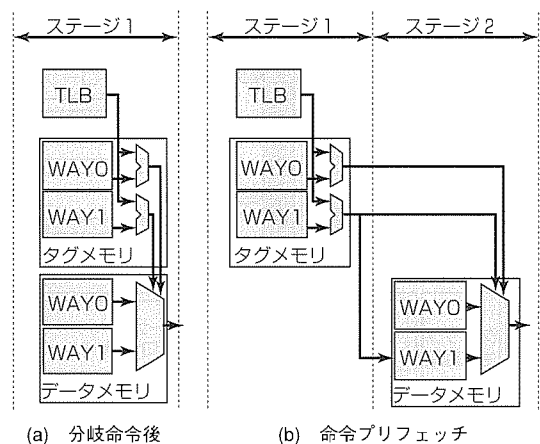


図4. 可変レイテンシ・キャッシュ

する。通常のメモリアクセスでは、マッチレジスタの内容により、現在のASIDの下で有効なエントリーのみ、CAMの比較動作を行わせる。

この方式では、次のような利点がある。①現在のASIDと異なるIDを持つエントリーは比較されず、マッチする可能性のないエントリーの比較で電力を消費することがない。②通常のアクセスではVPNのみを比較するため、マッチラインの負荷が軽くなり、高速動作が可能である。

従来の一本のマッチラインにASID, VPNのCAMがすべて接続されている構成に比べて、28%の電力削減が可能である。

3.4 クロック供給

動作周波数向上のためには、クロックスキューを低く抑える必要がある。サーバ用途のマイクロプロセッサなどではチップ全面を覆うメッシュ状のクロック配線を多数のクロックドライバで駆動する例が多いが、この手法は、電力消費が大きく、組み込み用途向けプロセッサには適していない。今回のM32Rコアでは、クロック供給が必要な領域を小さい面積に抑えることで、低消費電力と低クロック・スキューを実現した。図6に示すように、フロアプランの工夫とゲーテッドクロックの積極的な使用により、400MHzの高速クロックが常時必要な領域をCPUコア内の限られた領域に配置した。チップ面積に対する高速クロック供給領域の面積は約1.5%である。クロックスキューは75ps以下に抑えることができた。

4. パワーマネジメント機能

シングルチップ・マルチプロセッサのパワーマネジメント機能として、4つの動作モードを設けた。①マルチプロセッサ・モード：チップに搭載された2個のCPUが動作する。②シングルプロセッサ・モード：2個のCPUのうち、片方のCPUへのクロック供給を停止する。③スリープ・モード：2個のCPUともにクロック供給を停止する。周辺回路とバスI/F部のみ動作する。④ストップ・モード：CPU, 周辺回路及びバスI/F部すべてに対するクロック供給を停止する。

さらに、CPU 0, CPU 1, 内部バスI/F, 周辺回路及び外部バスI/Fは、各々独立に動作周波数を設定することができる。ソフトウェアで設定可能な制御レジスタの値を変更することで、ダイナミックに動作周波数を切り換えることが可能である。

これらの機能を組み合わせて使用することで、実行中のアプリケーションに応じて、例えば、性能優先で両CPU

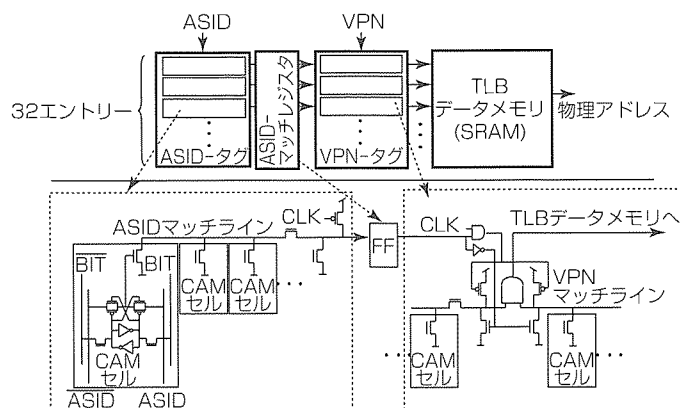


図5. 分割マッチライン方式TLB

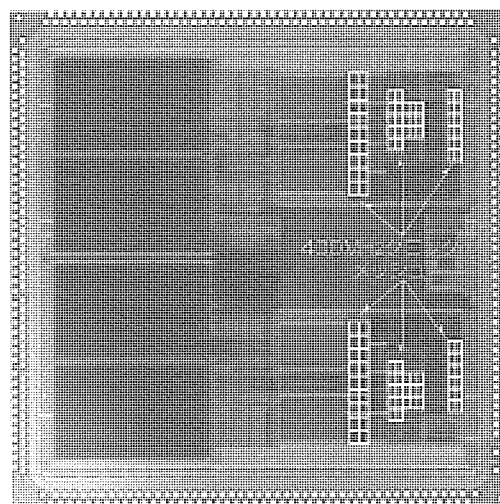


図6. CPUコア内クロック供給メッシュ配線

を最高速で動作させることや、電力優先でシングルプロセッサ・モードでクロック周波数を落として消費電力を下げることなど柔軟な電力管理が実現できる。

5. むすび

マルチプロセッサ対応のM32R-CPUコアと、このコアを使用した組み込み用途向けシングルチップ・マルチプロセッサを開発した。2個のM32Rコアと512KバイトのSRAM, 周辺回路を集積し、ワンチップでマルチプロセッサ・システムが構築可能である。0.15μmプロセスで製造し、チップサイズは8.06mm², 電源電圧1.5V, 周波数400MHzで動作し、消費電力は800mWである。

高性能, 低消費電力を両立することがより一層求められるこれからの組み込み用途向けマイクロプロセッサの基本技術として、幅広く展開できるものと考えている。

マイコン向けミドルウェア技術

要 旨

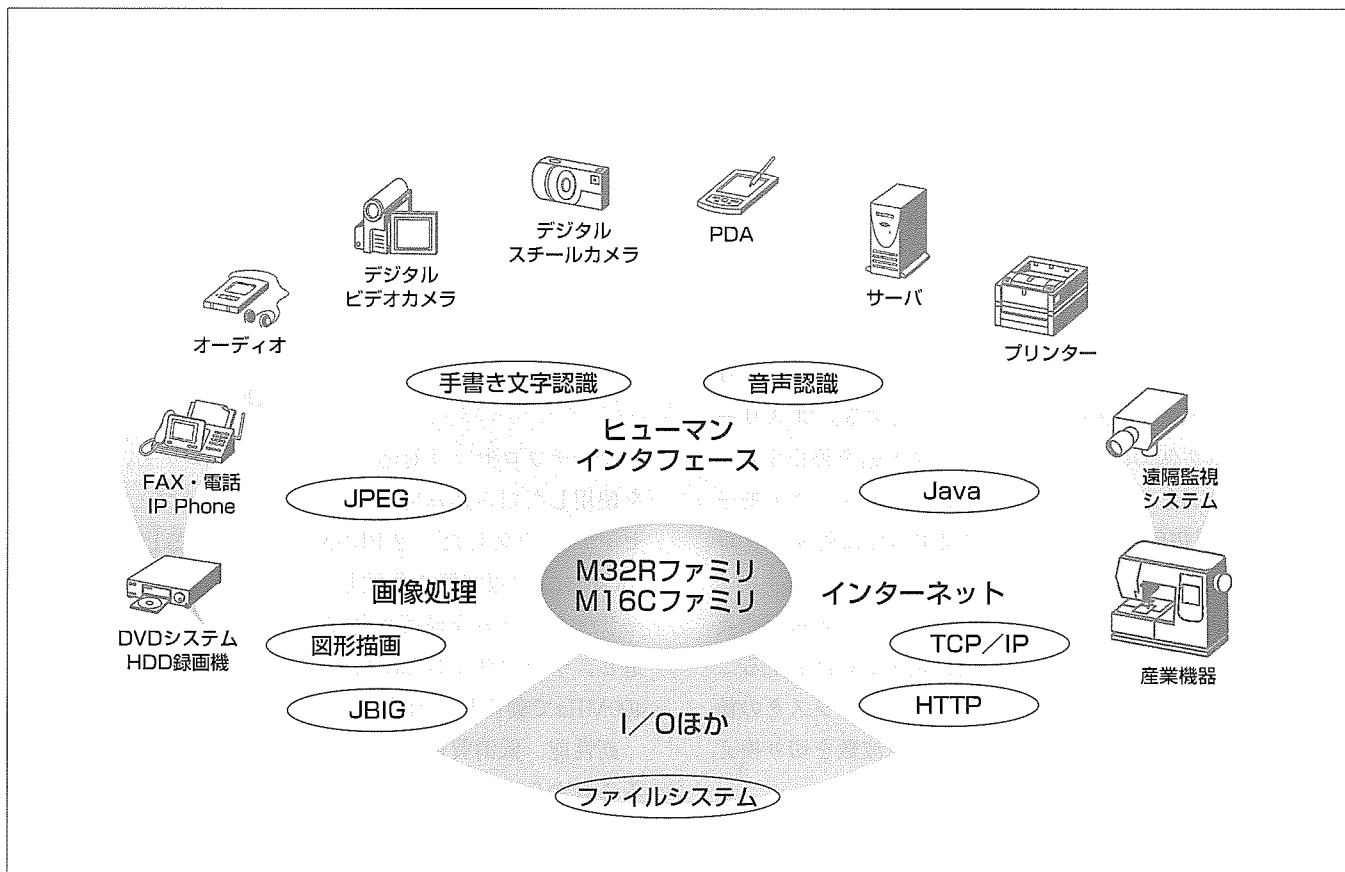
ミドルウェアとは、マイコンを使用したアプリケーションシステム構築に必要な機能をソフトウェアモジュールとしてまとめたものである。システム構築にミドルウェアを導入することにより、システム開発期間の短縮、専用ハードウェア部品の削減による小型軽量化、コスト低減、システムの仕様変更に対する柔軟性向上などの利点が得られる。このため、マイコン向けミドルウェアのサポート状況は、マイコン選定条件の一つにもなる。

三菱電機では、16ビットマイコンM16Cファミリや32ビットマイコンM32Rファミリ向けに、画像処理用、インターネット処理用、ヒューマンインタフェース用のミドルウェア開発を行っている。

対象としているマイコンは組み込み用途で使われることも多いため、ミドルウェアは少ないハードウェアリソース（CPU性能、メモリ使用量）の制約条件下で動作することを要求される。このため、マイコン向けミドルウェア開発では、CPUのアーキテクチャに合わせた最適化をして、CPU性能を最大限に引き出すチューニングを行っている。

本稿では、ヒューマンインタフェース用ミドルウェアとしてM16C向けの特定話者音声認識と文字認識について、また、インターネット処理用ミドルウェアとしてM16C向けTCP/IP(Transmission Control Protocol/Internet Protocol)とM32R向けJava^(注1)について紹介する。

(注1) Javaは、Sun Microsystems社の商標である。



当社マイコン向けミドルウェア

当社では、M16CファミリやM32Rファミリ向けに、画像処理用、インターネット処理用、ヒューマンインタフェース用のミドルウェアを開発している。当社のマイコンとミドルウェアを組み合わせることにより、マイコン応用製品の開発期間短縮、部品数削減による小型軽量化、コスト削減などが実現できる。

1. ま え が き

マイコン製品開発にミドルウェアを利用すると、部品数削減による小型軽量化や開発期間短縮などの利点がある。

本稿では、ヒューマンインタフェース用ミドルウェアとしてM16C向けの音声認識及び文字認識を、インターネット用ミドルウェアとしてM16C向けTCP/IP及びM32R向けJavaについて述べる。

2. M16C向け特定話者音声認識

2.1 開発の背景

カーナビゲーションや音声リモコン、ペットロボットなど、音声認識技術を応用した製品が身近かに増えてきている。これらはマイコン内蔵製品であり当社マイコンのターゲット分野でもあるため、ミドルウェア整備はマイコン拡販のための重要な課題の一つである。これまでミドルウェアといえば32ビットマイコン向けが主流であったが、低価格の玩具向け用途などでは、16ビットマイコンで動作する音声認識への要求が高まっている。そこで当社では、M16C向けの特定話者音声認識ミドルウェア(以下“音声認識M/W”という。)の開発を行った。

2.2 特 長

音声認識M/Wの開発目標は、

- 内蔵のFlash及びRAMのみで動作する
 - 内蔵の10ビットA/Dコンバータの使用を前提とする
 - 16MHz動作においてリアルタイム処理を可能とする
- であり、これを実現するために以下の工夫を行っている。
- M16C/62のRMPA(Repeat MultiPle & Addition)命令による高速演算を行うため、内部データの一部を16ビット化
 - メモリ量削減のため、辞書登録に使用する音声の特徴パラメータの圧縮

開発した音声認識M/Wの仕様を表1に示す。ROM使用量が約16.6Kバイト、RAM使用量が約2.8Kバイトの省メモリを実現している。

2.3 今後の予定

現在は、M16C/80シリーズやM32C/80シリーズ向け

表1. 音声認識M/Wの仕様

認識対象話者	特定話者(事前登録が必要)
音声データ形式	10ビットリニアPCM サンプリングレート8kHz
発声方式	単語単位に発声された日本語
同時認識単語数	20単語(M16C/62@16MHz)
応答時間	0.5秒以内
メモリ使用量	ROM: 約16.6Kバイト RAM: 約2.8Kバイト 登録辞書: 128バイト×登録語数

に音声認識M/Wの移植を行い、評価ボード上での動作が可能になっている。また、今後は、M16C/80シリーズ以降をターゲットにした不特定話者音声認識M/Wを、当社情報技術総合研究所と共同で開発する予定である。

3. M16C向け手書き文字認識

3.1 開発の背景

文字で入力できる手書き文字入力は、だれにでも使える簡単な入力方法であるとともに、数センチ四方の入力デバイスで実現できることから、小型の携帯機器向きの入力方法と言える。そこで、当社情報技術総合研究所の協力によりM16C向け手書き文字認識ミドルウェア(以下“文字認識M/W”という。)の開発を行った。

3.2 特 長

携帯機器への適用を考慮した当社文字認識M/Wは、以下の特長を持っている。

- 省メモリ(ROM使用量約31Kバイト、RAM使用量約2.6Kバイト)
- 高速な認識(10MHz動作のM16C/62で107ms/文字)
- 高精度な認識(文字を一筆書きにして認識することにより、続け字、文字の途切れなどの変動を吸収)

当社文字認識M/Wの仕様を表2に示す。

3.3 応 用 例

文字認識は小型携帯機器の入力に向いているため、文字認識M/Wの応用例として、携帯電話外付けの手書き入力デバイスを試作した(図1)。この試作機は、携帯電話用の外付けキーボードと同様の働きをするものであり、文字入力は、キー操作の代わりに入力パッドへの文字筆記により行う。単4電池1本で動作するこのデバイスにより、携帯電

表2. 文字認識M/Wの仕様

認識対象文字	英大文字、数字、カタカナの計124文字
入力データ形式	筆跡データ((x, y)座標列、最小64×64)
認識時間	約107ms/文字(M16C/62@10MHz)
メモリ使用量	ROM: 約30Kバイト+約0.6Kバイト(ユーザー辞書) RAM: 約20Kバイト+0.6Kバイト(ユーザー辞書編集用)

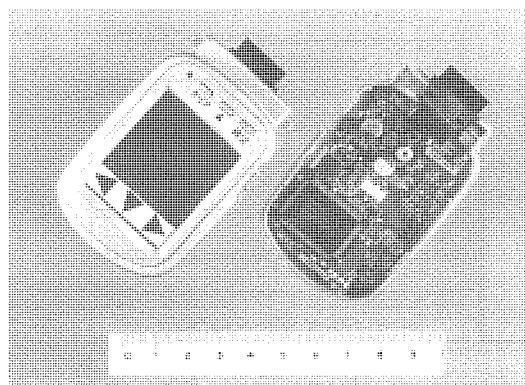


図1. 携帯電話用の手書き入力デバイス試作機

話のメール作成を手書き文字入力で作成することができる。

3.4 今後の予定

現在、認識対象文字に漢字を含めた日本語フルサポート版や中国語版(簡体字, 繁体字)の開発を行っている。

4. TCP/IP

4.1 概要

TCP/IPプロトコルスタックは、インターネットやLAN(Local Area Network)で広く利用されている通信プロトコルの一つである。TCP/IPを用いる利点としては、インターネット接続が可能であること、異機種間の通信で相互接続性が高いこと、ネットワーク関連機器が豊富であること等が挙げられる。

最近では、TCP/IPは、パソコン(PC)やワークステーション(WS)だけでなく、インターネットカメラ、遠隔監視/制御システム、ネットワーク家電等のネットワーク対応の組み込み機器へも急速に普及しつつある。

組み込み機器でTCP/IPを使用するには、PCやWS等で用いられているTCP/IPのプログラムを流用する方法も考えられるが、一般的には多くのメモリやCPU処理性能等のハードウェア・リソースを要する(例えば、RAMについては100~300Kバイト程度必要)ため困難である。

そこで、組み込み機器用途に適したリソースの消費量の少ないTCP/IPミドルウェアを、当社16ビットマイコンM16C/62向けに開発した。

4.2 TCP/IPミドルウェアの仕様

このミドルウェアのモジュール構成を図2に示す。図において、TCP, UDP(User Datagram Protocol)はトランスポート層, IP, ICMP(Internet Control Message Protocol)はネットワーク層, Ethernet, ARP(Address Resolution Protocol), PPP(Point to Point Protocol)はデータリンク層に対応するプロトコルである。

このミドルウェアのAPI(Application Program Interface)は、組み込み機器で要求されるリアルタイム性の向上と動的なメモリ管理の低減を考慮して、 μ ITRON TCP/IP API仕様を採用した。

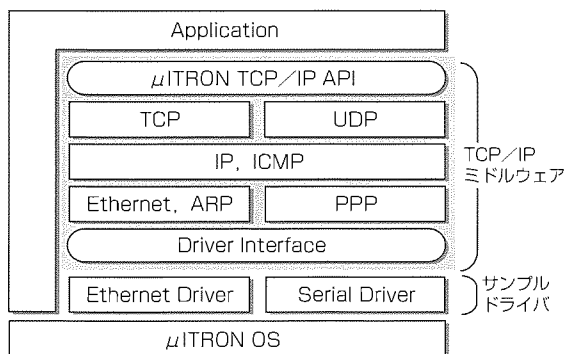


図2. TCP/IPミドルウェアのモジュール構成

4.3 TCP/IPミドルウェアの特長

このミドルウェアの特長としては、M16C/62の内蔵メモリでTCP/IPプロトコル処理が可能であること、及び、M16Cを10MHzで動作させた場合でも実用的な転送速度が得られること等が挙げられる。

このミドルウェアの開発では、組み込み機器向けに特化し、RAMの使用量の低減と転送速度の高速化の両立を図った。具体的には、各プロトコルについて①プロトコル間のデータのコピー回数の削減、②コピーに要するワーク領域の削減、③プロトコル内部でメモリが不足した場合の送受信処理の中断、及び復帰処理の高速化、④組み込み機器において必要性の高い機能に限定等、実装面と機能面での最適化を行った。

4.4 メモリ使用量

このミドルウェアのメモリ使用量を表3に示す。RAMの使用量は、最小構成でTCP/IPミドルウェア単体では4.3Kバイト、Ethernet用ドライバと合わせた場合でも7.4Kバイトと、従来のPC等で動作するTCP/IPプログラムと比べて非常に小さいことが表から分かる。比較的小さなアプリケーションであれば、TCP/IPのプロトコル処理を含めてM16C/62の内蔵メモリだけで実現することも可能である。

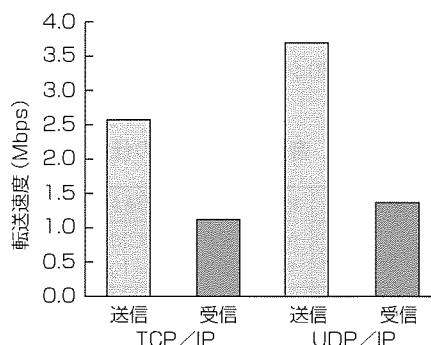
4.5 転送速度

このミドルウェアの転送速度を実機により測定した結果を図3に示す。TCP/IP, UDP/IPの転送速度は、送信については共に2.5Mbps以上、受信については共に1.1Mbps以上の値が得られた。この結果から、メールやホームページ等のデータについては、このミドルウェアにより実用的な時間で転送可能であることが分かる。

表3. TCP/IPミドルウェアのメモリ使用量

	RAM(Kバイト)	ROM(Kバイト)
TCP/IPミドルウェア	4.3	31.5
Ethernet ドライバ	3.1	3.3
合計	7.4	34.8

[条件] TCP通信端点数=1, TCP受信ウィンドウサイズ=536バイト



[条件] CPU: M16C/62, 10MHz動作, 内部メモリを使用
データ長: 1,420バイト(TCP), 1,472バイト(UDP)
データリンク層: Ethernet(10BASE-T)

図3. TCP/IPミドルウェアの転送速度

5. Java

5.1 Java実行環境ミドルウェアの概要

Javaは、CPUやOSに依存しないプログラムを実行できる、ネットワーク経由でダウンロードしてきたプログラムに対してセキュリティ上必要なアクセス制限を課せられる、という特長を持ち、ユビキタスネットワーク環境下において各種サービスを提供するためのプラットフォームとなる機器に欠かすことのできない技術である。そこで当社では、M32R向けに、JavaVM(Java Virtual Machine: Java仮想マシン)の開発を行っている。JavaVMとは、Javaバイトコードで記述されたプログラムをM32R上で実行するためのミドルウェアであり、全体としては以下のモジュール(図4)で構成される。

- Javaバイトコードの高速実行エンジン。5.2節で説明する当社独自のもの
- Personal Java仕様の標準クラス、及び各メソッドを実現するバイトコードとネイティブコードの定義。Sun Microsystems社からライセンスを受けたPersonal Java環境をM32Rへ移植したもの
- このネイティブコードが呼び出す他のソフトウェアモジュール(μITRON、デバイスドライバ、ネットワークライブラリ、ファイルシステム、グラフィックス)。当社開発のもの

5.2 当社JavaVMの特長

当社のJavaVMの最大の特長は、Javaバイトコードの実行エンジンに以下のような方式を採用することで、M32104(216MHz動作のM32Rプロセッサ)でEmbedded Caffeine Mark^(注2) 580という高いJavaバイトコード実行性能を達成している点にある。

- トランスレーションによるJavaバイトコード実行: JavaバイトコードをいったんM32Rのネイティブ命令に変換してから実行する(図5の右)。従来のソフトウェアインタプリタによるJavaバイトコード実行方式(図の左)に比べて大幅に実行性能が向上する効果がある。
- ソフトウェアキャッシュ: トランスレーション後のネイティブ命令は、ソフトウェアにより管理されるキャッシュ領域に格納していく。格納領域のメモリ容量を使用頻度の高いメソッド分だけを保持できる容量にまで低減できる効果がある。

また、これら方式の組合せ効率を高めるために、以下のような工夫も行っている。

- トランスレーション時にリロケータブルなM32Rネイティブコードを生成することで、ソフトウェアキ

(注2) Embedded Caffeine Markは、Pendragon Software社の商標である。

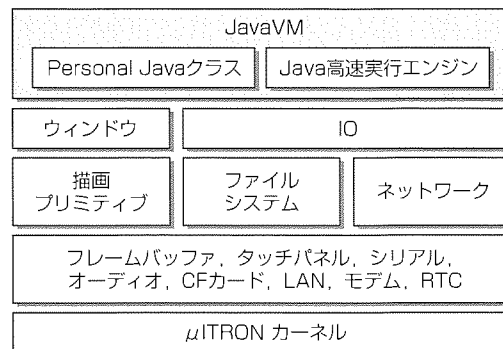


図4. JavaVM及びJava実行環境全体のソフトウェア構成

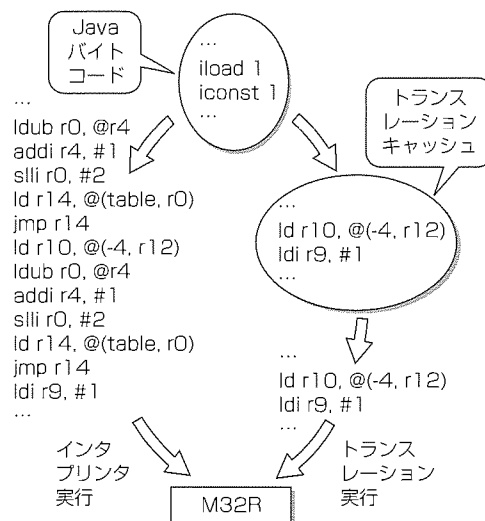


図5. トランスレーション実行の効果

キャッシュのコンパクションを可能としている。これにより、キャッシュの利用効率を高め、キャッシュヒット率を向上させる効果がある。

- キャッシュ領域にはM32Rプロセッサがチップ内に内蔵する高速RAMを利用することを可能としている。これにより、トランスレーションによる実行速度を向上させる効果がある。

5.3 今後の予定

今後は、トランスレーション時の最適化を強化することで、更にJava実行性能の高速化を図る、また同時に、ホットスポットに限定したトランスレーションによってキャッシュ領域用のメモリ容量を削減する、といった改良を行う予定である。また、JavaVM以外に、ECHONET規格のJava APIライブラリなど、Javaアプリケーションから使用可能なライブラリモジュールやアプリケーションの開発も行っていく。

6. むすび

本稿では、当社マイコン向けの4つのミドルウェアを紹介した。今後とも、マイコンビジネスに直結したミドルウェア開発を進めていく所存である。

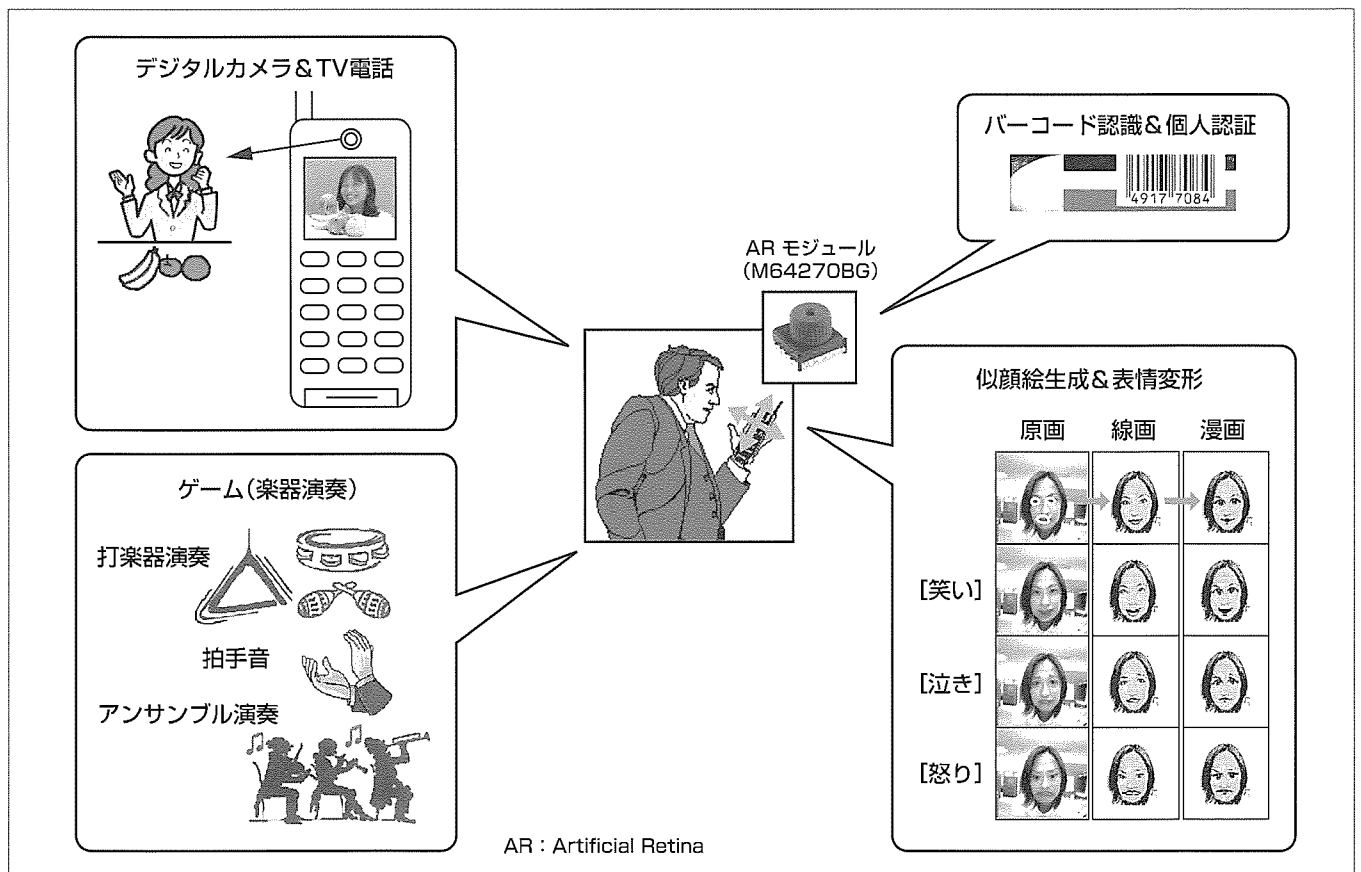
携帯電話用人工網膜モジュール

要 旨

人工網膜モジュールは、人工網膜LSIと画像処理チップをレンズ一体型パッケージに搭載したカメラモジュールである。高感度・低消費電力・超小型という携帯電話向けに最適な特長を持っている。さらに、輪郭強調・射影などの画像処理機能も搭載しており、デジカメやTV電話など画像を見る応用だけでなく、カメラをゲームの入力インタフェースに使うなど画像を使う応用への展開にも適している。

本稿では、人工網膜モジュールの現行製品の技術概要を紹介するとともに、今後の展開を解説する。M64278E-0Xは30万画素のカメラモジュールであるが、その体積は0.45ccと超小型である。一方、M64276E-0Xは10万画素の

製品であるが、カラー撮像機能に加え携帯電話に不可欠のJPEG(Joint Photographic Experts Group)圧縮・伸張機能を搭載している。さらに、高画質化の要求にこたえるために、現在130万画素のモジュールを開発中である。その中では、画素縮小のために、微細プロセスを適用するだけでなく、レンズの高性能化も進めている。また、画像応用支援機能としては、今後、バーコード認識、顔認識など画像認識のための特徴抽出機能も開発予定である。これは携帯電話をコンパクトな画像認識・理解装置として活用する上で有効であり、携帯電話の更なる用途拡大に役立つと期待される。



人工網膜モジュールの応用イメージ

人工網膜モジュールは通常撮像機能に加え輪郭検出、射影などの画像応用支援機能を搭載しており、デジタルカメラからゲーム入力インタフェースまで幅広い応用の実現に最適である。

1. ま え が き

カメラ搭載の携帯電話の売れ行きが好調である。2002年度に販売された携帯電話の約50%にカメラが搭載される見込みである。これは、いつでも簡単に写真が撮れる手軽さ、メールに画像を添付するサービスの便利さが社会に広く受け入れられたためである。また、このような撮影した画像を見るときという応用に加え、バーコード認識、ゲームの入力インタフェースなど撮影した画像を使う応用への展開も期待されている。海外への普及も含め、携帯電話向けカメラの市場は今後も拡大していくと考えられる。

三菱電機の人工網膜モジュール⁽¹⁾は人工網膜LSIと画像処理チップをレンズ一体型パッケージに搭載したカメラモジュールである。高感度というだけでなく、低消費電力・超小型という携帯電話向けに最適な特長を持っている。さらに、画像応用アプリケーションの実現に役立つ様々な画像処理機能も搭載している。

本稿では、現在の人工網膜モジュールの技術概要を紹介するとともに、今後の展望を解説する。

2. 人工網膜モジュールの特長

(1) 高感度

ノイズ低減のために、リーク電流抑制工程を作製プロセスに導入するとともに、固定パターンノイズのキャンセル回路を搭載している。一方、マイクロレンズの構造、フォトディテクタの縦構造の最適設計により、信号成分の最大化も行っている。これらの高感度化技術により、暗い環境での撮影にも人工網膜モジュールは適用可能である。

(2) 低消費電力

人工網膜LSIはCMOS(Complementary Metal Oxide Semiconductor)回路により構成されており、3V以下の低電圧駆動が可能である。その結果、撮像動作時の消費電力は35~80mWと低く、バッテリー駆動の携帯用途に適している。

(3) 超小型

従来のCCD(Charge Coupled Device)イメージセンサを用いたカメラシステムでは多くの周辺ICが必要であった。これに対し、人工網膜LSIには信号処理回路、タイミング生成回路、中間電圧発生回路などが搭載されており⁽²⁾、1チップ又は2チップでカメラシステムが構成できる。また、小型レンズ一体型の専用パッケージを開発し、モジュール全体の小型化・薄型化を実現している。

(4) 高機能

画像を使う応用では、撮影画像から動きなどの特徴量を検出したり、その特徴量を用いてパターンの認識、分類を行ったりすることが必要である。しかし、一般的なカメラの機能は画像検出のみなので、他の画像処理はすべて機器

本体側のマイコンで実行することになる。これに対し、人工網膜モジュールは、画像検出機能に加え、特徴抽出のための画像処理機能を搭載している。これにより、マイコンの演算負荷が大幅に低減し、高速・低消費電力な画像応用アプリケーションが実現できる。

3. 1チップモジュールの製品概要

M64270BGは、ホワイトバランス、ガンマ補正などアナログ画質調整回路を搭載した人工網膜LSIをレンズ一体型パッケージに封入した1チップモジュールである。機器本体側のマイコンに接続するだけでカラー撮像機能が実現できる。マイコンは、自動露光制御と自動ホワイトバランス制御を担当する。製品仕様を表1に示す。画素数は176×144である(QCIF(Quarter Common Intermediate Format(176×144))相当)。また、中間電圧発生回路を内蔵しているので3V単一電源動作が可能であり、消費電力も35mWと低い。

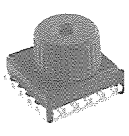
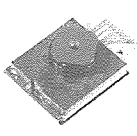

さらに、画像応用支援機能として、エッジ強調回路を内蔵している。エッジ強調とは、原画像に含まれる輪郭線を際立たせる処理である。エッジのみの画像(エッジ抽出画像)を出力することも可能であり、撮像した画像から線画を作成する応用などで役立つ。

4. 2チップモジュールの製品概要

M64278E-0Xは、640×480画素の人工網膜LSIと画像処理チップをレンズ一体型パッケージに封入した2チップモジュールである(表1)。画像処理チップには色補間・色補正・フィルタなどの画質調整回路に加え自動露光・ホワイトバランス制御回路が搭載されており、2チップで撮像に必要なすべての処理を実行できる。また、高い解像度を実現するために2枚玉レンズを用いているが、両面実装構造のパッケージを適用することにより0.45ccという超小型を実現している。一方、M64276E-0Xは、352×288画素の人工網膜LSIと画像処理チップをレンズ一体型パッケージに封入した2チップモジュールである。M64276E-0Xの画像処理チップにはJPEGエンコーダ/デコーダとフレームバッファも搭載しており、カラー画像の撮像に加え、撮像画像の圧縮、保存している圧縮画像の伸張動作もこのモジュールで実行可能である。マイコンのソフトウェアで実行するのに比べ、高速な圧縮・伸張が実現できることが利点である。

さらに、M64278E-0X/M64276E-0Xともに、カメラシステムにつきまとう蛍光灯のフリッカの検出/除去機能を搭載している。フリッカは商用交流のちらつきがしま(縞)状明暗となって画像に重複する現象で、日本のように2種類の電源周波数が混在する地域では、自動的に検出/除去することが望ましい。人工網膜モジュールでは、画像

表1. 人工網膜モジュールのラインアップ

品 種 名	M64270BG	M64276E-0X	M64278E-0X
外観写真			
解像度	176×144 [QCIF相当]	352×288 [CIF]	640×480 [VGA]
撮像機能	CDS回路, ADC回路 出力レベル調整, ゲイン調整 ガンマ補正回路, 色補正回路 黒レベル調整 パワーセーブ機能	CDS回路, ADC回路 出力レベル調整, ゲイン調整 ガンマ補正回路, 色補正回路 フリッカノイズ除去機能 CIFからQCIFへの解像度変換 JPEG圧縮/伸張	CDS回路, ADC回路 出力レベル調整, ゲイン調整 ガンマ補正回路, 色補正回路 フリッカノイズ除去機能 VGAからCIFへの解像度変換 パワーセーブ機能 電子ズーム機能
画像応用支援機能	エッジ強調	エッジ強調 2Dから1Dへの射影機能 色解析機能(ヒストグラム生成)	エッジ強調 2Dから1Dへの射影機能 色解析機能(ヒストグラム生成)
電源電圧	3.0V	2.85V (AR, ASIC-IO) 1.8V (ASIC-core)	2.85V (AR, ASIC-IO) 1.8V (ASIC-core)
消費電力	35mW	45mW	80mW
モジュールサイズ	10.8mm×10.6mm×7.35mm	12mm×10.8mm×5.7mm (FPC端子部は含まず)	8.2mm×8.82mm×6.2mm (FPC端子部は含まず)
フレームレート	10Hz(Max)	14Hz(Max)	15Hz(Max)

CIF : Common Intermediate Format (352×288) VGA : Video Graphics Array (640×480) CDS : Correlated Double Sampling
ADC : Analog to Digital Converter ASIC : Application Specific Integrated Circuit FPC : Flexible Printed Circuit

処理によって電源周波数を検出し、明暗の差が最小になるように撮像パラメータを調整する回路を内蔵している。

M64278E-0X/M64276E-0Xの画像応用支援機能としては、エッジ強調、射影、色解析機能を搭載している。射影の応用例には動き検出がある⁽³⁾。射影信号の空間差分、時間差分から、撮影画像全体の動き量が計算できる。原画像に比べ、射影信号のデータ量は大幅に小さく、高速処理が可能である。逆に、動かない風景にカメラを向け携帯電話を動かした場合には、携帯電話自体の動きが検出できるので、カメラを楽器演奏など各種ゲームの入力インタフェースとして用いることも可能である。

5. 今後の技術展望

(1) 高解像度化(高画質化)

携帯電話のカメラでも、画質向上のニーズにこたえるために高解像度化を進めていく必要がある。当社でも130万画素(SXGA(Super eXtended Graphics Array(1,280×1,024))相当)のモジュールを開発中である(図1)。高解像度化の課題の一つは画素サイズの縮小である。既存の画素構造を用いて画素数を増やすとモジュールサイズが大きくなり携帯電話への適用が難しくなる。微細プロセス適用による画素シュリンクが不可欠である。第二の課題は、画素数向上に見合った高性能レンズの開発である。携帯用途では、この高性能を小型・安価に実現する必要がある。一つ

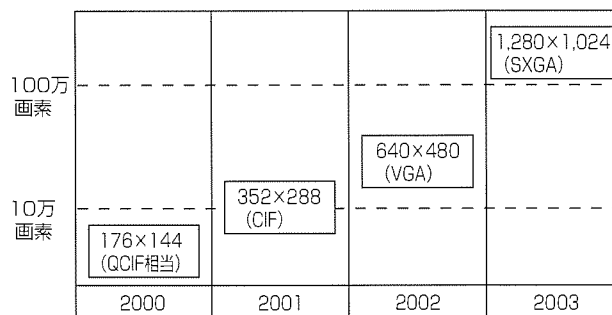


図1. 人工網膜モジュールの解像度のロードマップ

の解決策は光学系補正回路を画像処理チップに搭載することである。例えばレンズでは、周辺部で光量が減少することにより画像端部が暗くなる“周辺減光”と呼ぶ現象が発生するが、モジュール高さを低くしようとするとその程度が大きくなるというジレンマが存在する。これに対し、レンズ特性を考慮して信号成分を変調すれば、周辺減光補正が可能となり、レンズの性能不足を画像処理技術により補うことができる。

また、上位機種向けでは光学ズームの搭載も考えられる。ただし、携帯電話の厚みという制約があり、既存技術の単純な適用は困難である。センサ読み出し方式の改良、画像処理との組合せなど携帯電話向けの光学ズーム技術を開発することが重要である。

(2) 画像処理チップ

画像処理チップの開発課題には、高解像度対応、画像圧縮・伸張機能の搭載、画像認識応用への対応などがある。高解像度化に関しては、単に水平画素数の増大に伴うラインメモリの拡張にとどまらず、(1)で述べた光学系補正も重要である。また、高解像度化を進める場合、同じく(1)で述べた光学ズームよりも手軽な電子ズームや、後段処理の都合から低解像度フォーマットへの変換が必要となる。イメージセンサの画素アレーのスキャン方法を工夫することで、フレームメモリを使うことなく低コストに電子ズームを実現することが可能であり、既に、VGA相当の解像度(640×480)で開発済みである。電子ズームでは倍率切換え時の画質劣化や高倍率時の画質劣化も課題となるが、イメージセンサの制御切換えタイミングや画像処理チップでの補間方式を工夫することでいずれも改善可能であり、今後のVGA解像度以上の製品に順次適用していく。

画像圧縮・伸張に関しては、既にCIF画像に対するJPEGエンコーダ/デコーダとフレームバッファを搭載したM64276E-0Xの開発を完了している。さらに、現在のPDC(Personal Digital Cellular)から通信方式がワイドバンドに切替わる2004年以降は、JPEGに加えてMPEG(Moving Picture Experts Group)エンコーダを追加した動画対応の製品を開発する予定である。

(3) 画像認識応用

カメラ付きの携帯電話が当たり前になると、携帯電話をコンパクトな画像認識装置として使いたいというニーズも高まってくると予想される。画像認識アプリケーションの一つにバーコード認識がある。業務用に広く用いられている二次元バーコードや近年開発された二次元バーコードをカメラを用いて読み込み、例えばそれが名刺の場合は、自動的にデータベースに登録できたりするなど携帯電話の付加価値を高めることができる。このバーコード認識を高速に実現するためには、画像の切り出し、回転の補正など、撮影画像からバーコードの特徴量を的確に検出する機能をカメラに持たせることが有効である。特に、カラー化などバーコードの複雑化に伴いその重要性は増している。当社では、既存の特徴抽出処理のモジュールへの搭載だけでなく、携帯電話に適した特徴抽出アルゴリズムの開発も行う予定である。

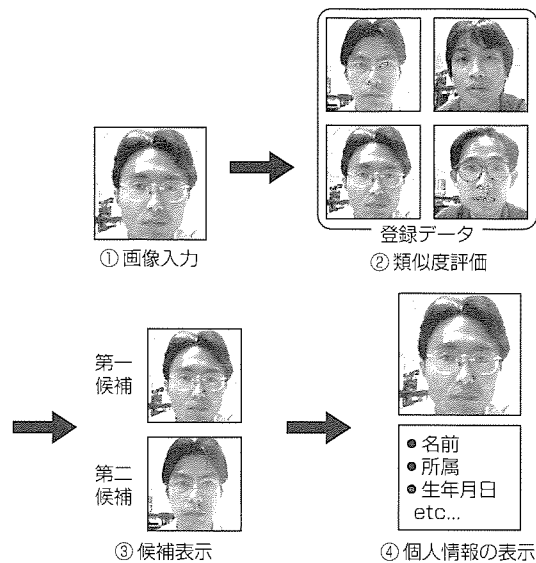


図2. 顔認識の応用

また、顔画像の認識も、新しいアプリケーションを創造する可能性を持っている。例えば、カメラで顔画像を取り込むだけで検索が実行できる個人情報データベースの実現などが考えられる(図2)。

6. むすび

人工網膜モジュールは高感度、低消費電力、超小型、高性能という特長を持つカメラモジュールであり、既に多くの携帯電話に使われている。今後は、高画質化の要求にこたえるために解像度向上を行うとともに、画像認識などユーザーが幅広いカメラ応用を実現するのに役立つ画像処理機能を強化していく予定である。

参考文献

- (1) 原 邦彦, ほか: 携帯機器向けカラー人工網膜LSI, 三菱電機技報, 75, No.3, 192~195 (2001)
- (2) Hara, K., et al.: CMOS Image Sensor with CIF/QCIF Switching Function, IEEE Workshop on CCDs and Advanced Image Sensor, Lake Tahoe, USA (2001-6)
- (3) 船津英一, ほか: 射影演算機能を持つ人工網膜LSI, 映像情報メディア学会誌, 55, No.10, 1329~1336 (2001)

携帯機器向け 第二世代32M Mobile RAM

鈴木富夫* 谷口浩二**
築出正樹* 福田達哉*
佐藤広利*

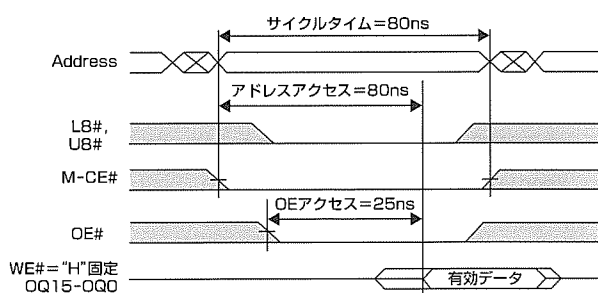
要旨

携帯電話端末は加速度的に高機能化しており、RAM(ランダムアクセスメモリ)デバイスへの大容量化・高速化・低価格化の要求が強い。三菱電機は大容量のデータを処理するワークRAMとしてDRAMメモリセルを使用した“Mobile RAM”を開発してきており、本稿で第二世代品について述べる。新規機能として、通常動作に比べ約2.5倍の高速動作が可能であるページ読み出し機能を追加した。また、ロングサイクル動作保証を追加し、指定のタイミングを使用することにより、1サイクルタイムを通常の10μsから500μsまでのロングサイクルでデータ破壊することなく動作可能となる。第一世代品に比べて非同期式SRAMインタフェースとの互換性を高めており、ATD(ア

ドレス トランジション ディテクト)回路と、内部リフレッシュ動作と外部書き込み・読み出し動作要求を競合処理する回路の搭載により、任意アドレスの変化を受けて動作するアドレストリガー方式で動作可能とした。これにより、非同期SRAMをワークメモリとして使用してきた携帯電話システムの構成を従来から変更することなく、このMobile RAMを搭載可能である。また、コマンドモード機能を持っており、コマンド入力による部分的データ保持機能(データ保持ブロック選択機能)やソフトウェア的にパワーダウンに設定させる機能(ソフトウェア パワーダウン機能)等を備えている。

Mobile RAMの製品概要

語構成	2M×16
動作電圧	2.7~3.0V
I/O電源電圧	2.7~3.0V又は1.65~1.95V
スタンバイ電流	80μA
パワーダウン電流	10μA
アクセス/サイクルタイム	80ns/80ns
ページアクセス/ページサイクルタイム	25ns/25ns
ページ長	8ワード
動作電流(アドレスアクセス時)	40mA @ t _c = 80ns
動作電流(ページアクセス時)	70mA @ t _{pc} = 25ns
ソフトウェアコマンド制御	データ保持ブロック選択機能
	ソフトウェア パワーダウン機能
	ウェークアップ機能

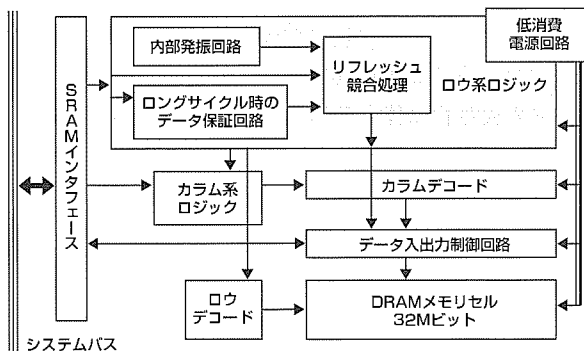


リードタイミング (アドレスコントロール)

コマンド一覧

コマンド ⁽³⁾	第一バスサイクル			第二バスサイクル			第三バスサイクル		
	モード	アドレス	データ ⁽¹⁾ (DQ7-0)	モード	アドレス	データ ⁽¹⁾ (DQ7-0)	モード	アドレス	データ ⁽¹⁾ (DQ7-0)
ソフトウェア パワーダウン	ライト	最終 アドレス ⁽⁴⁾	B1(hex)	ライト	最終 アドレス ⁽⁴⁾	D0(hex)			
ウェークアップ	ライト	最終 アドレス ⁽⁴⁾	FA(hex)						
ソフトウェア リセット	ライト	最終 アドレス ⁽⁴⁾	B2(hex)	ライト	最終 アドレス ⁽⁴⁾	D0(hex)			
EXITコマンド	ライト	最終 アドレス ⁽⁴⁾	FF(hex)						
データ保持 ブロック選択	ライト	最終 アドレス ⁽⁴⁾	D3(hex)	ライト	最終 アドレス ⁽⁴⁾	DHB ⁽²⁾	ライト	最終 アドレス ⁽⁴⁾	D0(hex)
データ保持 ブロックリード	ライト	最終 アドレス ⁽⁴⁾	7D(hex)	リード	最終 アドレス ⁽⁴⁾	DHB ⁽²⁾			

- (1) 上位バイト(DQ15-8)のデータは無視される。
- (2) DHB=データ保持ブロック
- (3) 各種コマンドは必ずコマンドモードに設定後、実施可能
- (4) 32M Mobile RAMの最終アドレスはA20-ADに対する1FFFFF(hex)



32M Mobile RAMのブロック図

第二世代Mobile RAMのブロック図と製品概要

ブロック図、製品概要、リードタイミング図、コマンド一覧を示す。第二世代品でページ読み出し機能を追加し、大容量のデータを処理するワークRAMとして、DRAMメモリセルを使用しながら、非同期式SRAMとの互換性を高めており、アドレストリガー方式で動作可能とした。また、コマンドモード機能を持っており、コマンド入力によるデータ保持ブロック選択機能やソフトウェア パワーダウン機能等を備えている。

1. ま え が き

近年の携帯電話端末は加速度的に高機能化しており、写真撮影、位置情報検索、Javaアプリケーション実行、データの送受信、動画配信等の機能が追加されている。これに伴い、RAMデバイスへの大容量化・高速化・低価格化の要求が強い。特に、大容量のデータを処理するワークRAM用途として、低消費化と大容量化を兼ね備えた擬似SRAMの要求が強い。当社では、これらの要求を満足できる新たなワークRAMを“Mobile RAM”として独自に開発してきた。本稿で述べるデバイスは、Mobile RAMの第二世代品に相当し、新規機能としてページ読み出し、ロングサイクル動作保証を追加すると同時に、第一世代品に比べてSRAMインタフェースとの互換性を高めており、任意アドレスの変化を受けて動作するアドレストリガー方式で動作可能である。この動作を可能にするため、内部リフレッシュ動作と外部書き込み・読み出し動作要求を競合処理する回路を設けており、これにより、DRAMメモリセルの使用を可能とした。

本稿では、Mobile RAM第二世代品の特長及びその特性を述べる。

2. Mobile RAMの製品概要

表1にMobile RAMの製品概要を示す。

語構成は2M×16である。動作電圧は2.7~3.0Vであり、I/O電源電圧は2.7~3.0V対応と1.65~1.95V対応がある。スタンバイ電流は80μAの低スタンバイ電流を実現し、さらに、コマンドモードを利用したパワーダウン機能によりパワーダウン電流は10μAの低消費化が可能である。アクセスタイムとサイクルタイムは共に80nsの高速化を実現した。第二世代品からはワード長8のページ読み出し機能を持っており、アクセスタイムとサイクルタイムは共に25nsであり、通常動作に比べ約2.5倍の高速動作が可能である。動作電流は、通常アドレスアクセス時40mA、ページアクセス時70mAである。

コマンドモード機能を持っており、コマンド入力による

表1. Mobile RAMの製品概要

語構成	2M×16
動作電圧	2.7~3.0V
I/O電源電圧	2.7~3.0V又は1.65~1.95V
スタンバイ電流	80μA
パワーダウン電流	10μA
アクセス/サイクルタイム	80ns/80ns
ページアクセス/ページサイクルタイム	25ns/25ns
ページ長	8ワード
動作電流(アドレスアクセス時)	40mA @ t _c =80ns
動作電流(ページアクセス時)	70mA @ t _{pc} =25ns
ソフトウェアコマンド制御	データ保持ブロック選択機能
	ソフトウェアパワーダウン機能
	ウェークアップ機能

部分的データ保持機能(データ保持ブロック選択機能)やソフトウェア的にパワーダウンに設定させる機能(ソフトウェアパワーダウン機能)等を備えている。

3. 第二世代Mobile RAM回路技術

3.1 機能概要

このMobile RAMのブロック構成を図1に示す。

外部のシステムバスとはSRAMインタフェースで接続される。メモリセルにはDRAMメモリセルを用いて小型・大容量を実現した。DRAMメモリセルを用いるために内部リフレッシュ要求と外部アクセス要求(特にアドレスアクセス)の競合処理を最適化し、アクセスの高速化とタイミング制限の少ない非同期型SRAMとの互換を可能にした。

図2、図3にMobile RAMのリード及びライトのタイム

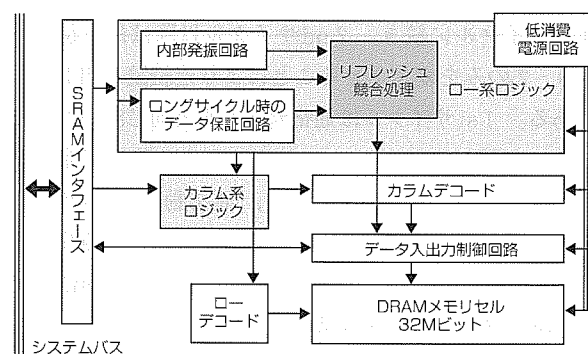
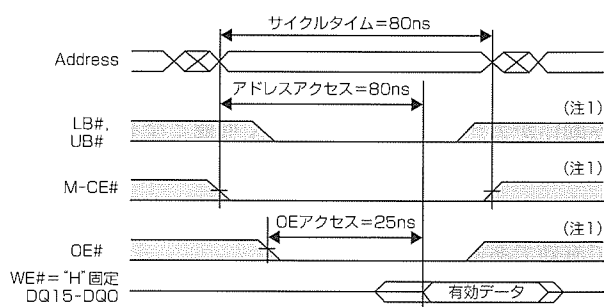
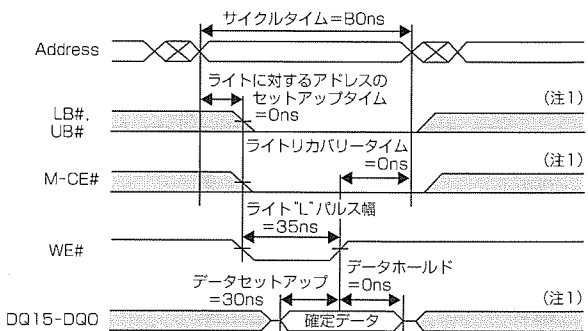


図1. 32M Mobile RAMのブロック図



(注1) アミかけ部は、L又はHレベルを入力としてください。

図2. リードタイミング(アドレスコントロール)



(注1) アミかけ部は、L又はHレベルを入力としてください。

図3. ライトタイミング(WE#コントロール)

ングを示す。

制御信号はSRAMと同一信号のチップイネーブル信号M-CE#, 出力イネーブル信号OE#, 書き込みイネーブル信号WE#, 上位/下位バイトイネーブル信号UB#/LB#を用い, 基本動作タイミングもSRAMと同様である。

読み出し時には, M-CE#=Lの場合, アドレスの変化を受け, 内部アクセスが開始される。書き込み時には, アドレスの変化を受け, 内部アクセスが開始されると同時に, WE#=Lを検知し, 書き込み動作となり, データの書き込みを実施する。

また, 電源回路の消費電流低減とコマンド入力によるデータ保持ブロック選択機能により, 低スタンバイ電流を実現した。

3.2 ページ読み出し動作

第二世代品からはワード長8のページ読み出し機能を搭載している。

1stサイクルに続き, 2ndサイクル以降は最下位アドレスA0-2のみを変化させることにより連続読み出し動作可能である。1stサイクルは通常サイクルと同じ80nsで, 2ndサイクル以降は25nsのショートサイクルで動作可能である。

アクセスタイムも25nsであり, 通常動作80nsサイクルでデータを読み出す場合に比べ約2.5倍の高速読み出し動作が可能である。ページアクセス時の動作電流は70mAである。

3.3 ロングサイクル対応動作

ロングサイクル動作にてデータ保持保証機能を追加した。図4にタイミングを示す。

通常の使用時は10μs以上のサイクルを保証していないが, 指定のタイミングを使用した場合, 1サイクルタイムが500μsまでのロングサイクルでの読み出し動作及び書き込み動作がデータ破壊することなく可能となる。

これにより, 通常時と異なる待ち受け画面等の比較的長いサイクルで使用することが可能となり, ワークRAMとして有効である。

3.4 SRAMインタフェース互換性

競合処理について述べる。

携帯電話システム内で, アドレスは, 他のアドレスとの

下記タイミングにより, CE#=L期間における10~500μsのロングサイクルにも対応可能
 リードサイクル: サイクル終了時にOE# "H" 期間を5μs以上確保
 ライトサイクル: サイクル終了時にWE# "H" 期間を5μs以上確保

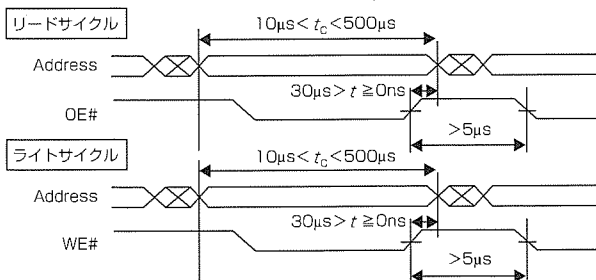


図4. ロングサイクル時のリフレッシュリカバリータイミング

間に差異(スキュー)を持っている。アドレストリガー方式で動作するためには, 正規サイクル前後での非正規のアドレスの変化を無視し, データ破壊することなく80nsアクセスで動作する必要がある。

CE#が"L"の場合, 外部アドレス変化を受け, 内部ATD信号を発生する。このATD信号を基点に, 正規サイクルのアクセスを実行すると同時に常時外部アドレス信号の変化をモニタしている。また, 内部発振回路からのリフレッシュ要求信号をモニタしており, これらの信号・要求を調停することにより, 外部要求のサイクルを実行するか, アドレススキューによる短いサイクルを非正規サイクルとみなし無視するか, 又はリフレッシュを実行するかを決める。

以上により, 非同期SRAMとの完全機能互換を可能とした。これにより, 非同期SRAMをワークメモリとして使用してきた携帯電話システムの構成を従来から変更することなく, このMobile RAMを搭載可能である。

4. ソフトウェアコマンド制御

4.1 コマンドモード設定

Mobile RAMは, 通常の読み出し・書き込み動作とは別に, ソフトウェア的に各種機能を設定することができる。この付加機能は, デバイスに所定のコマンドを入力することにより設定可能である。入力されたデータをコマンドとしてデバイスが認識するためには, コマンドモードにあらかじめエントリーする必要がある。

表2にコマンドの一覧を示す。また, 通常モードとコマンドモードとの状態遷移図を図5に示す。

コマンドモードにエントリーするには, 最終アドレスを連続して4回以上リードすることにより設定できる。

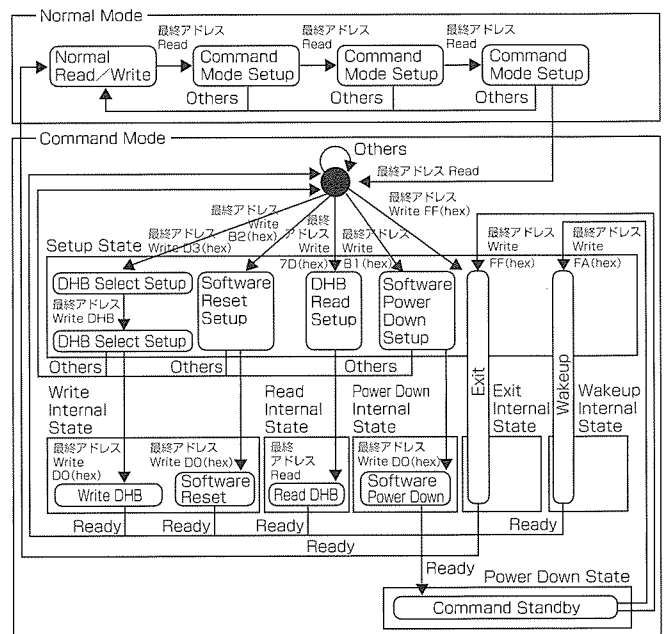


図5. 状態遷移図

表2. コマンド一覧

コマンド ⁽³⁾	第一バスサイクル			第二バスサイクル			第三バスサイクル		
	モード	アドレス	データ ⁽¹⁾ (DQ7-0)	モード	アドレス	データ ⁽¹⁾ (DQ7-0)	モード	アドレス	データ ⁽¹⁾ (DQ7-0)
ソフトウェア パワーダウン	ライト	最終 アドレス ⁽⁴⁾	B1(hex)	ライト	最終 アドレス ⁽⁴⁾	D0(hex)			
ウェークアップ	ライト	最終 アドレス ⁽⁴⁾	FA(hex)						
ソフトウェア リセット	ライト	最終 アドレス ⁽⁴⁾	B2(hex)	ライト	最終 アドレス ⁽⁴⁾	D0(hex)			
EXITコマンド	ライト	最終 アドレス ⁽⁴⁾	FF(hex)						
データ保持 ブロック選択	ライト	最終 アドレス ⁽⁴⁾	D3(hex)	ライト	最終 アドレス ⁽⁴⁾	DHB ⁽²⁾	ライト	最終 アドレス ⁽⁴⁾	D0(hex)
データ保持 ブロックリード	ライト	最終 アドレス ⁽⁴⁾	7D(hex)	リード	最終 アドレス ⁽⁴⁾	DHB ⁽²⁾			

(1)上位バイト(DQ15-8)のデータは無視される。
 (2)DHB=データ保持ブロック
 (3)各種コマンドは必ずコマンドモードに設定後、実施可能
 (4)32M Mobile RAMの最終アドレスはA20-A0に対する1FFFFFF(hex)

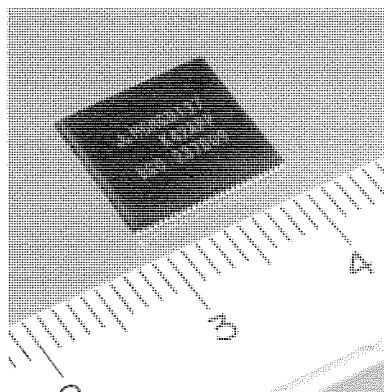


図6. S-μMCPの外観

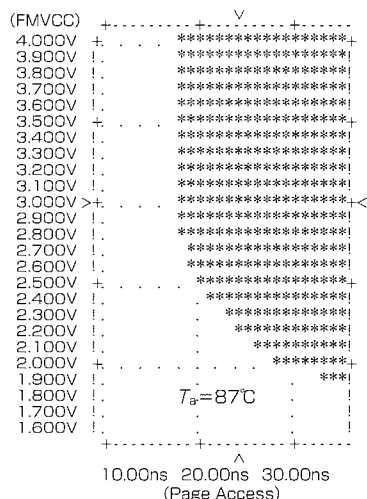


図7. ページアクセスのシューム

コマンドモードにエントリーした後、最終アドレスを指定した状態で各種コマンドを入力する。いったんコマンドモードに設定されると、ライトデータはコマンド又はコマンドに伴う特別なデータとして認識され、またリード動作もコマンドに伴う特別なデータのみが周辺回路から読み出される。各種コマンドは、データの下位バイト(DQ7-DQ0)のみが有効である。

また、コマンドエントリー状態から抜けるためには、EXITコマンドである最終アドレスにFF(hex)をライトする動作を実施する。

4.2 データ保持ブロック選択・コマンド

4Mビットごとに8分割されたブロックは、各々独立にデータの保持指定が可能である。このコマンドにより、指定された領域のみのデータが保持される。

データ保持ブロックを選択するには、最終アドレスを選択した状態で、第1サイクルでD3(hex)をライトし、第2サイクルで選択するブロックのデータをライトする。第3サイクルで確認コマンドとしてD0(hex)をライトする。

また、以下のシーケンスにより、データ保持ブロックリードコマンドを実施可能である。これにより、現在設定さ

れている保持ブロックの選択状態を知ることができる。

最終アドレスを選択した状態で、第1サイクルで7D(hex)をライトし、第2サイクルで読み出しを実施する。

4.3 ソフトウェアパワーダウン コマンド

最終アドレスを選択した状態でB1(hex)をライトし、第2サイクルで確認コマンドとしてのD0(hex)をライトすることによりデバイスをパワーダウン状態に設定できる。この状態では、10μAの低消費化を図ることができる。また、このときには、メモセル内のデータは保証されない。

以下のウェークアップ コマンドを実施することにより、パワーダウン状態から抜ける。

最終アドレスを設定した状態でFA(hex)をライトすることにより、通常の状態に移る。

5. パッケージ技術

図6に、このMobile RAMを搭載した4層S-μMCP(Stacked micro MCP)を示す。64Mビットフラッシュを2個、8MビットSRAM及びMobile RAMを搭載する。

この組合せに限らず、Mobile RAM、フラッシュメモリ、SRAMを自由に変えて、また各デバイスの容量も自由に変えて組み合わせることが可能であり、市場の要求に十分にこたえることができる。

また、100μmレベルのチップ薄膜化により、パッケージ厚を薄く抑えており、システムへの実装にも有効である。

6. 実デバイスの評価結果

図7にページアクセスタイムの電源電圧依存性を示す。測定条件は周囲温度87°Cである。広範囲の電源電圧条件において、十分スペックを満足しており、高速動作を実現している。

また、外部アドレスのスキュー・ノイズについても、誤動作することなく、正常に動作することを確認した。

7. む す び

今回、2M×16構成の第二世代32M Mobile RAMを開発し、量産中である。この製品は、小型・大容量・低消費・低価格を実現し、また従来の非同期SRAMのインタフェースと互換性を持たせるためアドレスアクセス方式に対応しているため、携帯機器向けのワークRAMとして最適である。

高速版64Mフラッシュメモリ

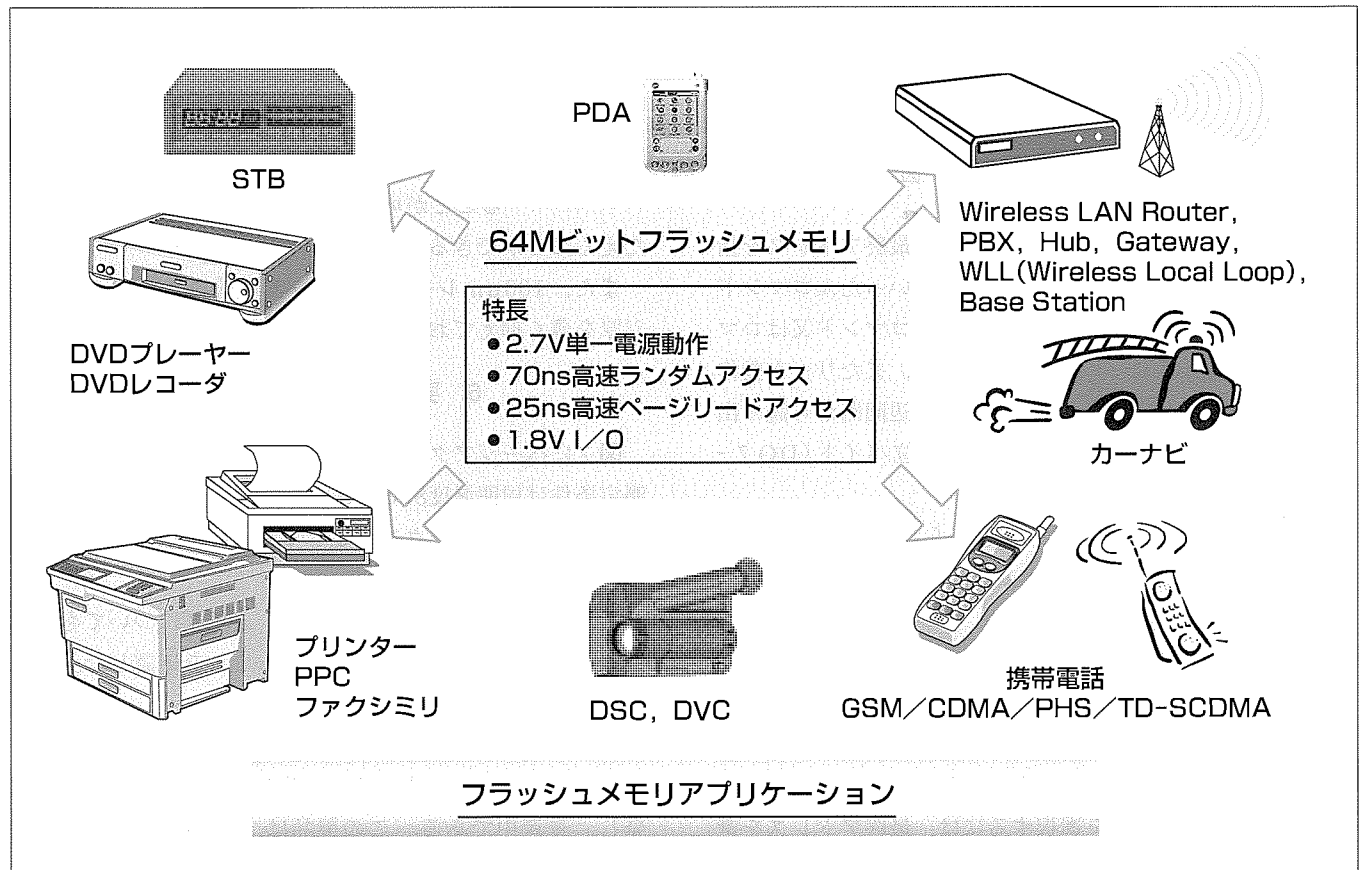
要旨

携帯電話は、急速なインフラ整備によるサービスエリア拡大とハンドセット及び使用料金の低価格化を背景に、ブームを呼んでいる。この携帯電話市場の拡大に伴い、大きく需要を伸ばしているのがフラッシュメモリである。フラッシュメモリは、電源を切ってもそのデータを保持する半導体メモリであり、携帯電話のシステムプログラム格納用などの用途に用いられている。

三菱電機では、このような携帯電話市場を踏まえ、2.7V単一電源で書換えが可能であり、かつ高速アクセスを実現した64MビットBGO(Back Ground Operation)フラッシュ

メモリを開発した。

このフラッシュメモリでは、70nsの高速ランダム読み出し、25nsの高速ランダムページ読み出しを実現した。高速アクセスは、ワード線ブースト回路を搭載したことと、消去状態のメモリセルのしきい値分布を狭帯化する消去シーケンスを採用したことで実現した。また、システムの消費電力低減化の市場動向に対応するために、入出力バッファ部に専用電源($V_{ccQ}=1.65\sim 1.95V$)を用意した。これにより、1.8V動作チップとの併用を可能とした。



64MビットBGOフラッシュメモリ

低電圧動作、高速アクセス、高速書換え、高信頼性を実現したBGO機能付きフラッシュメモリである。MCPにパッケージングすることにより実装面積削減が可能で、携帯機器等の用途に最適である。

1. ま え が き

近年、フラッシュメモリは、携帯電話を始めとして様々な携帯機器や情報処理端末において需要が高まってきている。なかでも、低電圧動作かつ高速アクセスへの要求が強くなってきている。当社では、これらの要求にこたえるため、既に16M/32Mビットの製品を供給している。今回、更なる高速化を実現した64MビットBGOフラッシュメモリを開発した。ワード線ブースト回路を搭載し、かつ消去状態のメモリセルのしきい値分布を狭くする消去シーケンスを採用することで、70nsの高速ランダムアクセスを実現している。また、25nsの高速ランダムページ読み出し機能も備えている。さらに、出力バッファ専用電源 ($V_{ccq}=1.65\sim 1.95V$)を備えており、システムの低消費電力化に対応している。

2. 高速版64Mフラッシュメモリの電気的特性

2.1 高速ランダムアクセス

高速アクセスを実現するために、まずワード線ブースト

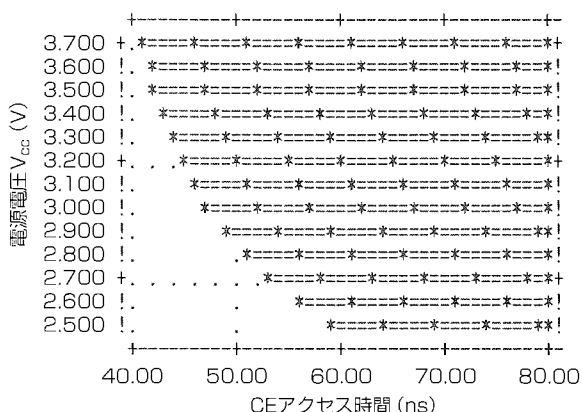


図1. アクセスシミュレーションプロット

方式を採用し、読み出し時のメモリセル電流を確保できる構成にした。さらに、新しい消去シーケンスを採用し、消去状態にあるメモリセルのしきい値分布を狭くした。

図1にアクセスシミュレーションプロットを示す。 $V_{cc}=2.7V$ で53nsの高速ランダムアクセスを実現している。

2.2 高速ランダムページリード機能

ページリードコマンド(F3H)をライトするとページリードモードになる。ページリードでは、4ワードのデータを高速に読み出すことができる。ページリードでの先頭ワードの読み出しは、ノーマルリードと同等の速度(70ns)である。これをファーストリードと呼ぶ。それ以降の残り3ワード分の読み出しは、高速(25ns)で行える。

図2にページリード動作のタイミングを示す。ページリードによる高速読み出しを行う場合には、A21~A2までのアドレスは変化させず、4ワード分のアドレスA1~A0を変化させる。A21~A2を変化させた場合はファーストリードとなり、アクセスタイムは70nsである。

また、図3にランダムページリードのセカンドアクセスシミュレーションプロットを示す。 $V_{cc}=2.7V$ で16nsのアクセスを

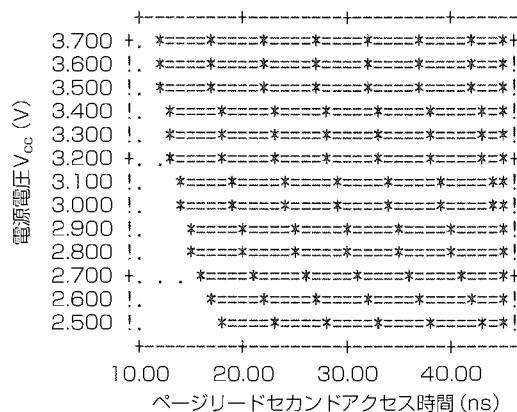


図3. ページリードのセカンドアクセスシミュレーションプロット

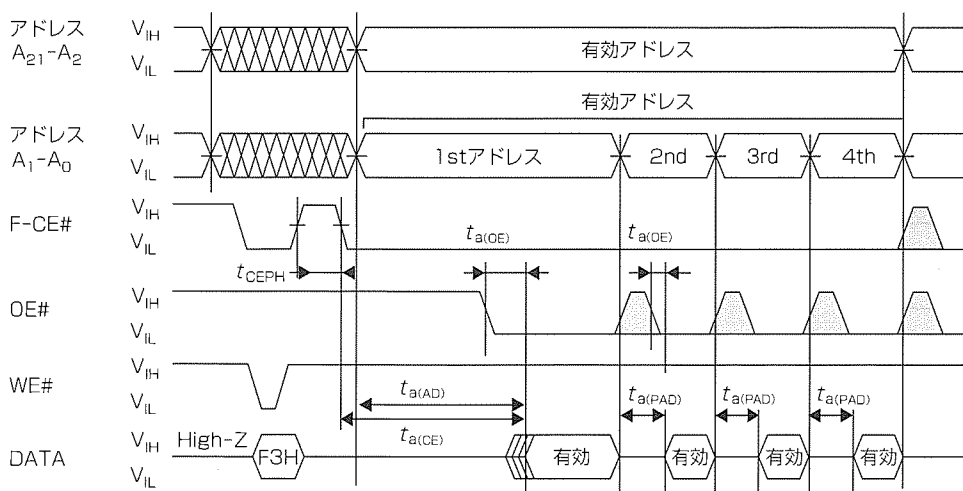


図2. ページリード動作のタイミング

実現している。

2.3 1.8Vインタフェース機能

低消費電力化に伴い、1.8Vで動作するシステムが現れてきた。これにこたえ、今回、オプションとして1.8Vのインタフェースが可能な構成を搭載した。入力部と出力部に別電源 ($V_{ccQ} = 1.65 \sim 1.95V$) を用意し、外部と信号のインタフェースは、この電源を使用するようにした。チップ内部は $V_{cc} = 2.7 \sim 3.0V$ で動作しており、入出力部との間にレベルシフト回路を挿入している。図4に V_{ccQ} を使った場合のアクセスシミュレーションプロットを示す。 $V_{cc} = 2.7V$, $V_{ccQ} = 1.8V$ で62nsのアクセスを実現している。

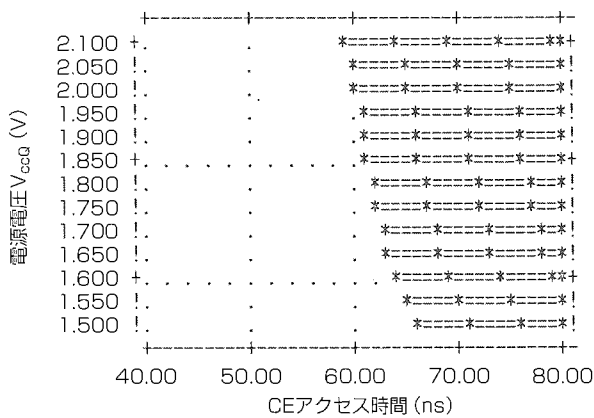


図4. V_{ccQ} 使用時のアクセスシミュレーションプロット

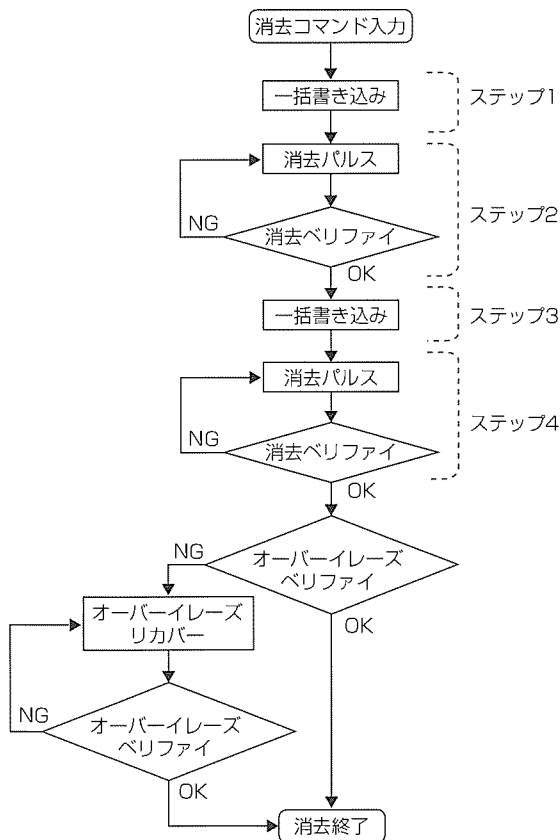


図5. 消去シーケンス

3. 消去特性の向上

高速アクセスを実現するためには、消去状態にあるメモリセルのしきい値を低く設定する必要がある。このためには、消去状態のメモリセル群のしきい値分布を狭くしなければならない。

今回の開発では、新しい消去シーケンスを採用し、消去分布を狭くした。従来の消去シーケンスでは、消去パルスを印加した後にしきい値が下がり過ぎた(オーバーイレーズ状態)メモリセルに対しビットごとの書き込みを行っていた。今回は、消去パルスを印加した後に一括書き込みを行うことで、しきい値分布を狭くするようにした。また、これにより、ビットごとの書き込みの対象ビット数を低減でき、消去時間の短縮も実現した。図5に、今回搭載した消去シーケンスのフローチャートを示す。

以下に、この消去シーケンスを説明する。

図6は、消去コマンドが入力され、一括書き込みパルスを印加した(消去前書き込み)後のメモリブロック内のメモリセルのしきい値分布である。図5のステップ1に相当する。各メモリセルはしきい値の高い状態にある。次に、消去パルスを印加し、その後、消去ベリファイを行う。この消去パルス印加と消去ベリファイとを繰り返す。このときの消去ベリファイ電圧をEV1とする。

図7に、EV1でのベリファイ完了後のメモリセルのしきい値分布を示す。図5のステップ2に相当する。各メモリセルのしきい値はEV1よりも低い状態にある。この後、再度、一括書き込みパルスを印加する。ただし、このときのパルスは、消去前書き込みのときに比べ弱いパルスとする。

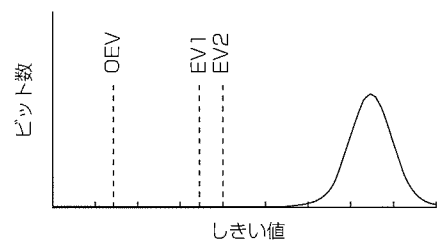


図6. 消去前書き込み後のメモリセル分布

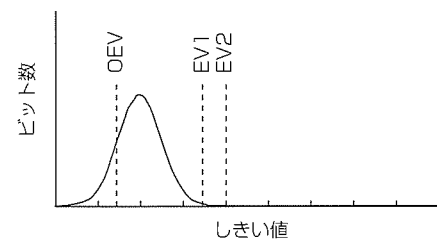


図7. 消去パルス印加後のメモリセル分布

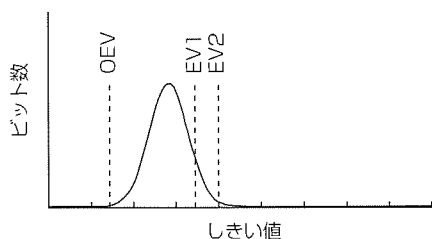


図8. 一括書き込み後のメモリセル分布

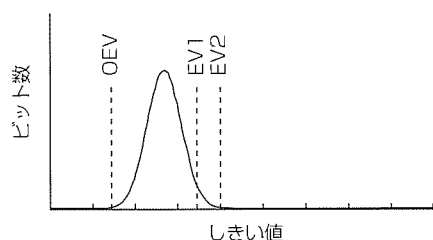


図9. 消去パルス印加後のメモリセル分布

図8に、一括書き込みパルス印加後のメモリセルのしきい値分布を示す。図5のステップ3に相当する。各メモリセルのしきい値はOEV(オーバーイレースベリファイ電圧)よりも高い状態にある。しかし、一括書き込みの結果、消去ベリファイ電圧を超えるメモリセルも現れる可能性がある。この場合、さらに消去パルス印加と消去ベリファイとを繰り返し、しきい値が高くなったメモリセルを戻す。このときの消去ベリファイ電圧をEV2とし、EV1よりも高く設定する。このように消去ベリファイ電圧を2段階にし、それぞれの電圧を最適化することで、消去パルスを印加する回数を少なくできる。これにより、消去時間の短縮を図ることができる。

図9に、EV2電圧で消去ベリファイした結果のメモリセルのしきい値分布を示す。図5のステップ4に相当する。各メモリセルのしきい値はOEVからEV2までの間に収まっている。ただし、この場合でもなおオーバーイレースセルが発生する可能性があるため、オーバーイレースリカバのシーケンスを用意しておく。図5のステップ4以降のシーケンスである。

このような消去シーケンスを採用することで、消去状態のメモリセルのしきい値分布を狭くすることができ、これにより高速アクセスを達成した。

4. 製品仕様

表1に製品仕様を示す。2.7V単一電源で動作し、消去ブロックサイズは32Kワードである(不均等消去ブロック群

表1. 製品仕様

●構成	4,194,304語×16ビット 8,388,608語×8ビット
●電源電圧	$V_{cc} = 2.7 \sim 3.0V$ $V_{ccq} = 1.65 \sim 1.95V$ (オプション)
●アクセス時間	
ランダムアクセス時	70ns(V_{cc}) (最大) 75ns(V_{ccq}) (最大)
ページリード時	25ns
●消費電力	
読み出し時(5MHz)	90mW(最大)
ページリード時	30mW(最大)
プログラム/イレース時	105mW(最大)
スタンバイ時	0.285 μ W(標準)
●Bank(I)~Bank(IV)のオートプログラム	
プログラム時間	
ワードプログラム	30 μ s(標準)
ページプログラム	4ms(標準)
プログラム単位	
ワードプログラム	1ワード
ページプログラム	128ワード
●オートイレース	
消去時間	150ms/1ブロック(標準)
●その他の機能	
ソフトウェアコマンド制御	
Software Lock Release (F-WP#="L"の時)	
イレースサスペンド/レジューム機能	
プログラムサスペンド/レジューム機能	
Bank(I), Bank(II), Bank(III), Bank(IV)間の双方向BGO	
ページリード	

表2. プロセス概要

●プロセス	0.18 μ mルール 2層ポリシリコン 3層メタル P-sub Triple Well CMOS
●メモリセル	0.66 μ m×0.66 μ m

は4Kワード)。

また、この製品にはBGO機能を搭載した。BGO機能とは、メモリ領域を複数のバンクに分割し、あるバンクに対して書き込み又は消去を実行している間に他のバンクから読み出しができる機能である。

5. むすび

0.18 μ mルールのプロセスを用いて64MビットBGOフラッシュメモリを開発した。2.7Vの単一電源動作で70ns(V_{ccq} 使用時75ns)、ページリード25nsの高速アクセスを実現した。

新型SRAM

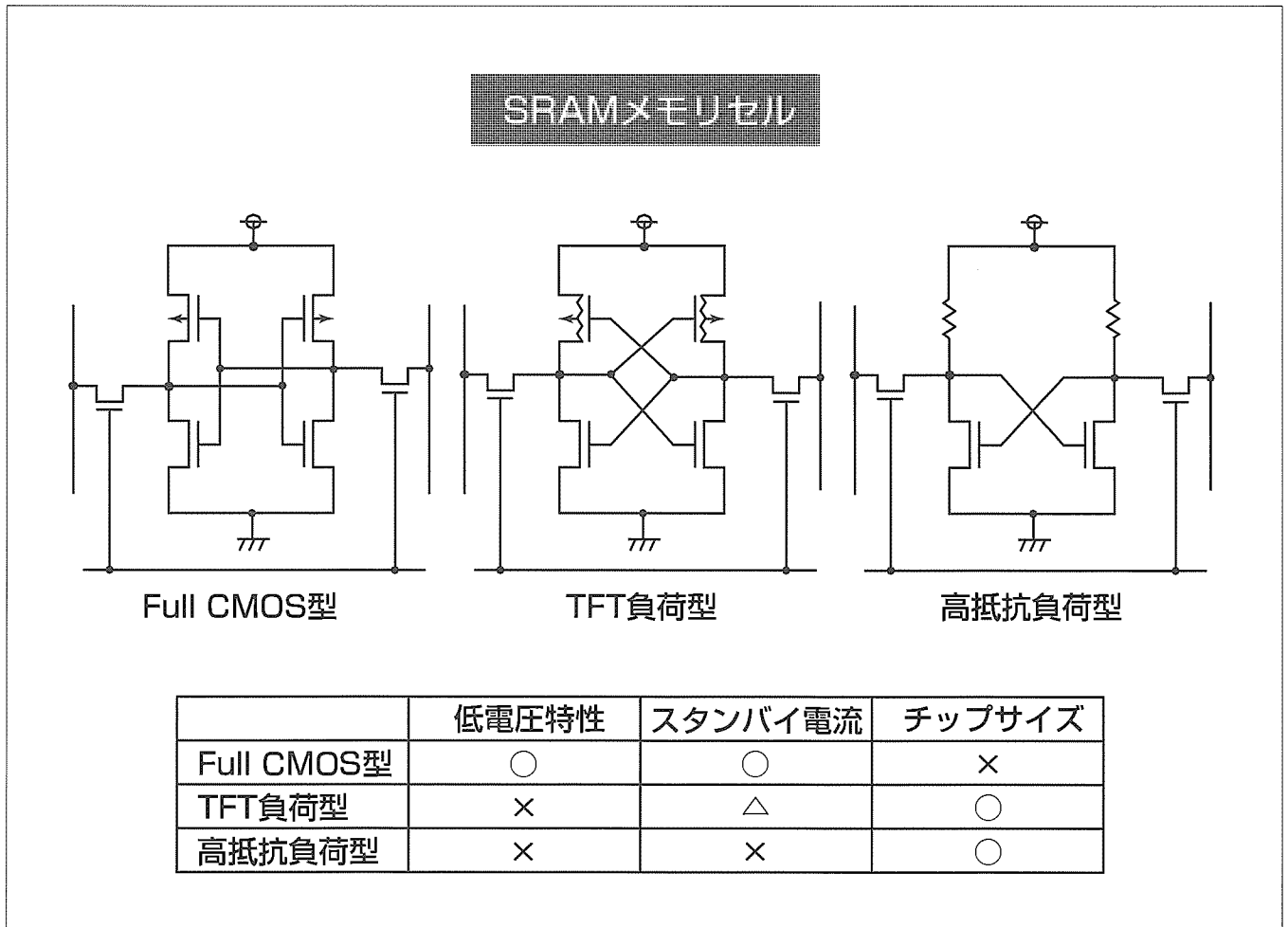
要 旨

三菱電機のSRAMは、様々な技術を用いて小面積のメモリセルを実現してきた。特にTFT(Thin Film Transistor)の技術では世界のトップレベルであり、0.25 μ m技術を用いて開発したTFT負荷型の4M LPSRAM(Low Power SRAM)においては、世界中の携帯電話に採用され、大きなビジネスとなった。TFT負荷型のSRAMは、メモリセルサイズが通常のCMOS型に比べて小さくできるのでコスト的に有利であるが、スタンバイ電流をCMOS型に比べてどの程度に抑えられるかが焦点となる。当社のTFT技術はスタンバイ電流をCMOS型と同程度とすることを可能としたため、TFT負荷型のSRAMでビジネスを展開した。

しかしながら、いかにSRAMで小さなメモリセルを

現しても、DRAMのメモリセルも小さくなっていっており、SRAMメモリセルサイズのDRAMメモリセルサイズに対する面積比は拡大の一途である。これに伴い、ビット当たりの価格比は大きく開いている。

さらに、SRAMにおいては、メモリ容量の増大化に伴い、ソフトエラーの問題も見逃せなくなっている。このような事態を打開するため、DRAM技術と当社の強いTFT技術を合わせ、外部特性は完全にSRAMと互換となる新型RAMを考案した。新型RAMはビット価格の低減とソフトエラーフリー特性を両立できる。当社独自の新技术でLPSRAMと高速SRAMに展開し、新たなビジネス展開を図る。



1. ま え が き

当社SRAM部門は1Kから最新の8Mまで開発・量産し、市場に製品を供給してきた。最近では、当社特有の技術での低コスト化も実現できた。しかし、SRAM自体の市場の広がりには限界が見えてきたと考えられる。このような状況を打破するため技術革新を断行し、新型SRAMで市場を広げ活性化に取り組む。

2. SRAMの状況

RAM市場は、様々な情報機器の進歩により持続的に成長している。一方、RAMと呼ばれるデバイスは一般にDRAMとSRAMの2種類からなり、DRAMはコンピュータ市場を最大の市場として、また、SRAMは携帯電話等の通信市場を最大の市場として成長してきた。DRAMは、ビット当たりの価格を低減させることを使命とし、技術革新を伴う微細化を行うことで大容量化を実現し、ビット当たりの価格を低減してきた。一方、SRAMは、リフレッシュ不要で使いやすいという点をセールスポイントとしてきたこともあり、基本的な技術は大きく変化しないまま微細化のみでビット当たりの価格を低減してきた。このため、DRAMとSRAMのメモリセルサイズの比は徐々に開く方向であり、これに伴って、ビット当たりのコスト比も拡大している。SRAMでは大容量化に対応できず、DRAMと同一容量のデバイスが実現できないため単純比較はできないが、現在は10倍程度の比となっている。このような大きな価格差が付いてくると、顧客側でも製品コストを下げるために、若干使いにくくてもDRAM又は疑似SRAM(DRAM系RAM)を使うことを検討することになる。このため市場の成長もDRAMに比べて低いことになり、RAM市場の中で市場をDRAMに譲る傾向がある。これが現在のSRAMの置かれた状況である。18M Network SRAMのチップを図1に示す。

3. 当社のSRAMの状況

3.1 LPSRAM

これまで、当社のLPSRAM事業は、コストパフォーマンスで優位に立つということを念頭に置いた戦略に基づき開発を行ってきた。0.25 μ m SRAMにおいては、コスト優先の思想の下、他社がFull CMOS(PTr.: 2, NTr.: 4)で製品化する中、当社はTFT+NMOS(NTr.: 4)で製品化した。この技術を用いた当社の4M LPSRAMは、同一デザインルールのFull CMOSタイプに比べ60%のチップ面積であり、CMOS品と比べて遜色(そんしょく)のないスタンバイ電流特性であったため、コスト面で圧倒的に優位に戦うことができた。0.25 μ m SRAMは1M/2M LPSRAMで、現在も量産中である。しかし、TFT+NMOS

(NTr.: 4)のSRAMには解決不能と考えられる問題点がある。これは、低電圧での動作ができないことである。携帯電話等に用いられるデバイスが低電圧化されつつあった状況で、0.25 μ m品の次の世代の製品である0.18 μ m SRAMを開発する際はTFT+NMOSのSRAMに固執することは市場を失う可能性があると考えられたため、Full CMOSに変更した。それでも他社に負けないメモリセルサイズを実現するため、SAC(Self Align Contact)技術を駆使した特殊な構造を用いた。この技術を用いて開発した8M LPSRAMでは、他社に比べて80%程度のチップサイズを実現できた。

メモリセル技術を表1に、LPSRAMのロードマップを図2に示す。

3.2 高速SRAM

高速SRAMについては、かつてPBSRAM(Pipelined Burst SRAM)を中心にして比較的大規模にビジネスを進めていた時期があったが、コスト的に苦しく、一時ビジネスを停止していた。しかし、今後は通信市場で高速の同期式SRAMが伸びると予想されるので、LPSRAMで培った低コスト化技術と持ち前の高速化技術を融合させる形で、Network SRAMとして再度ビジネスを開始することとした。LPSRAMとの技術の共用が重要ポイントである。

4. 今後のSRAM開発

TFT+NMOSのSRAMでは、Full CMOSである他社のSRAMとのコスト競争はできるが、それでも、DRAMに比べてコストを競えるようなメモリセルサイズを実現でき

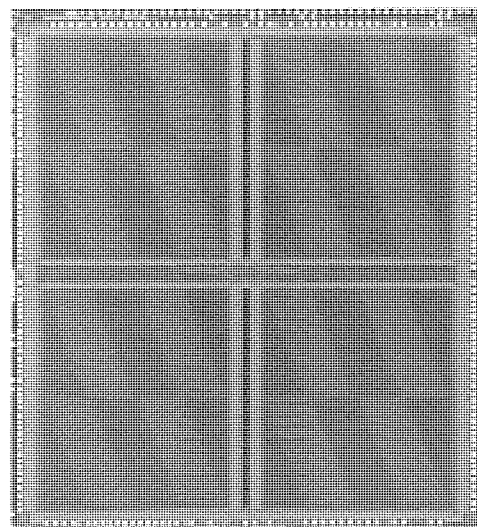


図1. 18M Network SRAMのチップ

表1. メモリセル技術

デザインルール	メモリセル技術の特長
0.25 μ m	TFTを用いたNMOS型
0.18 μ m	SAC技術を駆使したCMOS型

るわけではない。この理由は、SRAMがメモリセルをフリップフロップ動作させるため、4つのNTr.のうち2つは残りの2つに比べて3倍程度の駆動能力が必要であるからである。このように、フリップフロップを記憶媒体として用いる限りDRAMに比べて圧倒的に高いビットコストであることに変化はなく、市場はDRAMに流れていくのは必然の流れということになる。また、SRAMにはもう一つ微細化に伴って無視できない問題が顕在化してきている。それはソフトエラーの問題である。DRAMのような一定の容量のキャパシタがないので、微細化に伴って浮遊容量が低下し、更に大容量化に伴ってソフトエラー特性が悪化している。今後、SRAMが市場で生き残っていくためには、大容量化への対応とソフトエラー対策という2つの問題点を解決し、かつSRAMの長所を失わない新型のRAMを考案する必要があると考えた。新型RAMを検討する上で重要な点は次のとおりである。

- (1) メモリセルサイズを小さくかつソフトエラーに強くするには、キャパシタを記憶媒体として用いるDRAMの技術を導入する必要がある。
- (2) 当社には0.25 μ m SRAMで完成した高性能なTFT技術がある。

この2点を組み合わせて新型RAMのメモリセルを検討した。新型RAMは、コスト低減と高性能化を両立させる技術であり、LPSRAMと高速SRAMの両方に用いて品種展開を実施していく。

5. 新型RAM(Super SRAM)の概要と特長

Super SRAMとは次のような動作をするRAMである。

- (1) 読み出し／書き込み動作はDRAM同様、キャパシタを用いる。
- (2) データ保持はSRAMと同様、ラッチ回路を用いる。

これまでのSRAMはフリップフロップで動作していたが、Super SRAMでは、キャパシタで記憶するため、すべてのトランジスタを最小ディメンジョンで構成できる。ラッチ回路はPチャネルトランジスタをTFTとしたので、バルクのトランジスタとしてはNチャネルトランジスタのみで構成できる。これにより、通常のSRAMよりもメモリセルの面積が小さくできる。

新型RAMの位置付けを図3に示す。

Super SRAMは、他のRAMに比べ次の特長を持っている。

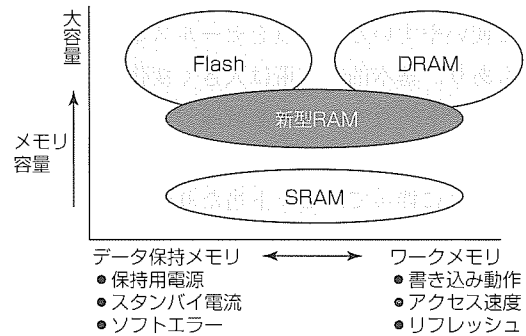


図3. 新型RAMの位置付け

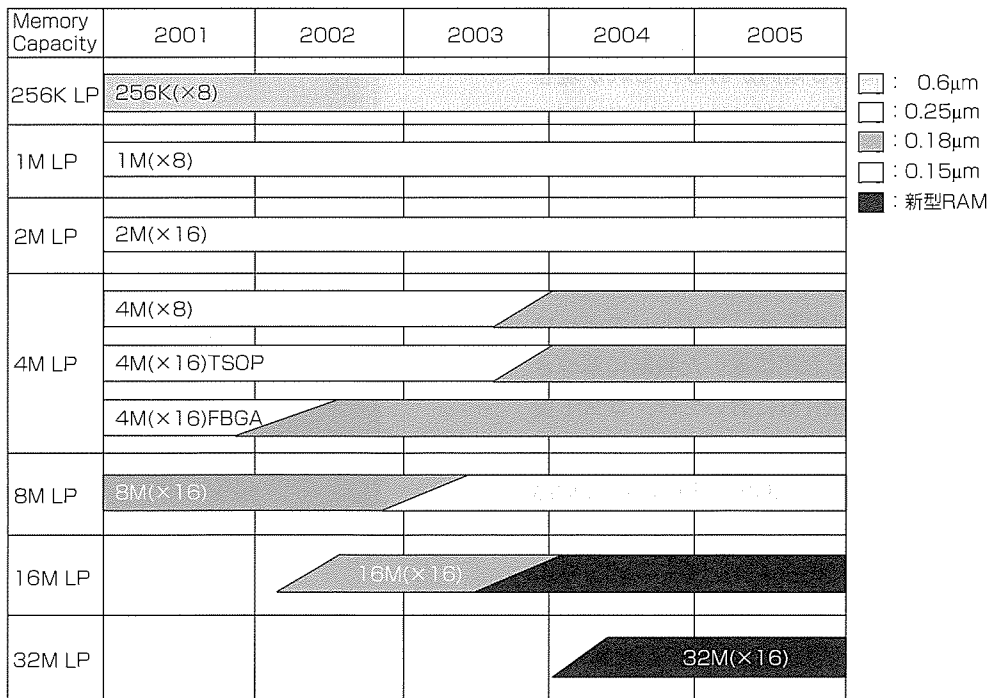


図2. LPSRAMロードマップ

5.1 DRAM及びDRAM系RAMに対し

(1) リフレッシュ不要

キャパシタは時間とともに電荷が放電してしまう。Super SRAMではこの自然放電を補填(ほてん)する手段を加え、リフレッシュを不要とした。これにより、リフレッシュに伴う電流が不要となりスタンバイ時の電流をSRAMに抑えることができるとともに、SRAMとの完全互換を実現できる。

(2) 低電圧動作特性

SRAM同様の相補動作であるので、低電圧の動作マージンは良好であり、高速特性も優れている。

5.2 SRAMに対し

(1) 大容量化

メモリセルを最小寸法のNチャネルトランジスタのみで構成できるため、同一のデザインルールで通常のSRAMよりも大容量化が図れる。

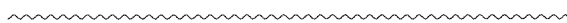
(2) ソフトエラー耐量の改善

SRAMに比べ、記憶ノードの容量が大きいため、ソフトエラー耐量が改善される。このため、大容量化が実現可能となる。

以上のような特長を持つメモリであるので、ワークメモリとしてもデータ保持メモリとしても使え、さらに、高速特性も持っているため使いやすい。また、SRAMでは限界と考えられるソフトエラー特性も改善されているので、SRAMに対し低コスト化と高性能化の両方を改善した極めて優れたメモリと考えている。

6. む す び

新型SRAMの開発は順調に進んでいる。新技術を用いてRAM市場に変化のトリガをかけて事業を進めていくとともに、更なる革新を目指して検討を進めていきたい。



CMOS高周波アナログ技術 — Bluetoothトランシーバ —

佐藤久恭*
小紫浩史**

要旨

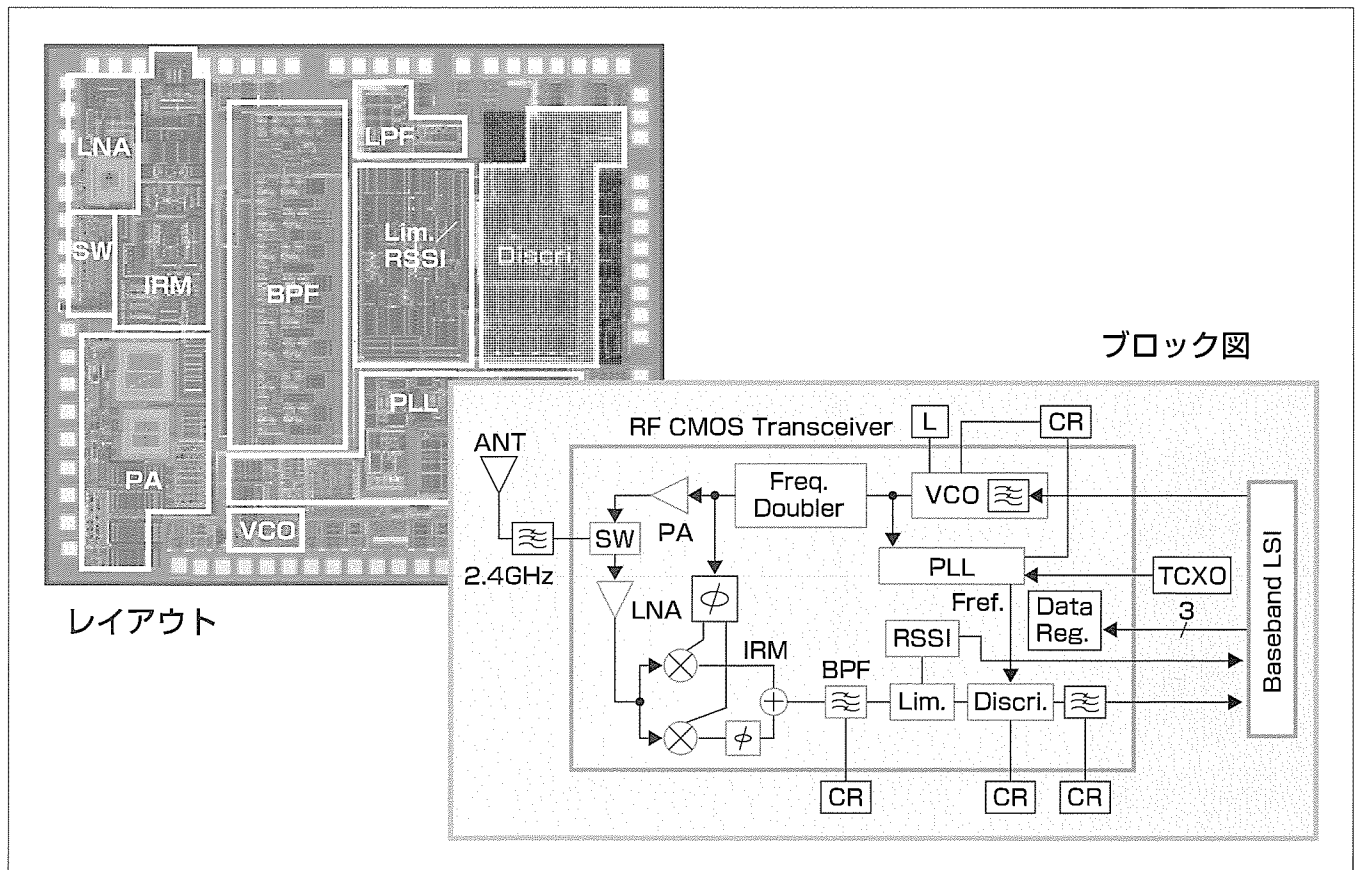
近年、CMOSの微細化に伴いトランジスタの特性が飛躍的に向上し、数GHz動作が可能となってきている。 f_T (遮断周波数) だけでみれば50GHzを超え、シリコンバイポーラをはるかにしのぐ性能である。一方、携帯電話、無線LAN等の無線通信システムにおいては、小型、軽量、低消費電力が強く望まれ、送受機能を1チップに集積したトランシーバが数多く発表されている。特に、トランシーバ(高周波アナログ部)とベースバンド処理(デジタル部)の1チップ化が可能となるため、トランシーバのCMOS化への取り組みが注目されている。

今回、0.18 μ m CMOSプロセスを用いて、2.4GHz動作のBluetooth^(注1) トランシーバを開発した。CMOSの特長を

生かして送受切換えスイッチを新たに内蔵するとともに、送受信アンプ、ミキサ、バンドパスフィルタ、VCO (Voltage Controlled Oscillator)、PLL (Phase Lock Loop)、検波回路等、すべてのブロックを1チップに集積した。

低電圧化とともにバンドパスフィルタの入力ダイナミックレンジが厳しくなるが、事前に妨害波を抑圧する回路を挿入することにより、1.8Vの低電圧動作を実現した。先行開発したBiCMOS版Bluetoothトランシーバと比較して、送受信切換えスイッチを内蔵した上で、チップサイズ40%、消費電流25%を削減した。

(注1) Bluetoothは、Bluetooth SIG, Inc., U.S.Aの登録商標であり、三菱電機㈱は使用許諾を受けている。



Bluetooth用CMOS RFトランシーバ

2.4GHzの高周波アナログフロントエンド部と低周波で動作する変復調アナログ部、PLL用デジタル部を集積した高周波アナデジ混載LSIである。0.18 μ m CMOSプロセスを用い、送受切換えスイッチを含むすべての無線処理機能を1チップに集積している。受信部はLow IFアーキテクチャ、送信部はVCO直接変調方式を採用して、低消費電流化を図るとともに、アナログ回路の工夫により1.8Vの低電圧動作を可能にした。チップサイズは3.4mm \times 3.0mmである。

1. ま え が き

CMOSプロセスを用いて高周波アナログ回路を実現する研究は、1993年にUCLAから発表された送信アンプが初めてであろう⁽¹⁾。わずか10年ほど前のことで、バイポーラや化合物半導体による高周波回路の歴史から比べれば極めて短い。2 μm CMOSトランジスタとオンチップインダクタを組み合わせて900MHzの動作を可能としたことは大きな注目を浴びた。汎用のCMOSプロセスでトランシーバを実現できれば、ベースバンド処理を行うデジタル部との1チップ化が可能となるからである。その後も欧米の大学を中心に盛んに研究が行われてきたが、長い間、製品として日の目を見ることはなかった。これは、半導体メーカーの多くが高周波技術とCMOS回路の両方に精通しているエンジニアが皆無であったこと、学会発表されたものの多くは、性能はバイポーラ並みであるものの、消費電流が多くて移動体通信用途には致命的であることなどが挙げられる。その後、微細化に伴ってCMOSトランジスタの性能が飛躍的に向上し、消費電力もバイポーラトランジスタと肩を並べるようになってきた。CSR(Cambridge Silicon Radio)社が1チップBluetoothで成功するに至って、今では各社が競ってCMOS化に取り組んでいる状態である。

本稿では、三菱電機のCMOS高周波アナログの現状と0.18 μm CMOSプロセスを用いたBluetoothトランシーバのチップ構成、回路設計、試作評価結果について述べる。

2. RFフロントエンド回路ブロック

2.1 0.18 μm CMOSプロセス

当社では、既に0.5 μm BiCMOSプロセスを用いたBluetooth用RFトランシーバ(M64846FP)⁽²⁾と、0.18 μm CMOSプロセスを用いたベースバンドLSI(M64111WG)を開発済みである。RFトランシーバの0.18 μm CMOS化に当たって、性能的に最も厳しい2.4GHzで動作する回路ブロックの高周波特性と1.8Vの低電圧動作を検証するために、まずこれらの回路ブロックの試作を行った⁽³⁾。

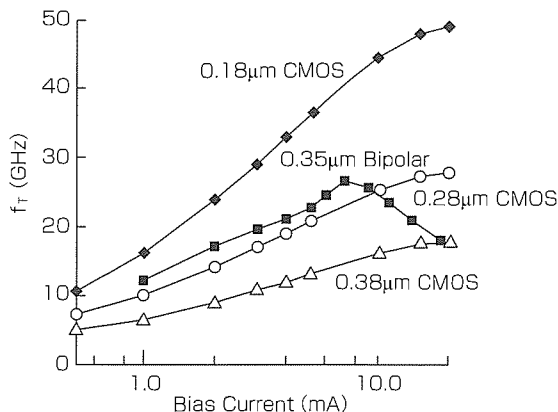


図1. f_T の比較

図1に各プロセスの高周波特性比較を示す。0.18 μm CMOSプロセス(0.18EP)と0.35 μm BiCMOSプロセスで試作したトランジスタの電流遮断周波数(f_T)のバイアス電流依存性である。0.28 μm CMOSと0.38 μm CMOSは0.18 μm CMOSプロセスで試作し、ゲート長を変化させたトランジスタである。トランジスタのドレイン-ソース間及びコレクター-エミッタ間のバイアス電圧は1Vで評価している。

すべてのバイアス電流において、0.18 μm CMOSの f_T は、0.35 μm バイポーラトランジスタを上回る。最大 f_T は約50GHzである。0.18 μm CMOSのトランジスタを用いることによって、バイポーラトランジスタを用いたRFトランシーバよりも低消費電流化を実現できる可能性が高い。

今回使用する0.18 μm CMOSの他の特長は、4層のアルミ配線、2層ポリシリコン容量、トリプルウェル構造である。また、インダクタの性能を向上させるために、最上層のアルミ層の厚膜化と基板の高比抵抗化を行っている。プロセス開発のコストを抑えるため、これらは既に開発済みのオプションプロセスを組み合わせた。

2.2 低雑音増幅器(LNA)

低雑音増幅器の回路図を図2に、チップ写真を図3に示す。低雑音増幅器はインダクタ負荷を持つ1段のソース接地増幅回路である。入力整合と線形化のためにインダクタをソースに接続している。このインダクタはオンチップのスパイラルインダクタである。4層目のアルミを厚膜化しているため、直列抵抗が小さく、Q値を高めることができる。出力信号の信号損失を低減するため、出力信号ラインには2.4GHzで50 Ω となるコプレーナ線路を用いた。トラン

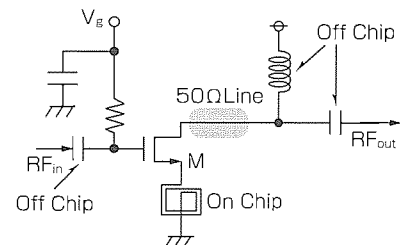


図2. 低雑音増幅器(回路図)

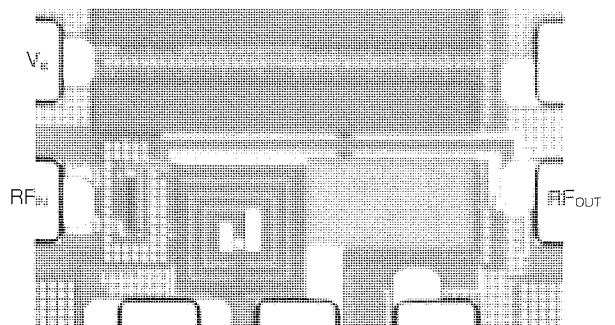


図3. 低雑音増幅器(チップ写真)

ジスタの総ゲート幅は300 μ mである。2.4GHz, 1.8V, 3.0mAにおいて、利得10.7dB, 雑音指数3.8dBが得られた。

2.3 電力増幅器 (PA)

電力増幅器は3段のソース接地増幅回路である。容量結合回路での損失を低減するために、櫛(くし)形に配置したアルミ配線によるインターデジタル容量を用いた。微細プロセスにより配線間の距離が短く、効率良く容量を形成することができる。出力電力+5.0dBmを実現するために、最終出力段のトランジスタのゲート幅を600 μ mにした。2.4GHz, 1.8Vにおいて、出力電力+5.0dBmを達成し、そのときの電力利得は19dBであった。

2.4 送受切換えスイッチ (SW)

バイポーラプロセスでSWを構成するのは困難であるが、FETならトランスファゲート (TG) を用いることができる。しかし、一般に、GaAsFETに比べて、MOSFETで実現した場合は、オン抵抗や基板損失による挿入損失が大きいため、SWの挿入損失を小さくすることは非常に重要である。

送受切換えスイッチの回路図を図4に示す。この回路においてM1とM2はTGを形成しており、M3とM4は制御回路である。オン抵抗による損失を低減するためにはトランジスタサイズを大きくすればよいが、大きくしすぎると基板損失が増大する。両方の効果を考慮した最適化を行い、ゲート幅を200 μ mに決定した。2.4GHzにおいて、挿入損失1.5dB, アイソレーション24dBを実現した。

2.5 デュアルモジュラスプリスケータ

$\div 4/5$ デュアルモジュラスプリスケータはPLLの中で最も高速に動作するブロックである。VCOの発振周波数を基準周波数まで分周するプログラムデバイダの初段に位置し、3段のフリップフロップと2入力ORから構成される。図5に、このプリスケータに用いる2入力OR回路付き電流モードフリップフロップ回路を示す。従来のバイポーラ回路ではOR回路の部分は単相入力回路であるが、MOSトランジスタの特性を生かして差動OR回路とした。これにより、すべての信号ラインが差動となり、論理電圧振幅のマージンを大きくとれる。gmの小さいトラ

ンジスタを用いても十分スイッチングできるため、ドレインノードの寄生容量を小さくすることができ、高速動作が可能となる。また、完全差動型にすることにより、電源ラインからのノイズに強くなる、バイアス回路が不要になるなどのメリットがある。

試作したデュアルモジュラスプリスケータ回路の最高動作周波数は3.0GHzであり、動作電流は900 μ Aである。フリップフロップ1個当たりの消費電力は180 μ W/GHzであり、従来のバイポーラプリスケータよりも低消費電力化することができた。

3. Bluetooth用RFトランシーバ

3.1 チップ構成

以上のように、0.18 μ m CMOSプロセスを用いて試作した1.8V動作の2.4GHzフロントエンド部の有効性を確認することができた。この技術を基に、Bluetooth用RFトランシーバを試作した⁽⁴⁾。図6にトランシーバのブロック図を示す。チップ上には低雑音アンプ(LNA), 送信アンプ(PA), 送受切換えスイッチ(SW), イメージ除去ミキサ(IRM), バンドパスフィルタ(BPF), リミッタ(Lim.), RSSI, 復調回路(Discr.), 逡倍器(Doubler), VCO, PLLなどを集積した。

送受信のアーキテクチャはBiCMOS版Bluetoothトランシーバと同様のLow IFアーキテクチャである。IF周波数を3MHzに低くすることで、チャンネル選択フィルタであるBPFをオンチップできるとともに、消費電力を下げることができる。0.18 μ m CMOSプロセスを用いることで送受

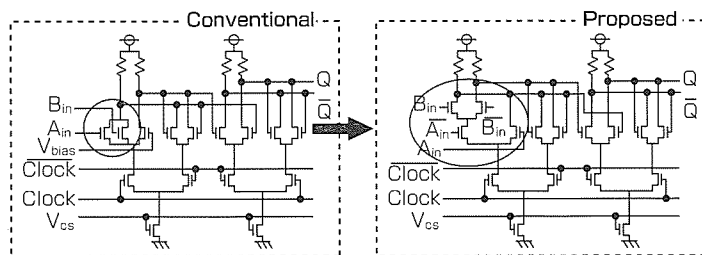


図5. 完全差動OR回路付きフリップフロップ

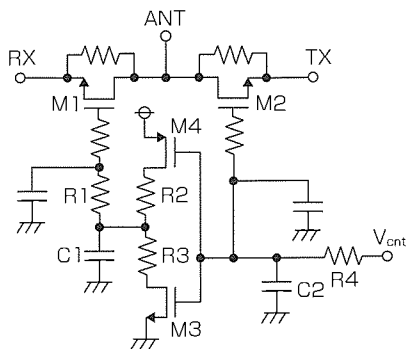


図4. 送受切換えスイッチ(回路図)

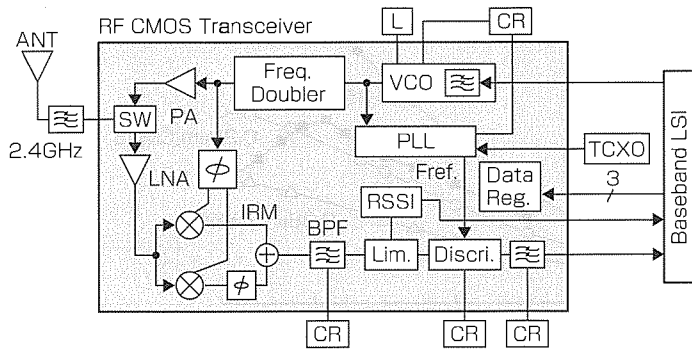


図6. RFトランシーバのブロック図

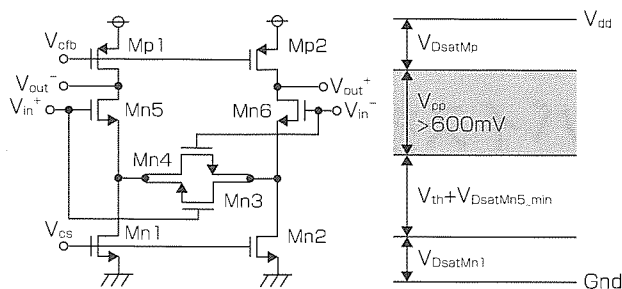


図7. BPF用gmセル

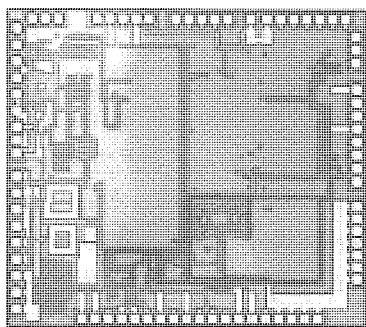


図8. チップ写真

切換えスイッチもオンチップに集積した。

3.2 低電圧回路設計

1.8Vの低電圧動作を実現するに当たり最も困難な課題は、大きな妨害波が受信される場合である。BPFの入力レンジを超えて回路が飽和するからである。このため、IRM後段で妨害波をあらかじめ抑圧する回路を挿入した。また、BPFは16次のgm-Cフィルタで、使用するgmセルには、図7に示すように、単純な差動回路を用いた。トランジスタの縦積み段数が少ないため、オーバーヘッドを小さくすることができる。これにより、最小でも600mV_{pp}の入力レンジを確保した。また、この回路では高抵抗を必要としないので、セル面積の縮小にも貢献する。

3.3 評価結果

図8に試作したBluetooth用RFトランシーバのチップ写真を示す。チップサイズは3.0mm×3.4mmである。

PRBS 9で変調したときのキャリア周波数2.441GHzの送信スペクトラム(周波数と電力の関係)を図9に示す。帯域内積分で0 dBmの出力電力である。2 MHz離調の1 MHz帯域積分にて、-20dBm以下であり、隣接チャネルの送信パワー規定を満足している。

図10に受信系復調信号であるアイパターン(出力電圧の時間軸重ね合わせ)を示す。送受切換えスイッチに2.4GHzのPRBS 9 変調信号を入力したときの復調信号であり、ほぼ所望の特性が得られた。

送信時、受信時の消費電流はそれぞれ、26mA、34mAであり、BiCMOS版と比較して約25%削減した。電源電圧を1.8V化したため、消費電力ではこれまでの最小である。

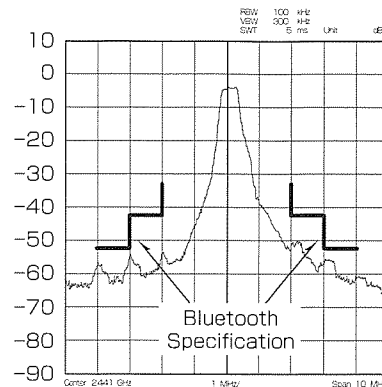


図9. 送信系スペクトラム

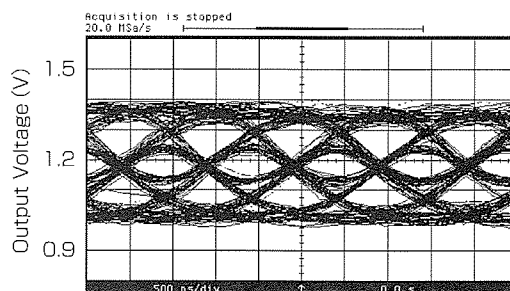


図10. 受信系アイパターン

4. む す び

0.18μm CMOSプロセスを用いて2.4GHz帯のフロントエンド回路を試作し、1.8Vで良好な特性が得られた。この結果を基に送受信切換えスイッチを含むBluetooth用RFトランシーバを試作し、トップクラスの低消費電力を達成することができた。現在、ベースバンド部との1チップ化のための改良を加えており、低電圧、低消費電流で動作するシングルチップ無線システムの実現が期待できる。

参考文献

- (1) Chang, J. Y., et al.: Large Suspended Inductors on Silicon and Their Use in a 2-μm CMOS RF Amplifier, IEEE Ele. Dev. Let., 14, Issue 5, 246~248 (1993)
- (2) 伊賀哲也, ほか: Bluetooth用RFトランシーバLSI "M64846FP", 三菱電機技報, 76, No.3, 191~194 (2002)
- (3) Komurasaki, H., et al.: 2.4-GHz-Band CMOS RF Front-End Building Blocks at a 1.8-V Supply, IEICE Trans. Fundamentals, E85-A, No.2, 300~308 (2002)
- (4) Komurasaki, H., et al.: A 1.8-V Operation RFCMOS Transceiver for Bluetooth, Symp. on VLSI Circuits, 230~233 (2002-6)

CMOSプロセスによる高周波デバイス技術

大森達夫*
末松憲治**
山川 聡*

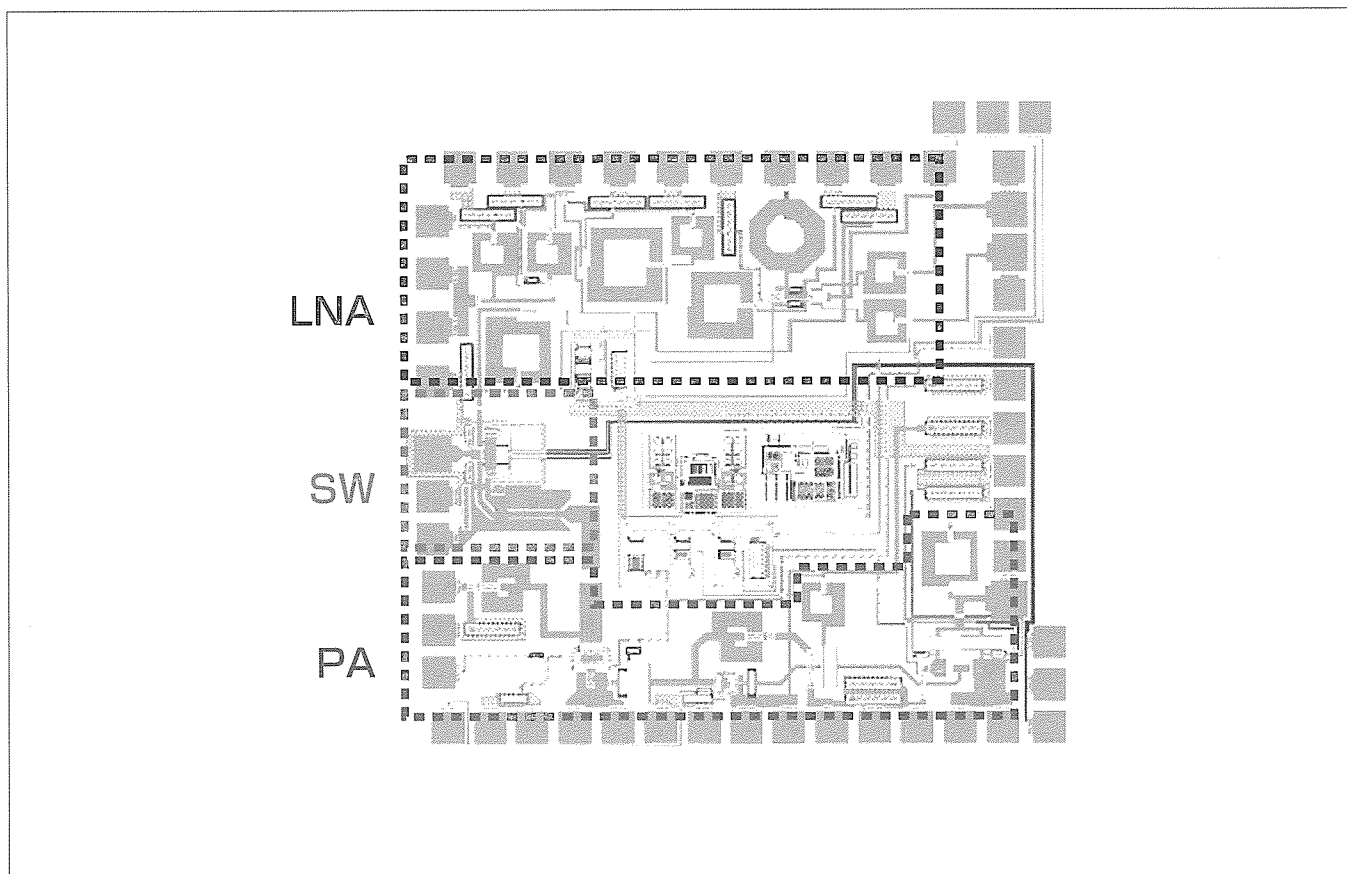
要 旨

昨今のシリコンCMOSプロセスの急速な微細化により、デバイスの高周波特性が著しく向上し、GHz帯での高周波動作が可能となってきた。このような背景を下に、Bluetoothや無線LAN (IEEE802.11a/b/g)等の近距離無線通信用LSIの製品化が始まっている。また、CMOSで高周波回路の実現により、ロジック回路やメモリ回路との1チップ化が可能になることから、無線携帯機器の部品点数削減や低コスト化の面からも期待されている。

しかし、CMOSで用いるシリコン基板は、半絶縁性である化合物半導体基板とは異なり比抵抗が約 $10\Omega\cdot\text{cm}$ と低いいため、基板に起因した寄生効果による信号損失が大きいという問題がある。したがって、高周波回路設計には基板起因の寄生効果に対する物理的な理解や高精度モデルが重要

となる。

今回、5GHz帯無線LAN用デバイスを目的として $0.18\mu\text{m}$ CMOS技術を用いたトランジスタ、インダクタの等価回路モデルの作成、及び伝送線路間のクロストークの電磁場シミュレーションを用いた解析を行った。また、これらのモデルや、得られた知見を基に、低雑音アンプ(LNA)、送信アンプ(PA)、アンテナスイッチ(SW)等からなる送受信回路の試作も行った。特に基板内の不純物分布を新しく最適化したトランジスタ(Depletion-layer-Extended Transistor: DET)を用いたアンテナスイッチにおいて、挿入損失1.4dB、アイソレーション25dBといった良好な特性を得ることができた。



5 GHz帯無線LAN用の高周波送受信部試作回路

このレイアウトは、 $0.18\mu\text{m}$ CMOSプロセスを用いた5GHz帯無線LAN用の高周波送受信部の試作回路である。低雑音アンプ(LNA)、送信アンプ(PA)、アンテナスイッチ(SW)を搭載している。トランジスタ、インダクタ、線路等の個々の要素デバイスは5GHzに対して最適にレイアウトされている。

1. ま え が き

CMOS微細化に伴い、トランジスタの動作周波数が高速化し、最大発信周波数(f_{max})が150GHzを超えるトランジスタの報告がされている⁽¹⁾。また、CMOS技術により同一チップ上にベースバンド回路と高周波回路を作り込むシステムオンチップが可能になるため、近年CMOSを用いた高周波デバイスが盛んに開発されており⁽²⁾⁽³⁾、2.4GHz帯のBluetoothや5GHz帯の無線LAN(IEEE802.11a)に対応したLSIの量産も既に始まっている。

しかし、CMOSで用いるシリコン基板は半絶縁性である化合物半導体基板とは異なり比抵抗が約 $10\Omega\cdot\text{cm}$ と低いため、基板に起因した寄生効果により、素子や配線の信号損失が大きという問題がある。したがって、CMOSを用いた高周波回路設計を行うには、基板起因の寄生効果の物理的な理解及びモデル化が重要となる。

本稿では、5GHz帯無線LAN用デバイスを目的に0.18 μm CMOS技術を用いて開発したトランジスタ、インダクタの等価回路モデルの作成や、伝送線路間のクロストークに関する電磁場シミュレーションを用いた解析結果、及びこれらのモデルを用いて試作した高周波回路のうちアンテナスイッチの特性について述べる。

2. デバイスの高周波特性とモデリング

2.1 トランジスタモデル

高周波回路設計を目的として、BSIM3⁽⁴⁾モデルをベースにした等価回路モデルが数多く発表されている⁽⁵⁾⁽⁶⁾。一般に等価回路モデルの抽出には、ソース接地TEGが用いられているが、新たにゲート接地TEGを導入し⁽⁷⁾、オフ時のSパラメータ特性から直接的に基板ネットワークを抽出した。図1に、MOS型素子の構造上の特長から推測されるシリコン基板のRCネットワークの概略図と、ゲート長0.18 μm 、ゲート幅200 μm のソース接地NMOS型素子のドレイン電圧1.8V、ドレイン電流20mAにおけるSパラメータ特性(S11, S22)の実測値と、作成した等価回路モデル

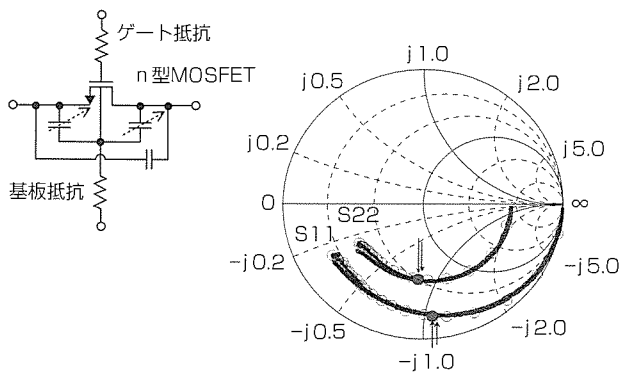


図1. Sパラメータの実測値と計算値の比較

ルによる計算結果の比較を示す。測定周波数範囲100MHzから23GHzまで良い一致が得られた。

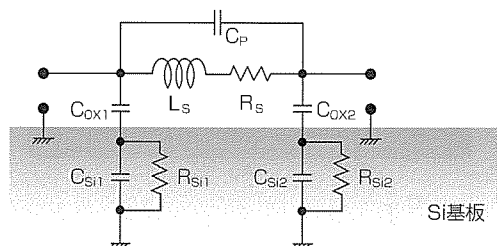
この等価モデルを用いて単方向電力利得(U)の0dBで定義される最大発信周波数(f_{max})を求めたところ、約80GHzが得られた。また、このトランジスタの雑音指数(NF_{min})は1.3dBであった。これらの結果から、このプロセスにおけるトランジスタは5GHz帯無線LANとして用いるに十分な特性を持っていることが分かった。

2.2 インダクタのモデリング

CMOSでは、配線を渦巻き状にレイアウトしてインダクタを作成する。図2にインダクタの等価回路モデルを示す⁽⁸⁾。配線抵抗、配線と基板間の容量による基板への損失、基板内に生じる渦電流による損失がインダクタの特性に大きく影響する。

基板比抵抗の効果を調査するために、比抵抗の異なる基板に径の異なるインダクタを作成し評価した。比抵抗10 $\text{m}\Omega\cdot\text{cm}$ 、10 $\Omega\cdot\text{cm}$ の2種類の基板上に配線幅、間隔、巻き数を一定にし、径のみを150と300 μm と変化したインダクタを用いた。

図3に、Q値の基板比抵抗の周波数依存性を示す。比抵抗10 $\text{m}\Omega\cdot\text{cm}$ 基板は10 $\Omega\cdot\text{cm}$ の基板と比較するとインダクタ径によらずQ値の最大値(Q_{max})及び自己共振周波数ともに低くなっており、Si基板の比抵抗がスパイラルインダク



- 直列抵抗成分 R_s は、インダクタの配線抵抗(R_{DC})と、Si基板中の渦電流に起因する R_{EDDY} を含む。

$$R_s = R_{DC} + R_{EDDY}$$

- インダクタンス L_s は、渦電流による影響(L_{EDDY})で、本来の値 L_0 より小さくなる。

$$L_s = L_0 - L_{EDDY}$$

図2. インダクタの等価回路モデル

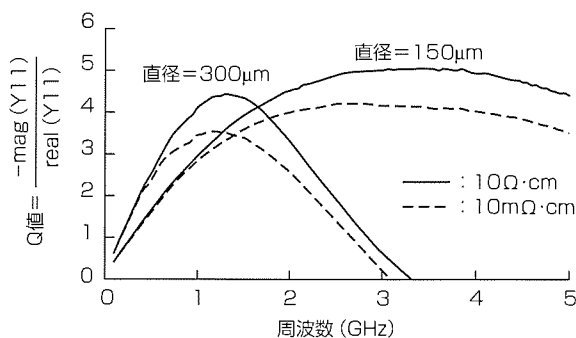


図3. 基板比抵抗によるQ値の周波数依存性

タの特性に大きく影響することが確認できた。

2.3 線路間クロストークの検出

導電性基板を用いるCMOS高周波デバイスにおいては、線路における損失が大きいため、デバイス性能の劣化を防ぐためにはレイアウト、縦構造を含めた線路の最適化が重要な課題となる。また、デジタル回路の駆動周波数の高速化に伴い線路間のクロストークの問題が顕著になり始めており、この点からも配線構造の最適化が必要となる。ここでは、Si基板上に線路を作成した線路間のクロストークについて評価した。

実験に用いたサンプルは約50Ωの特性インピーダンスの伝送線路を2本平行に並べたもので、各線路の一端はPoly-Siで形成した50Ωの抵抗により終端されている⁽⁹⁾。線路の種類、隣接する線路、Si基板との距離やSi基板の導電率などのクロストークへの影響を調べた。図4に、評価に用いた線路の構造と各線路のクロストークの周波数依存性を示す。マイクロストリップライン及びペアラインのクロストーク量は4GHz付近で飽和するが、単純線路では周波数の増加とともに悪化する。この原因を電磁場シミュレーションを用いて調査した。図5に単純線路とペアラインの5.2GHzでの電流密度分布を示す。どちらの線路も隣接

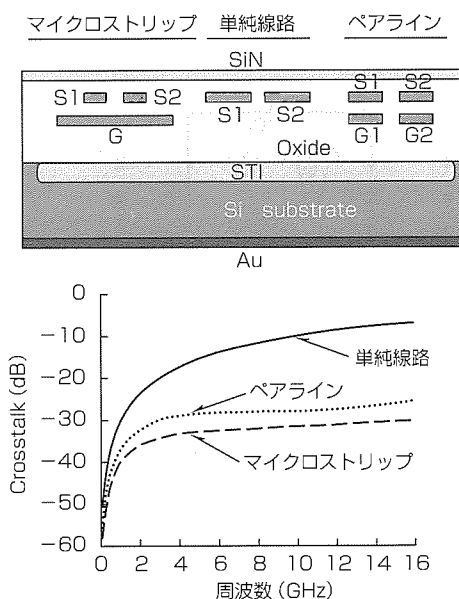


図4. 線路間クロストークの周波数依存性

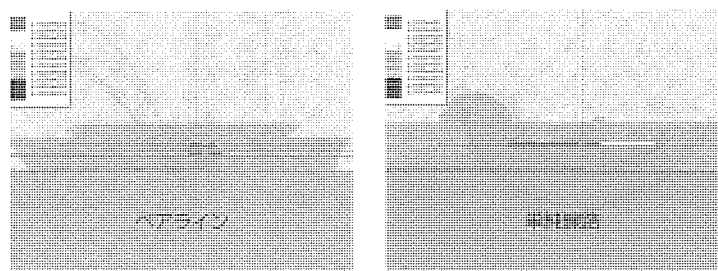


図5. 5.2GHzでの電流密度分布の比較

する線路内に赤く表示されている領域があり、隣接線路にも電流が励起されていることを示している。しかし、単純線路においてより大きく励起されていることから、クロストークの測定結果とシミュレーション結果が良く対応していることが分かる。このように電磁場シミュレーションを用いることにより物理現象を明確化することが可能になり、線路やインダクタの最適化及びモデリングに有効に用いることが可能になった。

3. アンテナスイッチの試作

3.1 Depletion-layer-Extended Transistor開発

アンテナスイッチ回路については、挿入損失に対する要求性能が厳しいため、従来は化合物系半導体デバイスが用いられてきた。特にMOSトランジスタではソース・ドレインの接合容量を介したシリコン基板での高周波信号の損失による挿入損失特性の劣化が問題となり、5GHz帯といった高周波域においては、CMOSによる低挿入損失のスイッチは未だ実現されていない⁽¹⁰⁾⁽¹¹⁾。このような状況の下、今回初めて0.18μm CMOSプロセスにおいて、MOSトランジスタの新規不純物分布構造の適用により、低挿入損失の5GHz帯用単極双投(Single Pole Double Throw: SPDT)スイッチを実現した。

図6(a, b)に従来型NMOSトランジスタとDETの模式図を示す。通常のCMOSプロセスにおけるNMOSトランジスタプロセスでは、ウェル注入工程で、pウェル注入、p⁺分離注入、PTS(Punch-Through Stopper)注入、及び閾値(しきいち)調整用注入を行っている。これら4つのイオン注入のうち、pウェル注入、p⁺分離注入、PTS注入の3つを省略した新規不純物分布構造のトランジスタ(DET)を作成した。この構造によりソース・ドレインのPN接合直下のP型不純物濃度が低減されるため、ソース・ドレイン接合の空乏層をシリコン基板深さ方向へ大きく延ばすことにより、接合容量が低減できる。また、DETプロセスは従来プロセスに対して注入マスクを1枚追加するのみで同時形成することが可能であり、コスト増大は最小限に抑えられる。

図の(c)に、プロセスデバイスシミュレーションを用いて計算したソース・ドレイン領域における、無バイアス時

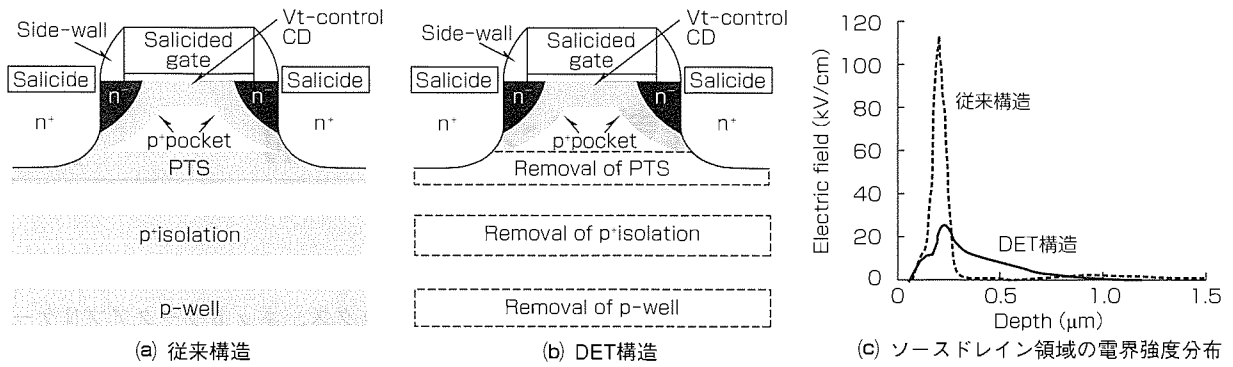


図6. トランジスタ構造と電界強度分布の比較

の縦方向の1次元電界強度分布を示す。

高電界強度が発生している領域を空乏層領域と考えると、DETにおいてはソース・ドレイン接合空乏層がシリコン基板深さ方向に大きく伸びており、DETではソース・ドレイン接合容量の低減が可能と考えられる。また、DETにおいては、pウェルを省略していることにより、基板抵抗が増大する。これら2つの効果により、スイッチの挿入損失の低減が期待できる。

3.2 DETを用いた高周波送受信スイッチ

図7に、今回作成した直並列型SPDT高周波送受信スイッチの回路図、及び挿入損失とアイソレーションの評価結果を示す。DETを用いることにより、5GHzにおける挿入損失は、1.4dBと低い値が得られた。また、アイソレーションも5GHzにおいて25dBと良好な値が得られ、5GHzといった高周波域において、CMOSプロセスを用いて初めて良好な挿入損失とアイソレーション特性の両立を実現することができた。また、リターンロスについても、5GHzにおいて22dBと良好な値が得られた。

4. むすび

CMOSを高周波回路に適用することにより、デジタル回路とのチップ統合化が期待されている。0.18μm CMOS技術を用いた高周波回路部の試作に当たって、トランジスタやインダクタのモデル化、及び電磁場シミュレーションによる線路の解析を行った。また、高周波スイッチ回路の特性を改善するため新規不純物分布構造を持つNMOSトランジスタ (DET) を提案し、挿入損失1.4dB、アイソレーション25dBといった良好な特性を持つ5GHz帯SPDTスイッチを初めて実現した。

今後は、回路、デバイス構造の更なる最適化を進め、高周波回路の高周波数化、マルチバンド化に取り組んでいく予定である。

参考文献

(1) Tiemeijer, L. F., et al., IEDM Tech. Dig., 223 (2001)
 (2) Eynde, F. O., et al., ISSCC Dig. Tech. Pap., 196~197

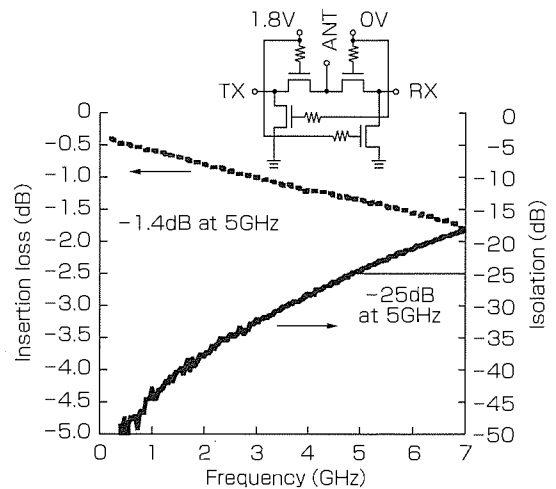


図7. 挿入損失とアイソレーションの周波数依存性

(2001-2)
 (3) Ajikuttira, A., et al., ISSCC Dig. Tech. Pap., 198~199 (2001-2)
 (4) BSIM 3 Version 3.0 Manual, Univ. of California, Berkeley, CA (1996)
 (5) Liu, W., et al., IEDM Tech. Dig., 309 (1997)
 (6) Tin, S. F., et al., IEEE J. Solid-State Circuits, **35**, 612 (2000)
 (7) Iversen, C. R., Proc. 31th Eur. Microwave Conf., 33 (2001)
 (8) Ashby, K. B., et al.: High Q Inductors of Wireless Applications in a Complementary Silicon Bipolar Process, IEEE J. Solid-State Circuits, **31**, No.1, 4~9 (1996)
 (9) Bockelman, D. E., et al., IEEE Trans. Microwave Theory Tech., **48**, 1410 (2000)
 (10) Iyama, Y., et al., IEICE Trans. Electron., **E79-C**, No.5, 636~643 (1996-5)
 (11) Huang, F. -J., et al., IEEE J. Solid-State Circuits, **36**, 486~492 (2001-3)

0.15~0.13 μm DRAM混載ロジック技術

藤野 毅*
山崎 彰**
蜂須賀敦司**

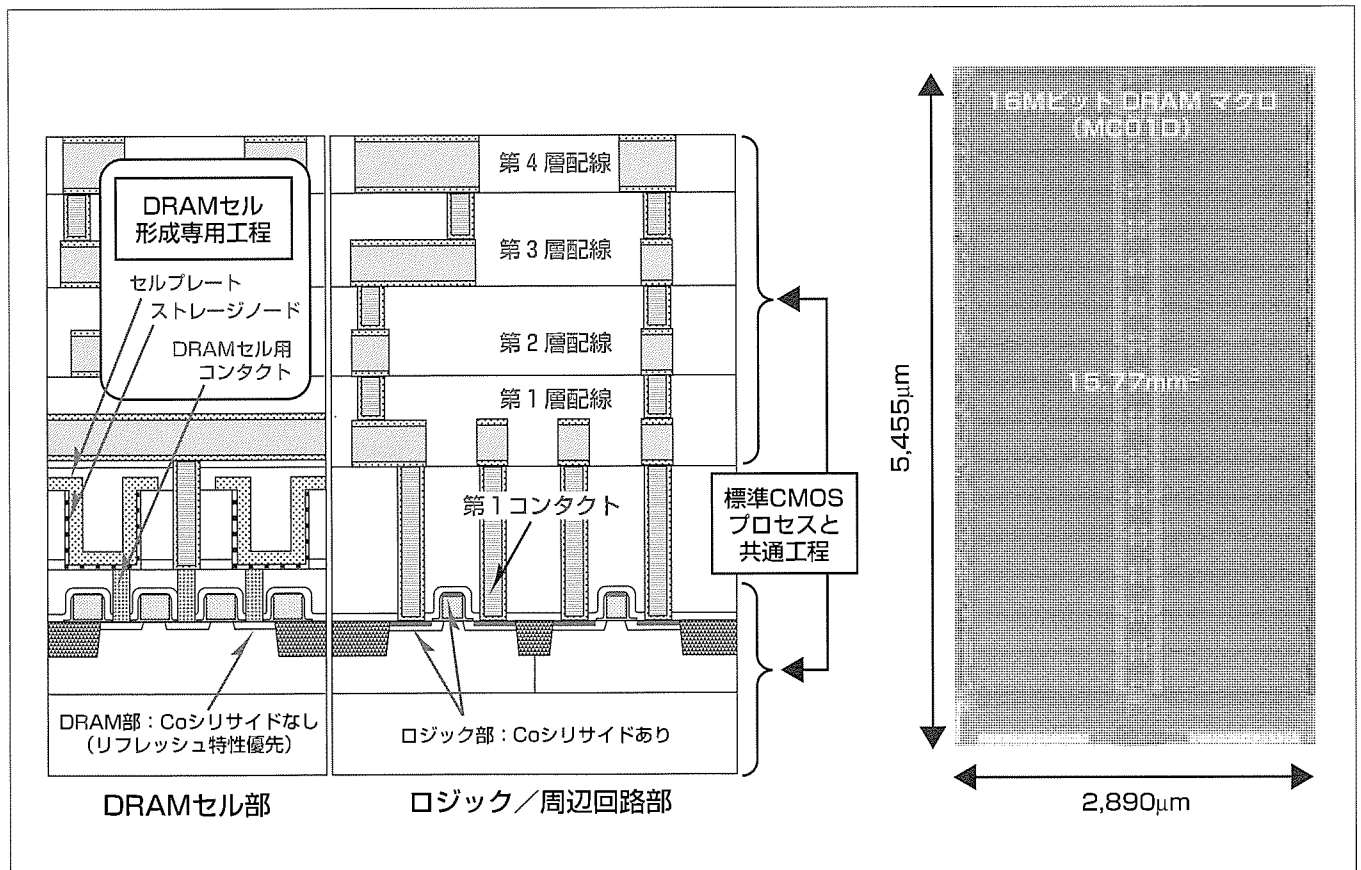
要旨

三菱電機の先端CMOSロジック技術として、MC01 (0.15 μm) / MC02 (0.13 μm) 標準CMOSプラットフォームを用意している。このプラットフォームを使う先端システムLSIにおいて、16Mビット以上の大容量内蔵メモリを実現するDRAM混載プラットフォームMC01D / MC02Dを開発した。酸化タンタル(Ta_2O_5)をキャパシタ材料として使用したCUB(Capacitor Under Bitline)構造の低温形成新規セルを、標準CMOS工程に追加する。これにより、①標準CMOS版と同じトランジスタ性能、②同じスライス工程の工期、③標準CMOS版で開発された各種IPハードマクロの移植性向上、を実現しつつ大容量メモリ混載が可能になった。

想定する用途としては、高いデータ転送レートが要求さ

れる3Dグラフィックス、ネットワークアプリケーションのほかに、電池駆動の携帯用途向けデジタルシステム機器をターゲットとした。このため、DRAMマクロ設計に当たっては、低消費電力設計を重視し、16Mビットコアで、80 $^{\circ}\text{C}$ のデータ保持(セルフリフレッシュ)時でも0.5mW以下を実現した。

また、メモリインタフェースとして、従来のSDRAMインタフェースだけでなく、SRAMインタフェースの開発も行った。ランダムローアクセス性能を向上させるために、DRAMメモリセルのセンス動作とライト及びリード動作を同時に行える新規センスアンプ回路を新たに導入した。これにより、143MHzという高速ランダムアクセス動作を実現した。



ロジックベースDRAM混載プロセス断面構造と16MビットDRAMマクロ

標準CMOSプロセスに、酸化タンタルキャパシタを採用した新開発のDRAMメモリセルを混載した。左に断面形状を示すが、トランジスタ形成終了後、第1コンタクト形成工程の間に、DRAMセル形成専用工程が入られる。それ以外の工程は、標準CMOSプロセスと全く同一工程である。このため、標準CMOS用に作られたスタンダードセル等の各種マクロのレイアウトをそのまま流用することが可能である。また、DRAMセル形成工程の低温化により標準CMOSと同一のトランジスタ性能を確保できた。

1. ま え が き

DRAM混載ロジックプロセスは、①メモリとロジック間に高いデータ転送速度を実現できる、②メモリとロジック間のバスの充放電電流削減による動作電流の低減ができる、③容量の異なる複数個のメモリをSRAMの1/3以下のマクロサイズで1チップ上に構成できるなどの特長を持っており、システムLSIを実現するためのキーテクノロジーの一つである。

2. DRAM混載プロセス技術

2.1 ロジックベースDRAM混載技術

図1に当社が開発してきたDRAM混載プロセスのロジックゲート長とDRAMセルサイズの関係を示す。0.18 μm 世代⁽¹⁾⁽²⁾までは、汎用DRAMで使用されているメモリセル及びプロセスをベースとしてDRAM混載を実現していた。汎用DRAMをベースとしたDRAM混載プロセスでは、セルサイズ縮小のためにセルフアラインコンタクトが用いられ、ゲート電極上に厚い絶縁膜形成が必要である。そのため、トランジスタの高性能化・微細化に必要なCoサリサイド構造、デュアルゲート電極構造の適用が難しく、ロジック回路の性能、集積度の向上に制約があった。

この制約を解きDRAM混載LSIの高性能化要求にこたえるために、標準CMOSロジックプロセスをベースとしたDRAM混載プロセス、及び混載専用のDRAMメモリセルを開発した。このメモリセルを標準CMOSに混載することにより、標準CMOSと同等のロジック性能を持つDRAM混載LSIを実現した。このプロセスを、ロジックベース混載DRAMプロセスと呼ぶ。

新たに開発したDRAMセルサイズは、セルフアラインコンタクト技術を使用できないため0.18 μm 混載DRAMのセルサイズよりも大きくなる欠点があるが、センスアンプ等のDRAM周辺回路の集積度向上及び回路最適化により、16Mビット以下の容量のDRAMマクロサイズで比較した場合は、0.18 μm 混載DRAMよりも小さいサイズを実現できている。

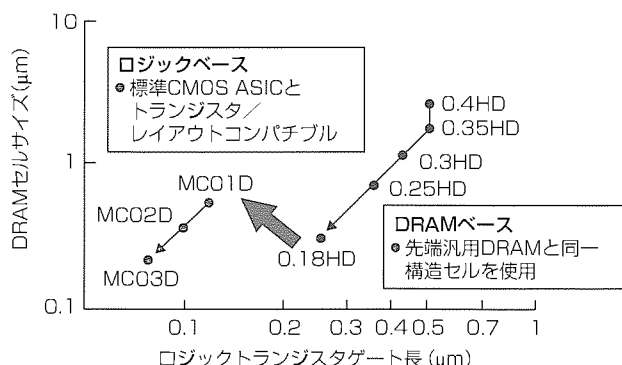


図1. DRAM混載プロセスのゲート長とセルサイズの関係

2.2 0.15/0.13 μm DRAM混載プロセスMC01D/MC02D

MC01D/MC02Dのプロセス仕様を表1に示す。MC01Dは1.5V動作のトランジスタと最小ピッチ0.44 μm のアルミ配線、MC02Dは1.2V動作のトランジスタと最小ピッチ0.4 μm の銅配線を使用した標準CMOSプロセスをベースとして、それぞれセルサイズ0.5 μm^2 、0.35 μm^2 のDRAMセルを搭載している。

図2に、MC02DのDRAMセル及びロジック部の断面写真を示す。DRAMセルキャパシタとして酸化 tantalum (Ta_2O_5)高誘電体を粗面ポリシリコン上に形成しており、1セル当たり18fFの容量を確保した。これにより、汎用DRAMセル並みのリフレッシュ特性とソフトエラー耐性を確保している。

図3に、標準CMOSプロセスMC01と混載DRAMプロセスMC01Dで比較した、ロジックトランジスタの特性を示す

表1. MC01D/MC02Dのプロセス仕様

	MC01D(0.15 μm)	MC02D(0.13 μm)
電源電圧	3.3V/1.5V	3.3V/1.2V
Lg(ゲート長)	0.12 μm	0.1 μm
Tox(ゲート酸化膜厚)	7.5nm/2.7nm	7.5nm/2.0nm
最小配線ピッチ	0.44 μm	0.4 μm
DRAMセルサイズ	0.5 μm^2	0.35 μm^2
ビット線	Al	Cu
DRAMアレー電圧	1.5V	1.2V

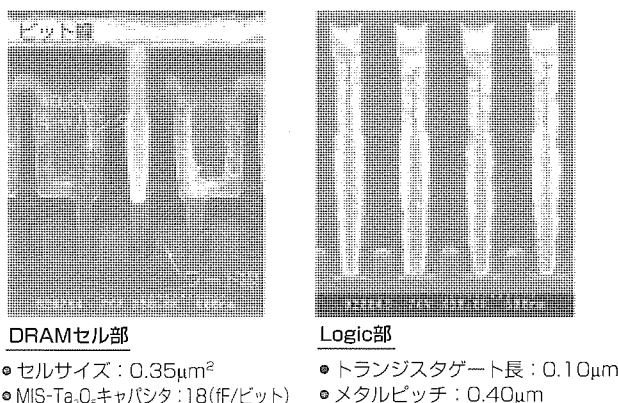


図2. MC02Dプロセス断面構造

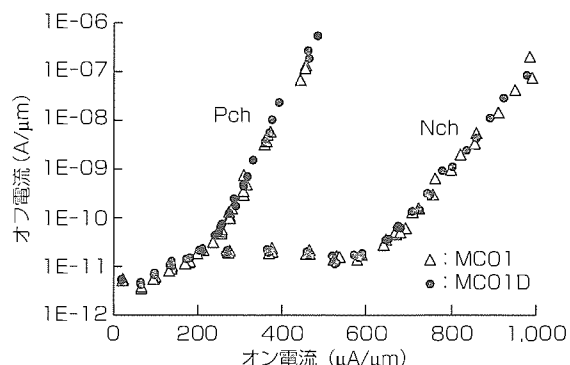


図3. MC01/MC01Dにおけるトランジスタ特性の比較

す。DRAMセル形成時の低温化を達成したことにより、ロジックトランジスタの特性を劣化させることがなくなった。これにより、標準CMOSとDRAM混載CMOSとで、同じトランジスタのSPICEパラメータを使用することが可能である。

3. DRAMマクロ設計技術

3.1 MC01D標準DRAMマクロ

表2に標準DRAMマクロの仕様を示す。DRAMマクロへは3.3V及び1.5Vの電源が供給されており、3.3V電源から、DRAMワード線駆動用の昇圧電源電圧とメモリアレー駆動用の降圧電源電圧を発生している。メモリアレーの制御回路やREAD/WRITE時に動作するプリアンプ/ライトドライバなどのDRAM周辺回路は、外部直結1.5V電源で駆動している。

最高動作周波数は125MHzで、I/O数は×32/×64/×128を切り換え可能である。DRAM容量は4/8/12/16Mビットをサポートしており、16Mビット時のマクロサイズは15.77mm²である。これは、MC01標準CMOSプロセスのSRAMマクロサイズが4Mビットで15.3mm²であるので、DRAM混載プロセスを用いることにより、同じマクロサイズではほぼ4倍の内蔵メモリを実現可能であることが分かる。

回路技術としては、以下の2点の特長を持っている。

- (1) 第1アルミ線をビット線に使用するCUB(ビット線配線下にキャパシタを形成する)セルを採用したことにより、ビット線間のノイズによりセンスアンプが誤動作する危険性が高くなる。これを回避するため、メモリアレー中のビット線をツイストして、隣接するビット線間ノイズの影響を相殺できるようにした。
- (2) コラム系に使用する冗長データを、ACTコマンドからコラムコマンドが入力されるまでの間に、アレー部からコラム制御部へ転送する手法を採用した。従来方式では、メモリ小容量時でも最大容量分のコラム冗長ラッチを用意しておく必要があり、周辺回路面積が増大する問題点があった。今回の方式を採用したことにより、メモ

リ容量が増加した場合は、必要なだけのコラム系の冗長データ格納用ラッチを増加させることができ、特に小メモリ容量時に周辺回路面積の低減を達成できた。

表3に、標準DRAMマクロのアクセス性能及び消費電流のスペックと実測値を示す。80℃のデータ保持時(Icc6)の電力は実測値で0.5mWを実現しており、同一プロセスのSRAMよりも1けた以上低いスタンバイ電流を実現できている。

3.2 SRAM代替用途向けランダムアクセス高速化回路技術

様々なデジタル機器に32ビットの高性能RISCマイコンやデジタルシグナルプロセッサ(DSP)などが使用され、音声や画像などのマルチメディアデータ処理に活用されている。これらのマイコンやDSPには大容量の内蔵メモリが使用されることが多いが、ノーウェートのSRAMインタフェースアクセスが必要である。

この用途向けに、ランダムアクセス性能の高いSRAMインタフェースを持つDRAMマクロ技術開発を行った⁽³⁾。ランダムアクセス性能を向上させるために、図4に示す新規ライト制御方式を採用した。従来のセンスアンプに対するライト制御回路はビット線とライトデータバス(WDB及びWDB)が、ライトコラム選択線(CSLW)をゲート入力とするトランスファゲートを介して接続されていた。このため、データライト時には、最初にセンス動作を実施してビット線のすべてのデータをセンスアンプにラッチし、その後所望のCSLWを活性化して、ラッチされたセンスアンプのデータを反転させる必要があった。これは、センスアンプ動作前にCSLWを活性化させるとライトデータバスによってビット線が駆動され、センスアンプ活性信号(SNL及びSNP)が動作することにより、書き換え対象以外の、読み出し動作をしなければならないセンスアンプのデータが破壊されるのを防止するためである。

新規制御方式においては、ライトデータバスのデータをセンスアンプ内のトランジスタのゲートで受け、かつ、ソース線をNchセンスアンプ活性化信号であるSNLに接続し

表2. MC01D標準DRAMマクロの仕様

容量	16M/12M/8M/4Mビット
バンク数	1/(2)
Refreshサイクル	2k(12Mビット以外)/3k(12Mビット)
外部電源	3.3/1.5V
周辺回路電圧	1.5V(外部電源直結)
ワード線電圧	3.3V(昇圧回路で発生)
アレー電圧	1.5V(降圧回路で発生)
動作周波数	125MHz(tRCD=tRP=CL=2clk) 66MHz(tRCD=tRP=1clk, CL=2clk)
語構成	×128/×64/×32
コアサイズ@16Mビット	15.77mm ²

表3. MC01D標準DRAMマクロのスペックと実特性

66MHz動作時		R.T.	80℃	スペック
Icc1 (通常動作)	1.5V系	14.8mA	14.8mA	20mA
	3.3V系	14.2mA	13.7mA	20mA
Icc2 (スタンバイ動作)	1.5V系	7μA	33μA	2mA
	3.3V系	49μA	48μA	0.2mA
Icc4 (ページ動作)	1.5V系	37.4mA	37.6mA	45mA
	3.3V系	4.2mA	4mA	6mA
Icc6 (セルフリフレッシュ動作)	1.5V系	17μA	44μA	2mA
	3.3V系	124μA	126μA	0.3mA
tCLK(最小クロック時間)		9ns	9.5ns	15ns
tRCD(ロー-コラムディレイ時間)		6.4ns	6.8ns	15ns
tRP(プリチャージ時間)		8ns	8.5ns	15ns
tWR(ライトリカバリー時間)		<4ns	<4ns	15ns

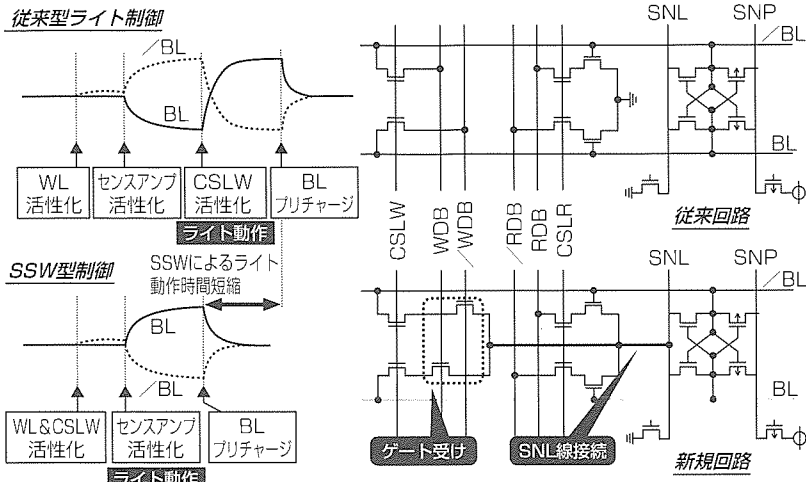


図4. 新規ライト制御方式による高速化の原理

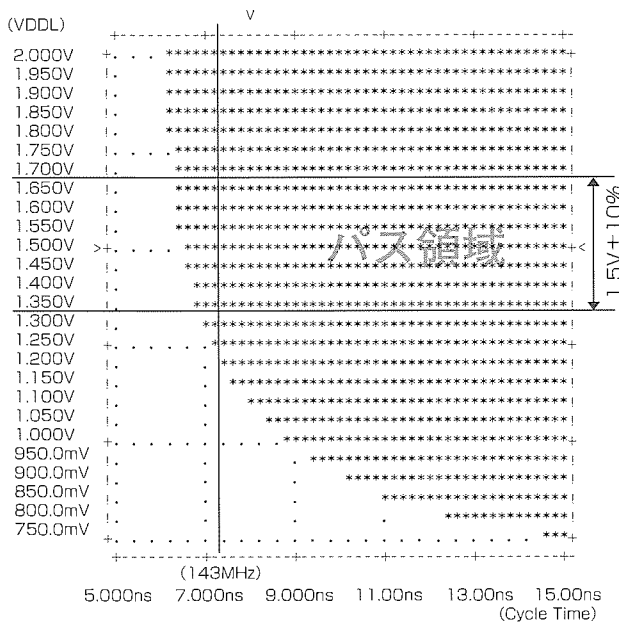


図5. 4Mビットマクロでのランダムサイクルスキュー特性

た。これにより、センス前にライトデータバスのデータを確定し、CSLWを活性化してもビット線は振幅しない。センス活性信号SNLがGND電位になると同時に、活性化されたCSLW線に接続されたセンスアンプにライトデータが書き込まれる。このように、センス活性と同時にライトデータが書き込まれるので、従来はセンス後に行っていたライト動作をセンスと同時に実行することができるため、ランダムアクセスライト動作を25%高速化することが可能になった。この方式をSense Synchronized Write (SSW)方式と呼ぶ。

同様に、リードに関しても、ビット線のデータをトランジスタのゲートで受けリードデータバス(RDB及び/RDB)を駆動する方式を採用し、そのトランジスタのソース線をライトと同様にNchセンスアンプ活性化信号であるSNLに接続した。これにより、リードコラム選択線(CSLR)をセンス前に活性化しておき、センスと同時に、リードデータ

バスを駆動することが可能になり、アクセス時間を約18%高速化することが可能になった。この方式をSense Synchronized Read (SSR)方式と呼ぶ。

上記のSSW/SSR制御方式を採用し、さらにワード線の立ち上がり/立ち下がり時間を短縮するため、標準DRAMコアに対し、ワード線のシャント間隔を短くした4Mビットランダムサイクル高速化テストチップを試作した。メモリアクセスのインターフェースはライト及びリードというSRAMインターフェースでアクセスする。図5に、ライト及びリード動作時の周波数依存性スキュープロットを示す。

1.35Vの電圧で143MHzのランダムアクセスを達成できた。

4. む す び

0.15~0.13 μ mのDRAM混載CMOSプロセス及びDRAMマクロの開発を行った。ユーザーロジック部のトランジスタ性能は標準CMOSプロセスと同等であり、レイアウトもコンパクトであることから、標準CMOSプロセスで開発したスタンダードセル、ハードウェアIPなどの設計資産の流用が容易であるという特長を持つ。

0.15 μ mのMC01Dでは、16Mビットのメモリマクロサイズは15.77mm²であり、同一サイズのSRAMマクロ使用時に比べて約4倍のメモリ容量を使用できる。かつ、チップ温度80℃では、SRAMと比較して1けた以上低いデータ保持電流を実現できる。また、新規センスアンプ回路制御方式を採用したSRAMインターフェースをも開発しており、SRAMとほぼ同等のインターフェース使用も実現できる。

この混載DRAMプロセスを用いることにより、標準CMOSプロセスのIP資産を利用しつつ、内蔵メモリの大容量化・低消費電力化が実現でき、デジタルシステム機器向けLSIのシステムオンチップ化を進めることが可能になった。

参 考 文 献

- (1) 林 勇, ほか: 0.18 μ m eDRAMコアの開発による0.18 μ m eDRAM混載システムLSIコア技術の確立, 三菱電機技報, 74, No.3, 218~223 (2000)
- (2) Yamazaki, A., et al.: 56.8GB/s 0.18 μ m Embedded DRAM Macro with Dual Port Sense Amplifier for 3D Graphiccontroller, Proc. IEEE ISSCC, 394~395 (2000)
- (3) Taito, Y., et al.: A High Density Memory for SoC with a 143MHz SRAM Interface using Sense-Synchronized-Read/Write, Proc. IEEE ISSCC (2003)

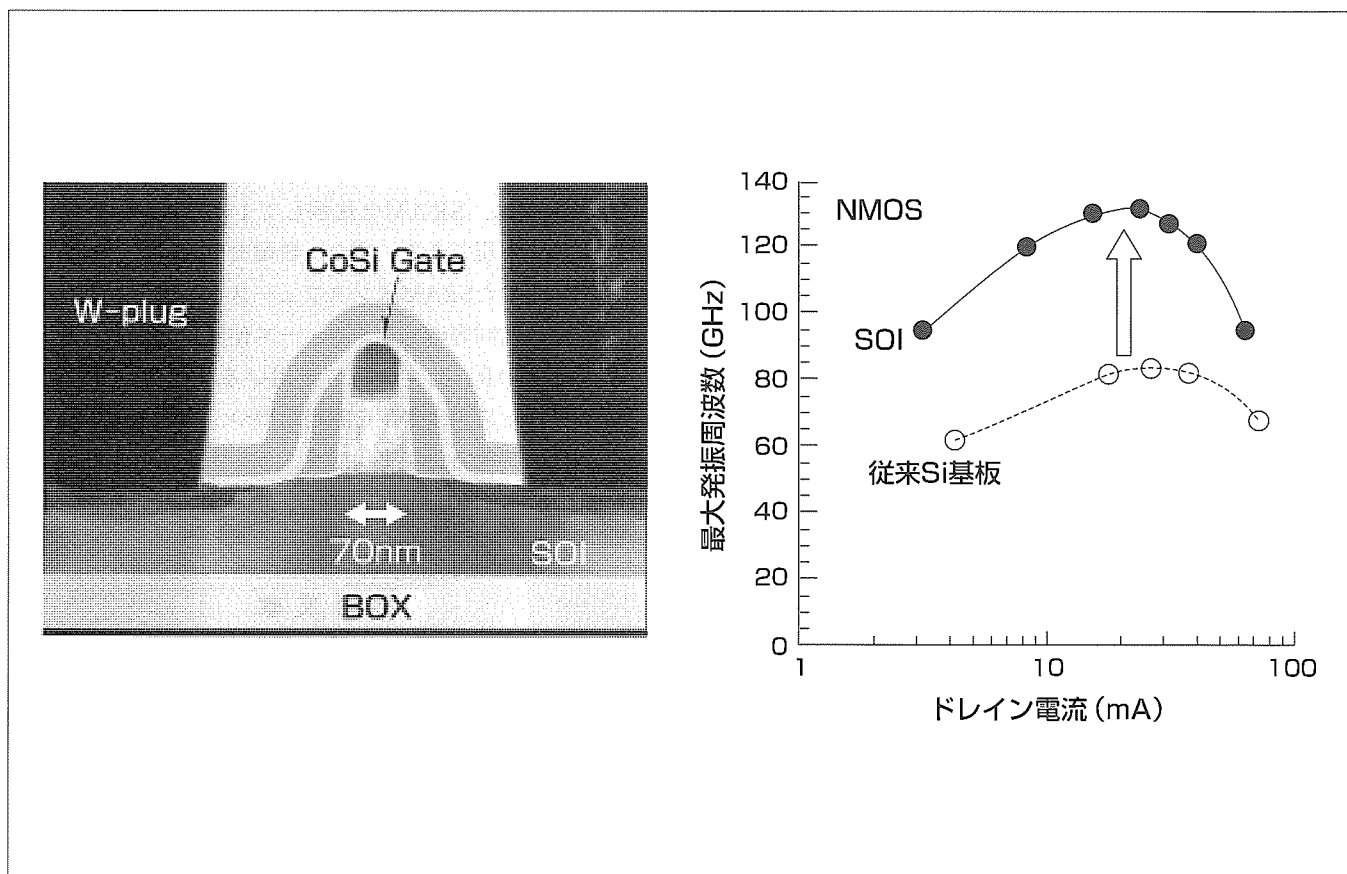
高速・高周波動作SOIデバイス技術

前川繁登* 近藤晴房***
 一法師隆志**
 岩松俊明**

要旨

近年、CMOS LSIへの性能向上の要求はますます高まっているが、微細化だけでなく基板を“SOI(Silicon On Insulator)基板”に代えCMOSデバイスを形成することにより、デジタル回路動作を高速化できる。また、 $\text{キロ}\Omega\cdot\text{cm}$ 以上の高比抵抗支持基板を無理なく使えるため、トランジスタや高周波アナログ回路で重要なインダクタやキャパシタの高周波性能の向上が可能である。70nmゲート長のNMOSトランジスタにおいて、135GHzの最大発振周波数を記録し化合物デバイスの領域に達した。PMOSにおいては、SOIでは薄膜シリコン層の結晶方位を最適化できるため駆動電流を16%向上できる。また、アナログ/デジタル混載回路で問題となる回路間の干渉ノイズも、高抵抗基板によ

り大幅な低減が可能である。さらに、次世代では、データが失われるソフトエラーの発生率増加も懸念されるが、SOIデバイスでは構造的に抑制できる。0.18 μm の4M SRAMでは、 α 線によるソフトエラー発生率を通常シリコン基板デバイスより3けた低減した。従来、SOIデバイスはチャンネル下のボディ部が浮遊状態のためトランジスタ動作が不安定であったが、三菱電機独自のハイブリッド素子分離構造を考案し採用したため安定化し、従来の設計資産や設計ツールの使用が可能である。これらの技術を用いて、現在、ブロードバンド時代のキーデバイスである10Gbpsイーサネットトランシーバ用LSIを開発している(本誌2002年12月号を参照)。



70nmゲートSOIトランジスタの断面とその最大発振周波数

薄膜シリコン層上にトランジスタを形成することにより、高周波性能を向上できる。これは、ソース/ドレイン部の寄生容量を低減できるとともに、 $\text{キロ}\Omega\cdot\text{cm}$ 以上の比抵抗を持つ基板をえるために、トランジスタの周囲での高周波電力損失を削減できるからである。135GHzの最大発振周波数を達成した。

1. ま え が き

CMOSデバイス技術は、微細化技術によって半導体回路の性能向上と低コスト化を実現してきた。しかし、システムからの性能向上の期待が高まっている一方で、デザインルールが0.1 μm 近傍になると、様々な課題が顕在化してきた。一つはトランジスタや配線の寄生負荷の増大であり、いま一つはメモリデバイスにおけるソフトエラー現象の発生率の増大の懸念である。前者について、配線の信号遅延負荷は銅配線や低誘電率絶縁膜の適用で軽減されるが、トランジスタについては周囲の不純物濃度の増大により厳しくなっている。後者のソフトエラーは、SRAMにおいて記憶ノードの容量が低電圧化と微細化で小さくなり、 α 線や中性子線により記憶データが反転してしまうというものである。SOIデバイスは、その構造によりソース/ドレインの寄生容量が従来のバルクSi基板デバイスよりも小さい上に、粒子線による捕獲電荷量も少ないため、CMOSデバイスの性能向上トレンドを保持できる技術として注目されている。

当社では、このSOIデバイスの特長に着目し、1980年代から開発に取り組んできた。今回、従来バルクデバイスと回路レイアウトが互換なパーシャルトレンチ分離構造を持つ高性能70nmゲートSOI MOSFETを開発し、デジタル及び高周波アナログ回路性能が向上した結果を得た。また、ソフトエラー耐性向上に対しても極めて有効であることを確認したので紹介する。

2. SOIデバイスとは

SOIデバイスの概要を図1を用いて説明する。SOI基板は、600 μm 程度の厚さの支持用シリコン基板上に、0.4 μm 程度の埋め込みシリコン酸化膜と0.1 μm 程度の薄膜シリコン層(SOI層)を持っている。SOIデバイスはこの最上層の薄膜層に作製されるため、次のような優位な特長を持っている。

- デジタル回路での高速・低消費電力動作
- 高周波回路での動作周波数向上、ノイズ低減
- ラッチアップの完全抑制
- ソフトエラー発生率の低減

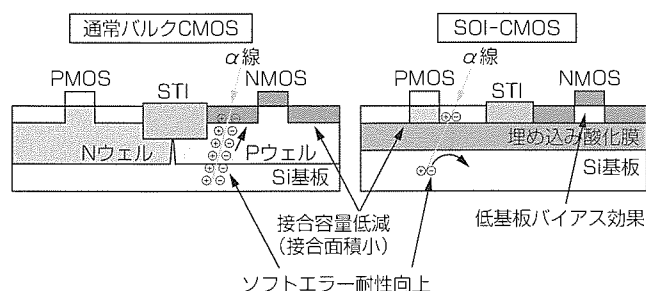


図1. SOIデバイスの特長

3. 当社独自のハイブリッド素子分離構造

SOIトランジスタは上記の特長を持つが、これまで採用されてこなかったのは、一つは次の理由による。

素子分離のためにSOI層を単純にエッチング除去すると、チャンネル下のシリコン層であるボディ部がトランジスタごとに切り離される。そのため、ボディ電位が浮遊状態となりトランジスタのしきい値電圧(V_{th})を変調し回路動作を不安定にする場合がある。例えば、回路動作速度が動作周波数に依存する現象(ヒストリー効果)や、パストランジスタでリーク電流が発生する問題であり、基板浮遊効果と呼ばれる。この課題を回路的に工夫して抑制する技術もあるが、ASICなどの様々な回路に適用するのは困難である。また、トランジスタモデルとして従来CMOSと異なり専用のモデルが必要であるため、従来の回路設計ツールが使用できない。このような課題を克服するため、今回ボディ電位を容易に固定できるハイブリッドトレンチ素子分離(Hybrid Trench Isolation: HTI)技術を考案した⁽¹⁾。HTIとは、図2に模式的に示すように、パーシャルトレンチ分離とフルトレンチ分離とからなる。前者は、SOI層を島状に完全に切り離さずに分離酸化膜下にSOI層を残存させた構造であり、主にウェル内に用いられる。この残存層は、トランジスタのボディ部分と同じ導電型に形成されるため、この層を介してボディ電位の固定が可能となる。フルトレンチ分離は、SOI層を完全に切り取る構造で主にウェル間に用いられ、ラッチアップを完全に抑制する。また、インダクタなどの下部に使い、高周波品質も向上できる。

HTI技術を用いて形成したゲート長70nmのトランジスタの断面構造を要旨のページに示す。ボディ電位を固定することにより、 V_{th} のドレイン電圧依存性が小さく、SOIの課題であったキंक効果の抑制された良好なトランジスタ特性が得られた。

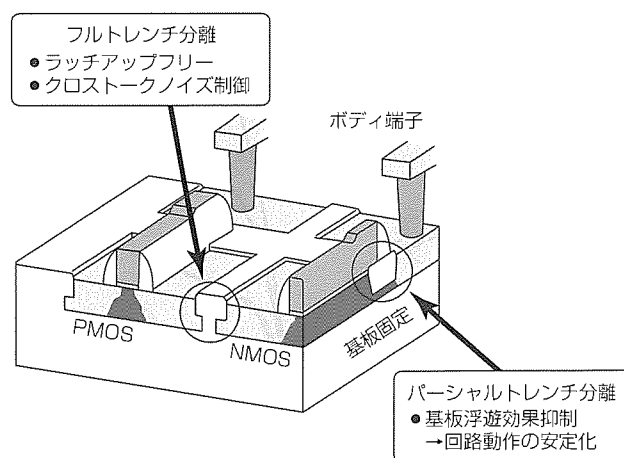


図2. ハイブリッド素子分離構造

4. 高速・高周波動作

SOI化によるデジタル回路での高速化効果としては、0.18 μm ルールのインバータチェーン回路で約20%、NAND回路パストラジスタ回路で約25%の高速化が得られている⁽¹⁾。10Gbps級の高周波動作においては、トランジスタの接合容量を介して電力が支持基板に失われ高周波動作が制限されるが、SOI化によりこの電力損失を抑制でき、トランジスタの最大発振周波数を向上できる。また、SOI構造ではSOI層と支持基板とが電気的に分離されており、通常のCMOSデバイスでは採用が困難な高抵抗シリコン基板を支持基板として用いることができるため、基板での電力損失を更に低減することが可能である。ゲート長が70nmのSOI基板上のCMOSトランジスタでは、最大発振周波数として135GHzが得られ、従来シリコン基板上のトランジスタに比べ大幅に向上するとともに、化合物デバイスで実現していた動作領域に達した(要旨のページ右図)⁽²⁾。

さらに、SOI基板ではトランジスタの電流方向が<100>軸方向のシリコン層を使えるため、図3に示すように、PMOSトランジスタのオン電流を16%向上できることを実証した⁽³⁾。通常は<110>軸方向を用いており<100>軸は高いキャリア移動度が得られるが壁開が困難などの理由で使用できなかった。SOI基板では、支持基板と上層のSOI層を自由に選べるため、支持基板は<110>、シリコン層は<100>とすることにより壁開が容易で電流を向上できるデバイスを実現できた。また、図ではボディ電位固定によりドレイン電流にSOI特有のキックのない良好な特性が得られている。

これらにより、次世代の通信規格である40GHz動作信号処理回路もCMOSで実現可能となり、システムの小型化、低消費電力化を図ることができる。さらに、高周波回路で重要なインダクタなどの受動素子においても、電力損失の

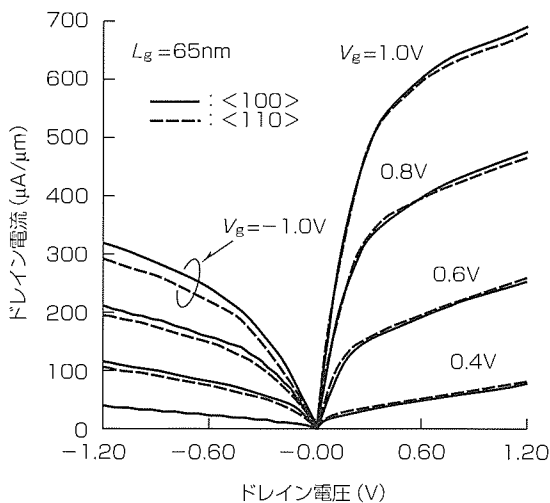


図3. 65nmSOIトランジスタの電気特性

低減によりインダクタのQ値を大幅に向上できた。

5. 回路間干渉ノイズ低減

高速アナログ回路とロジック回路を混載した高性能SOC (System On a Chip)では、回路間のノイズ干渉が課題の一つである。SOIデバイスでは、回路下に存在する埋め込み酸化膜と高抵抗支持基板によりこのノイズを大幅に低減できる。実測では、図4のように、約20dB干渉ノイズが抑制できることが確認できた。この特長は、光通信用LSIや無線通信用LSIなどアナ・デジ混載回路において効果的と考えられる。

6. SOIデバイスにおけるソフトエラー現象

ソフトエラーは、 α 線や中性子線などによりデバイス中に電荷が発生し、メモリデータを消失させたりロジック回路に誤動作を発生させる現象である。図5は、ソフトエラーに対する臨界電荷量と収集電荷量を技術ノードに対して見積もった結果を示す。デバイスを微細化すると、近々、臨界電荷量が収集電荷量を恒常的に下回る状態になり、ソフトエラー発生率が急激に増加してデバイスのスケールン限界を招くと危惧(きぐ)される。

SOIデバイスでは、埋め込み酸化膜が基板中に発生した電荷のデバイスへの捕集を阻害するため、ソフトエラー耐性向上の有効な手段の一つである。しかし、この現象にお

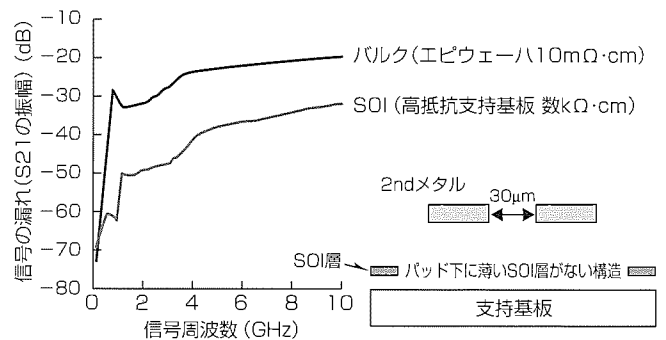


図4. 干渉ノイズ低減効果

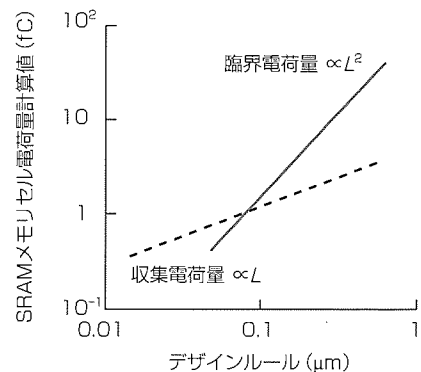


図5. メモリセルの臨界/収集電荷量のトレンド

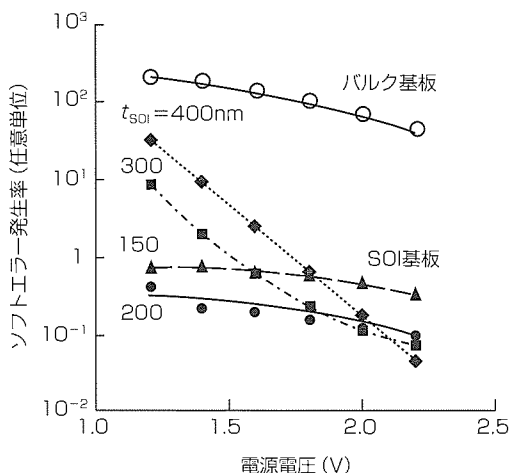


図 6. SOI SRAMでのソフトエラー抑制効果

いても、ボディが浮遊状態であるとボディ部で発生した電荷がトランジスタをオンさせる課題(寄生バイポーラ効果)がある。ボディ電位固定型SOIデバイスにおいては、ボディ部で発生した正孔の蓄積を抑制することができるため、SOIの中でもソフトエラー耐性を更に向上することができる。

電位固定はHTI技術で可能であるが、デバイスの縦構造を最適設計することで発生率を更に抑制できることを見いだした。SRAMメモリセルにおいて、ソフトエラー耐性は、SOI層膜厚とボディ電位固定抵抗値に大きく左右される。発生率が生成される電荷量と寄生バイポーラ動作抑制効果のバランスにより決定されるためである。検証実験として、トレンチ深さを100nmと一定にし、SOIの膜厚が4種の構造で照射実験を行った。SOI膜厚の厚いものほど、分離酸化膜下のSOI層が厚くなり、ボディ電位固定抵抗値が低い。

図 6 に、測定したソフトエラー発生率の電源電圧依存性を、同じレイアウトのバルクSRAMとともに示す。電源電圧が1.8V以下においては、SOI層膜厚200nmのSRAMでソフトエラー率が最小値となっている。このSOI層膜厚が200nmのSRAMにおいては、バルクSRAMに比べソフトエラー率が約3けた改善している。

SOI層膜厚150nmの場合、分離酸化膜下のSOI層が薄く抵抗値が高いため、蓄積電荷の引き抜きが弱くなり、寄生バイポーラ動作のためにソフトエラー率が高い。一方、SOI膜厚が300nm、400nmと厚い場合は、 α 線入射による生成電荷量が大きくなることによりソフトエラー率が増大していると考えられる。これらのことより、パーシャルトレンチ分離技術によるボディ電位固定構造の最適化によって高ソフトエラー耐性を持つデバイスを実現できることを示すことができた。

高速動作応用を目指したSOIデバイスにおいては、デバ

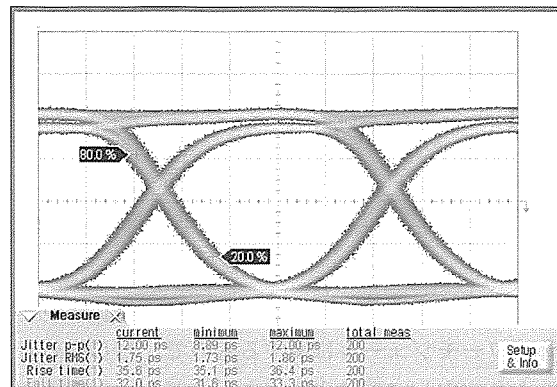


図 7. 10Gbpsイーサネットトランシーバ用LSIの出力波形

イスの微細化に伴ってSOI層膜厚のスケーリングによりソース/ドレイン部の寄生容量の低減を積極的に進めることが提案されている。この場合においても、ソフトエラー耐性向上の観点からSOI層膜厚と分離酸化膜下のSOI層抵抗値について検討を行う必要がある。今回、130nmノードデバイスに対応するゲート長 $0.10\mu\text{m}$ 、ゲート幅 $0.20\mu\text{m}$ のNMOSFETについて収集電荷量のシミュレーションを行い、その結果から、素子の微細化が進んでもボディ電位固定型デバイスが、ボディ電位浮遊型デバイスに比べ、ソフトエラー特性向上に有効なデバイス構造であると判断できる。

7. 10GbpsトランシーバLSIへの適用

これまで紹介した $0.18\mu\text{m}$ パーシャルトレンチ分離SOIデバイス技術を用いて10GbpsトランシーバLSIを試作したところ、図 7 のように良好な出力波形が得られ、シリコン系CMOSプロセスで10Gbpsレベルの回路動作が可能であることが実証できた(詳細は、本誌2002年12月号に掲載)。

8. む す び

当社独自のHTI技術を用いたSOIデバイス技術により、CMOSトランジスタの性能を向上し、 $0.18\mu\text{m}$ SRAMにおいて、ソフトエラー率をバルクに比べ約3けた低減できることを実証した。この技術をCMOS回路に適用することにより、高速・高周波動作が可能で、信頼性の高いCMOS回路を実現することができる。

参考文献

- (1) Hirano, Y., et al. : IEDM Tech. Dig., 467 (2000)
- (2) Matsumoto, T., et al. : IEDM Tech. Dig., 219 (2001)
- (3) Matsumoto, T., et al. : IEDM Tech. Dig. (2002), in printing.
- (4) Hirano, Y., et al. : Symp. on VLSI Tech. Dig., 48 (2002)



特許と新案***

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 知的財産渉外部
電話(03)3218-9192(ダイヤルイン)

半導体装置 特許第2518408号(特開平3-32046)

発明者 新井規由

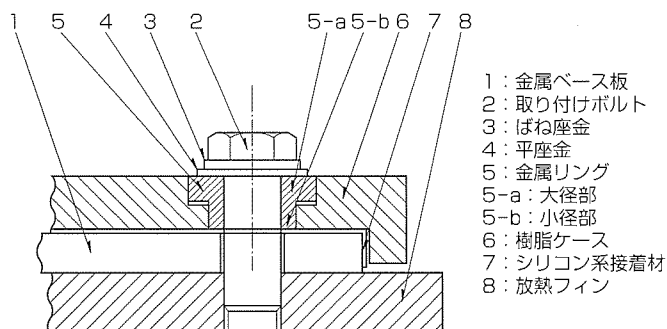
この発明は、放熱フィンなどの構造物にねじ締めされる半導体パワーモジュールに関するもので、ねじ締め力が長期にわたり安定して保持するパワーモジュールを提供できる。

この半導体装置は、樹脂によって形成されたケースが金属ベース板上にシリコン系接着材で接着され、この接着部分を貫通するボルトを介して金属ベース板が放熱部材にねじ締めされる半導体装置において、ボルト貫通部分に貫通中空部が形成された金属リングをケースのボルト孔にかん合させてかつ先端部を金属ベースに当接させた状態で装着させるとともに、この金属リングの金属ベース板側端部をケース側端部から段差をもって小径に形成し、さらに、ケース側端部がかん合する大径部分を金属リングの大径部分の長さより深く形成し金属リングの大径部分の底面とケース側の軸端部との間に隙間(すきま)を形成する構造としたので、ボルトでねじ締めする際に、ボルト(座金)の締め付け力を金属リングが受けて、下端部に当接している金属

ベース板に直接締め付け力を伝達することができる。

これにより、締め付け力が樹脂ケースに加わらないため、時間経過に伴う樹脂のクリープによる締め付け力の低下がなく、締め付け力を長期にわたり一定に保つことができる。

また、金属リングの金属ベース板側端部を上部ケース側端部より小径にしたことで、金属ベース板とケースの接着面積をケースを大型化することなく確保できる。



- 1: 金属ベース板
- 2: 取り付けボルト
- 3: ばね座金
- 4: 平座金
- 5: 金属リング
- 5-a: 大径部
- 5-b: 小径部
- 6: 樹脂ケース
- 7: シリコン系接着材
- 8: 放熱フィン

半導体圧力センサ 特許第2037308号(特開平3-137532)

発明者 竹内孝信

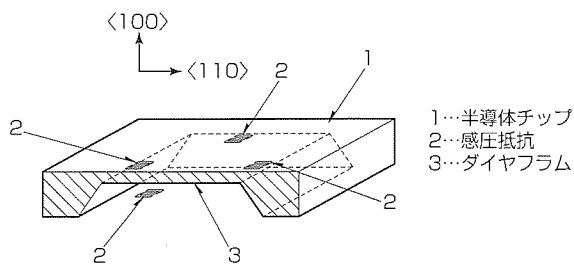
この発明は、 piezo抵抗効果を利用した半導体圧力センサに関するものである。半導体圧力センサはSiチップ(図1の1)の裏面からエッチングしたダイヤフラム(図1の3)を持ち、その上に拡散抵抗(図1の2)を形成している。拡散抵抗はダイヤフラム部の応力に比例して抵抗値が変化するため(piezo抵抗効果)機械ひずみを電気信号に変換することができる。

圧力センサの高精度化はS/N比を向上させることが必要であった。しかし、従来の圧力センサでは電気信号に変換する際に効率が悪く十分な感度が得られないという問題

があった。

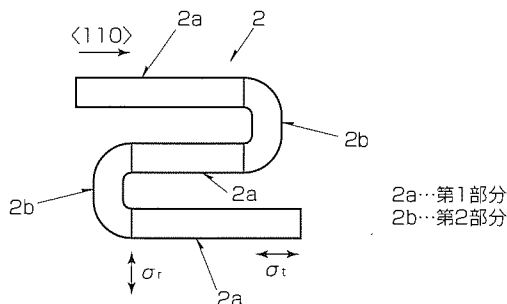
この発明は、これらを解決するためになされたもので、主応力感知部の第1の抵抗(図2の2a)と、前記抵抗に垂直に配置される第2の抵抗(図2の2b)において、例えば、第2の抵抗の不純物濃度を第1の抵抗より高くするなど、第1の抵抗の単位長さ当たりの抵抗値に対し、第2の抵抗の単位長さ当たりの抵抗値を小さくしたものである。

上記の発明により第2の抵抗による感度低下を低減でき、S/N比の高い圧力センサを得ることができる。



- 1...半導体チップ
- 2...感圧抵抗
- 3...ダイヤフラム

図.1



- 2a...第1部分
- 2b...第2部分

図.2



特許と新案 * * *

三菱電機は全ての特許及び新案を有償開放しております

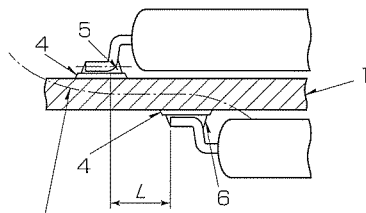
有償開放についてのお問合せは
三菱電機株式会社 知的財産渉外部
電話(03)3218-9192(ダイヤルイン)

半導体装置 特許第2634351号(特開平5-82937)

この発明は、複数の半導体パッケージをガラスエポキシ基板の両面に搭載するメモリカード、メモリモジュール、その他の配線基板に適用して、はんだ接合部の熱疲労強度を向上する技術である。

Siとフレームと封止樹脂との複合材料構造の半導体パッケージは、大容量化・高機能化・高速化で外形寸法が大きくなるとともに、横断面におけるSiの占有面積が増大し、必然的にSiの熱膨張係数 $=3 \times 10^{-6}$ に近づいてきている。反面、ガラス繊維とレジンと銅配線材料との複合材料構造のガラスエポキシ基板の熱膨張係数は、現在、技術的に 13×10^{-6} より小さくすることは困難である。そのため、パッケージと搭載基板との熱膨張係数の差が大きくなる。

ガラスエポキシ基板の両面に設けた接合ランドにパッケージの外部リードをはんだ接合して組み立てた後に温度変化があると、はんだ接合部の拘束点には大きな応力を生じ

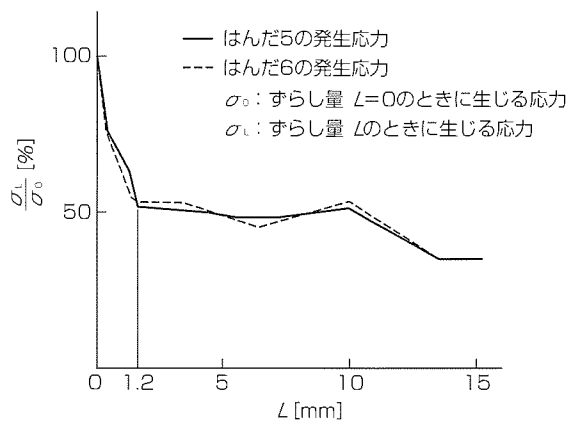


配線基板の中心線の変形モード

図1. 配線基板の上面に設けるマウントパッドと下面に設けるマウントパッドとをLだけずらした場合

発明者 高橋良治, 大谷 浩, 一政忠志, 村沢靖博
実装空間が制限された領域に複数のパッケージを搭載するメモリカードは、基板の表裏面の接合ランドを一致させ鏡面対象として搭載していた。その結果、基板は引張、圧縮方向だけの変位に制限されていた。

この発明は、基板の表裏に設ける接合ランドを一致させないで、図1にLで示すようにずらして、基板の変位制限を解除して自由に変位させることではんだ接合部の応力を低減した。図2には、横軸にずらし量Lを、縦軸に σ_1/σ_0 の比をとり、応力の低減状況を示している。



一定の温度変化を与えて0.43mmのガラスエポキシ配線基板1の両面のマウントパッド4のずらし量を図2に示すように横軸にLの値をとり、はんだ接合部に生じる最大応力を縦軸にプロットすると図に示す曲線のように小さくなる。

図2. 配線基板の上面と下面に設けるマウントパッドとをLだけずらした場合にはんだ接合部に生じる応力

<本号記載の商標について>

本号に記載されている会社名、製品名はそれぞれの会社の商標又は登録商標である。

<次号予定> 三菱電機技報 Vol.77 No.4 「ユビキタス社会に向けたITソリューション」特集

三菱電機技報編集委員	三菱電機技報 77巻3号	2003年3月22日 印刷
委員長 井手 清	(無断転載・複製を禁ず)	2003年3月25日 発行
委員 高橋 大 畑谷正雄 堤 清英	編 集 人 井手 清	
乗原幸志 村松 洋 松本 修	発 行 人 福本 紀久男	
浜 敬三 石野 禎将 中川 博雅	発 行 所 三菱電機エンジニアリング株式会社 e-ソリューション&サービス事業部	
中島克人 部谷文伸	〒105-0011 東京都港区芝公園二丁目4番1号	
黒畑幸雄 山本比呂志	秀和芝パークビルA館9階 電話 (03)3437局2692	
事務局 松本敬之	印 刷 所 株式会社 三菱電機ドキュメンテクス	
本号取りまとめ委員 井上 靖朗	発 売 元 株式会社 オーム社	
	〒101-0054 東京都千代田区神田錦町三丁目1番地	
	電話 (03)3233局0641	
	定 価 1部735円(本体700円) 送料別	
URL http://www.MitsubishiElectric.co.jp/giho/	三菱電機技報に関するお問い合わせ先	cep.giho@ml.hq.melco.co.jp

<訂正>

第77巻1号(2003年1月号)71ページ及び72ページに記載の表題「電子政府・電子自治体向け「電子申請システム」及び「航空管制業務に理想的な」超高精細表示システム」の取り扱い社名を右記のとおり誤記訂正します。(正)三菱電機(株)←(誤)三菱電機インフォメーションシステムズ(株)

現在、車載用途を中心に、M32R/ECUシリーズの展開をしています。車載用途という高信頼性/高品質が求められる分野での実績を背景に、他の分野でも広くご使用いただけるようにコンパクトなマイコン製品のラインアップの充実を図りました。40MIPSという高性能にかかわらずtyp.75mAの低消費電流を実現し、また、144LQFPの小型パッケージに封入し、お客様の様々なニーズに対応できるフィーチャを持っています。拡張性や将来性も約束された、お客様が安心してご使用いただけるマイコン製品群です(図1)。

■特長/主な仕様

(1) 豊富なDMA(Direct Memory Access)(10ch)を介したPSM(Programmable State Machine)機能の構築が可能で、マイコン内蔵周辺機能の致命的欠陥だったリアルタイム制御の制限から解放されます。割り込み応答時間と、そしてそのばらつきを気にすることはありません。M32R/ECUの周辺機能は初期設定で複数のリソースをDMAイベントバス経由で接続でき、CPUの介在なしに各種の高度な処理が実現可能です。

このPSM機能で各種シーケンス制御がCPUの演算処理と並列実行可能となり、いわゆるMIPS値では判断できない高い処理能力を発揮します。通信/信号出力/データ収集等タイム機能との組合せで時間マネジメントができ、入出力データのメモリとの転送も自動実行できます。見掛け上CPUを停止させた自動実行ではなく、正にCPUと並列実行可能な画期的フィーチャです(図2)。

(2) 高性能/高信頼性DINORフラッシュを内蔵し、フラッシュメモリを使用することで、様々なメリットを享受することが可能です。また、フラッシュメモリのメリットを最大限に生かすため、オンボード書き込みを容易に実現するための機能も内蔵しています。外部からは規格内の電源供給のみで、E/W(Erase/Write)に必要な他の処理はすべてフラッシュモジュールが独自に実行します。

(3) 整備されたツールチェーン(図3)により、上位から下位まで、他のマイコンでは類を見ない充実した開発環境を提供します。

■用途

今後新たな市場となるACC(Adaptive Cruise Control)分野や、車載/一般産業機器、その他民生市場など幅広い分野にご使用可能です。

■今後の展開

超高速動作(80MHz)対応や、浮動小数点演算器を内蔵した次世代M32R/ECUを開発中です。

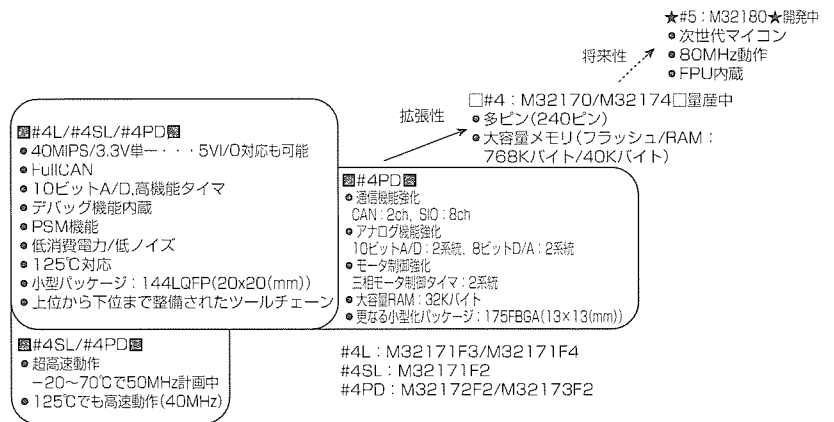


図1. M32R/ECU ロードマップ

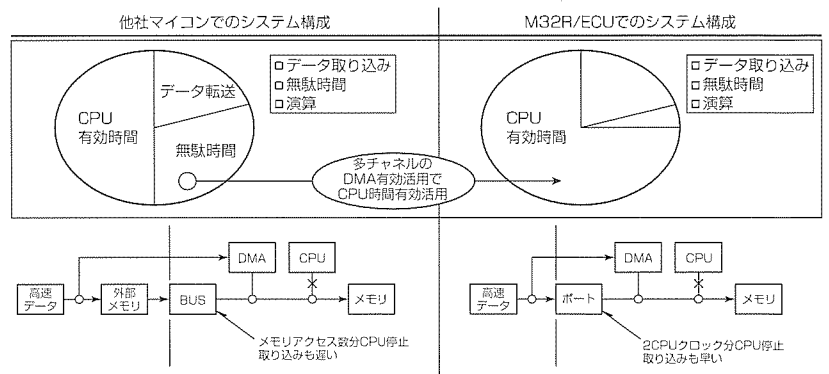


図2. PSM応用例: 高速外部パラレルデータ取り込み

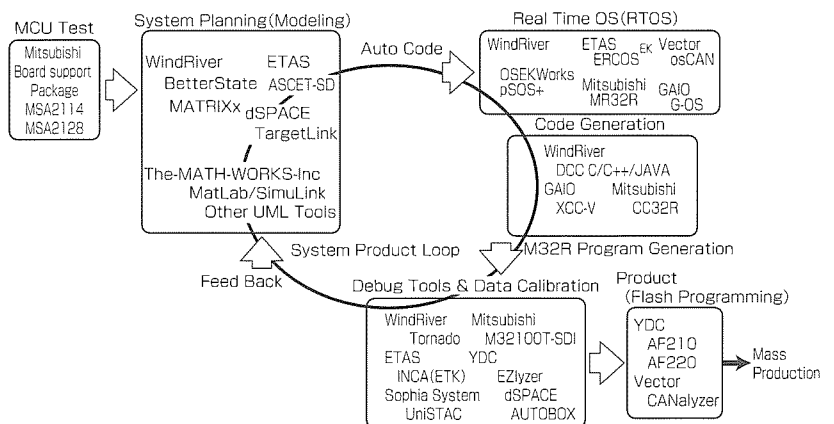


図3. M32R/ECU ツールチェーン

スポットライト

ノートパソコン用KBC/ECマイコン “M306K9FCLRP”

三菱電機では、ノートパソコン専用のKBC (KeyBoard Controller) / EC (Embedded Controller) マイコンとして、高性能ノートパソコン向けにM16C / 60をベースとした製品を展開しています。KBC機能に加え、電源制御、バッテリー制御、ノートパソコン特有の専用キー入力制御など、エンベデッドコントロールに必要な機能を多く内蔵しています。今回の製品“M306K9FCLRP”は、最新の0.2 μ mエンベデッドフラッシュプロセスを採用し、従来製品より高速化と低消費電力化を進めました。また、SMBus (System Management Bus) チャネルを1本、PWM (Pulse Width Modulation) チャネルを4本増加させ、より多機能なエンベデッドコントローラを実現できるようにしました。

■主な仕様

(1) ハードウェア

電源電圧3.3V、動作周波数16MHzのM16C / 60コアは制御系演算に十分な処理能力を持ち、かつ53mW (標準) と低消費電力です。フラッシュメモリは16MHzのCPUバスサイクルにノーウェイトでアクセスできM16Cの処理能力を生かします。

KBCに不可欠な機能として、16 \times 8のキースキャン入力、3チャンネルのハードウェア構成PS / 2^(注1)入力、キーボードやマウス入力以外に3チャンネルのLPC (Low Pin Count) 接続ホストインタフェースバッファを内蔵しています。また、セカンドバッテリーを考慮し、SMBusは3チャンネル内蔵しています。144TQFP (Thin Quad Flat Package) の小型パッケージは、十分なGPIO (General Purpose Input Output) 及び外部割込入力端子を確保でき、かつ、実装面積を小さくできます。

(2) Phoenix BIOS

実績の高いPhoenix社のMultikey^(注2) / M306KLがサポートされています。C言語コンパイラとMultikeyを利用することで、ソフトウェアを効率良く開発ができます。また、

(注1) PS / 2は、米国IBM社の登録商標です。

(注2) Multikeyは、米国Phoenix Technologies Ltd.の登録商標です。

(注3) Windowsは、米国Microsoft Corp.の商標又は登録商標です。

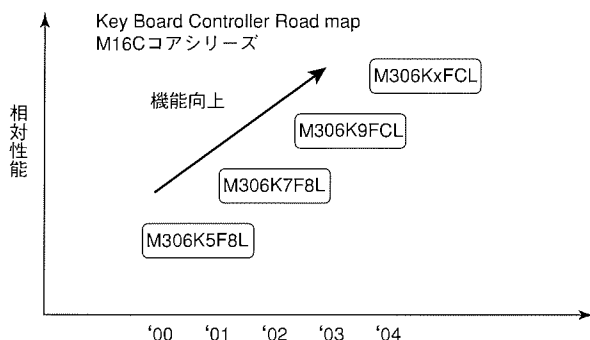


図1. M16C / 6K ロードマップ

M306K9FCLRP評価ボード(M3A-06A2)とチップセットメーカーのリファレンスボードとを組み合わせることで、システムの動作確認とソフトウェア開発が極めて容易にできます。

(3) ユーザー評価環境

名刺サイズの非常に小型で低価格のコンパクトエミュレータ(M306K9T2-CPE)が準備されています。従来、小型のエミュレータとしてミニエミュレータがありました。コンパクトエミュレータはミニエミュレータではできなかった最終のプログラムコード自身のデバッグができるようになりました。また、小型のため、従来のエミュレータに比べてユーザー評価基板への接続が容易で、かつ、動作周波数16MHzでの動作確認ができます。さらに、低価格であるため、複数のコンパクトエミュレータを使ってソフトウェアの開発期間を短縮できます。

■用途

Windows^(注3) ノートパソコン

■今後の展開

CPU、I/Oの特性改善、マイコン周辺機能の取り込み、様々なセキュリティ仕様を実現するハードウェア提供など製品の高性能化を進める予定です。

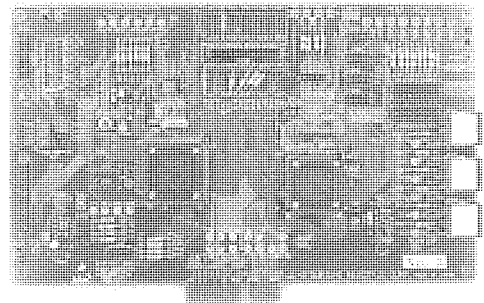


図2. 評価ボード(M3A-06A2)

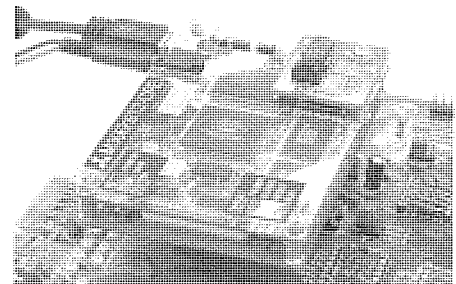


図3. コンパクトエミュレータ(M306K9T2-CPE)