大規模高速システムLSI対応設計システム

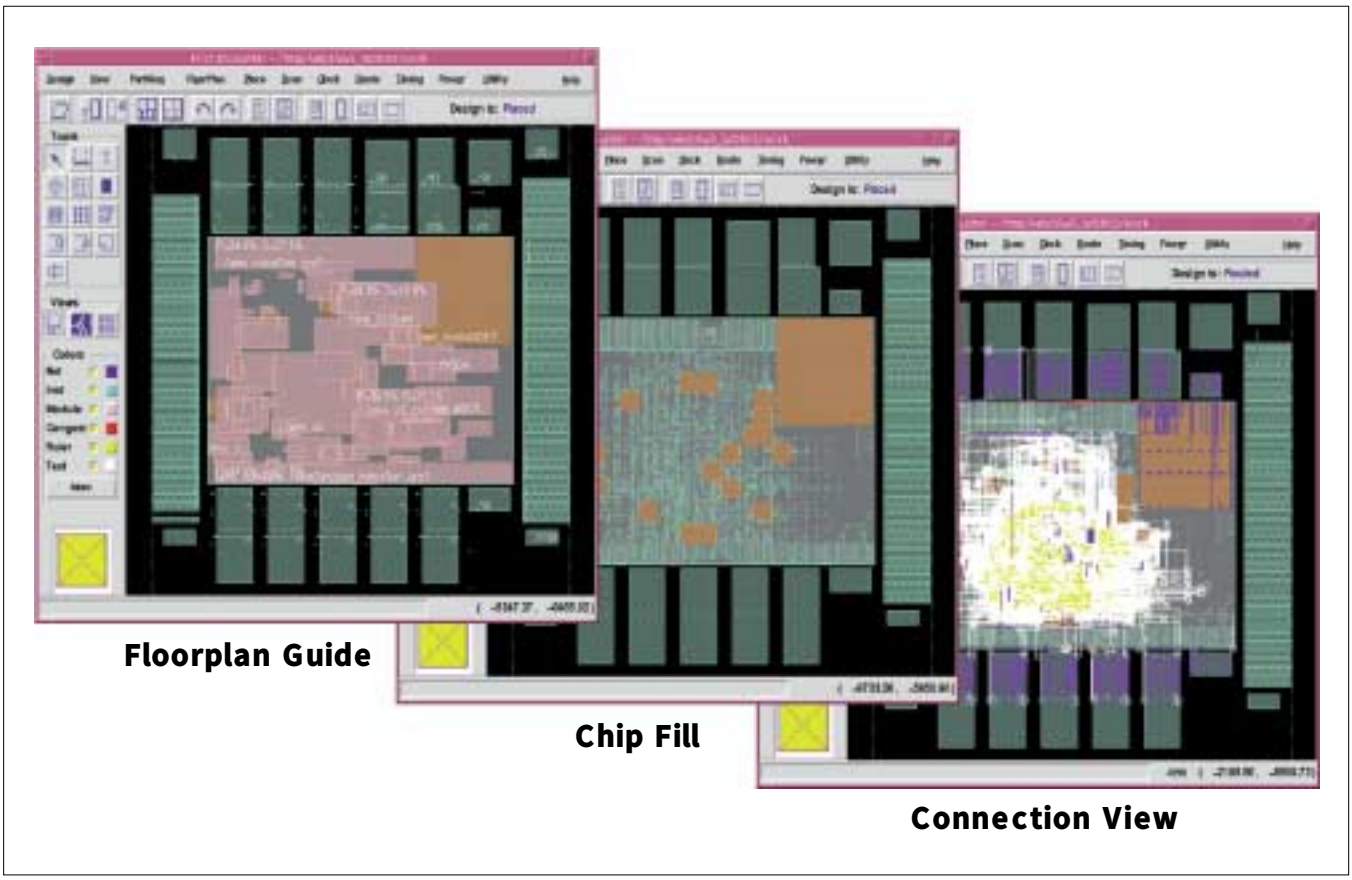
井上善雄* 岩永 純**
高橋一浩* 加賀谷達次***
古茂田道夫*

要 旨

年々大規模・高速化するシステムLSIの開発に向けた設計手法(Design Methodology)の開発とその手法を実現するEDA技術の開発を目指した特別プロジェクトDMT(Design Methodology Team)を2000年度に発足させた。

DMTは，システムLSI事業統括部・EDA推進プロジェクトGを主体とし米国MEUS(Mitsubishi Electric & Electronics USA, Inc.)のEDA部門によって構成されたメンバーによる特別開発プロジェクトであるが，社内技術の開発を行うとともに社外のEDAベンダーのR&D部門とパートナーシップを結ぶことによって開発リソースを確保するほか，開発の効率化，開発技術の標準化を併せて実現する。

DMTは複数年の活動を予定しているが，本稿では，2000年度，2001年度における成果である大規模高速システムLSI対応の自動フロアプランナ機能，シグナルインテグリティ(Signal Integrity：クロストーク解析・制御，IRドロップ解析)回避技術，それらを考慮した遅延精度向上のための最新技術を紹介する。



自動フロアプランナによる“ Chip Filler ”

構造的なネットリストからデータフローを解析し論理的ブロックダイヤグラムとチップ上における(物理的な)ブロックダイヤグラムの比較・検討を行い論理階層を変更する必要がない場合，自動フロアプランナで“ Chip Filler ”のステップを実行することで，チップサイズの見積りやパーティショニングを行うことができる。

*三菱電機㈱システムLSI事業統括部 **三菱電機システムエル・エス・アイ・デザイン㈱
***Mitsubisi Electric & Electronics USA, Inc.