0.13μm 256Mビット SDR／DDR SDRAM

久家重博*
山岡　茂*
谷田　進**

要　旨

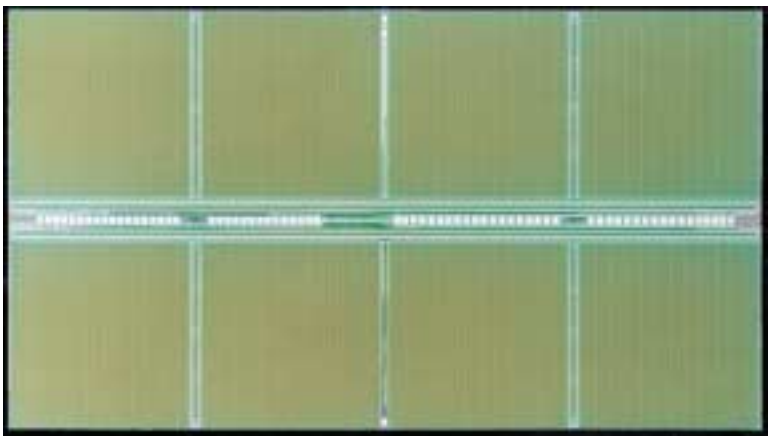
ブロードバンド時代を迎え，サーバ ワークステーション ネットワーク機器からPDA(Personal Digital Assistant)に至るまで，メインメモリとして使用されているDRAMに対して高速・大容量化が要求されている。また，様々な機器の省エネルギー化も進んでおり，DRAMに対する低消費電力化の要求も多い。

これらの要求にこたえるため，三菱電機では，0.13μm CMOSプロセスを採用した256MビットSDR(Single Data Rate)／DDR(Double Data Rate) SDRAM(Synchronous Dynamic Random Access Memory)を開発した。

微細プロセスの採用及びSDRとDDRを同一チップ化(メタルマスタスライス)した設計によって低コスト化するとともに，データの書き込み及び読み出し回路の最適化により，DDR SDRAM時，JEDEC標準準拠で最大データ転送レート333MbpsのDDR333規格に対応し，SDR SDRAM時166MHzの高速データ転送に対応する。

また，外部電圧2.5V時でもレギュレータを使用してSDRAM内部の周辺回路用電圧を外部電圧よりも更に低電圧化することによって信頼性を向上させるとともに，動作電流を低減した。

さらに今回，最適化したオーバードライブセンス回路を搭載することにより，低電圧でのセンスの安定化及び高速化を実現している。



DDR／SDR	DDR			SDR		
語構成	64M×4	32M×8	16M×16	64M×4	32M×8	16M×16
型名	M2S56D20BTP	M2S56D30BTP	M2S56D40BTP	M2V56S20BTP	M2V56S30BTP	M2V56S40BTP
動作電圧	2.5V±0.2V			3.3V±0.3V		
リフレッシュ	8,192サイクル/64ms			8,192サイクル/64ms		
パッケージ	66ピン 400mil TSOP (II)			54ピン 400mil TSOP (II)		
インタフェース	SSTL2			LVTTL		
最大動作周波数	166MHz			166MHz		
最大データ転送レート	333Mbps/ピン			166Mbps/ピン		

0.13μm 256MビットSDR／DDR SDRAMのチップ写真と製品概要

0.13μm CMOS プロセスを採用した256MビットSDR／DDR SDRAMのチップ写真と製品概要を示す。
同一チップでSDR／DDR SDRAMに対応するよう設計した(メタルマスタスライスで切換え)。
SDR／DDR SDRAMともに×4／×8／×16の語構成に対応し，DDR SDRAMはJEDEC標準準拠 DDR333規格に対応し，SDR SDRAMは166MHzのデータ転送に対応する。

*ULSI技術開発センター　**メモリ事業統括部