

## サブ100nm時代の設計技術

京都大学 大学院  
情報学研究科

教授 小野寺秀俊



1959年に数個の素子の集合として誕生した集積回路は、今や1千万以上の素子を集積したシステムLSIが開発されている。筆者自身の経験でも、約20年前に初めて設計したLSIは、ゲート長が $3\mu\text{m}$ であった。一方、今年度に設計したLSIのゲート長は $100\text{nm}$  ( $0.1\mu\text{m}$ )であり、30分の1に微細化した。20年前のコンタクト穴の中に、インバータゲートが3個入る。

このような微細化トレンドを予測する資料として、半導体技術国際ロードマップ(International Technology Roadmap for Semiconductors: ITRS)が作成されている。ITRSによれば、今後も着実に微細化が続き、2016年にはゲート長が $22\text{nm}$ に縮小するという。ITRSでは、微細化トレンドとともに、そのトレンドを実現するための各種の技術開発状況が色分けで示されている。解が知られていない領域は赤色で塗られており、特に2007年以降の各種技術はほとんどが赤色で埋め尽くされている。これはRed Brick Wallと呼ばれており、この壁を乗り越えるための技術開発が急務である。

ここで、素子の微細化については、既に $15\text{nm}$ のゲート長を持つトランジスタが報告されている。したがって、実用化には種々の困難な問題が山積しているものの、製造技術については壁を乗り越える目処が見えつつある。重要な検討課題は、設計技術ではないかと思う。

“壁”に当たる2007年ごろには、集積度は現在より10倍程度向上する。ポストPC時代をけん(牽)引する製品としてコンシューマー向けデジタル端末を想定すると、無線によるネットワーキング機能や音声認識等のユーザーインタフェースを実装したシステムLSIが要求される。ウェアラブルでユビキタスな環境を実現するためには抜本的な消費電力の低減化が必要であり、システムやソフトウェアレベルから回路レベルまですべての段階における低消費電力

化設計技術の開発が求められる。また、通信や入出力のために、RFやアナログ回路も集積化することになる。これらの回路は、チップ全体に占める割合はわず(僅)かであるが、システム全体の性能を決めるかぎ(鍵)を握る部分となる。現在、その設計には熟練設計者の経験やノウハウに頼る部分が多い。今後、RFやミックスドシグナル設計技術を確立し、さらには、これらをEDAに埋め込むことにより、全設計者の共通技術とする取り組みが必要である。

実装技術や製造技術と連携した設計も重要な課題である。例えば、パッケージとチップの融合設計や、製造ばらつきに対処するための製造容易化設計が強く望まれる。製造や実装との垣根を取り払うことによって付加価値の高いLSIが設計でき、水平分業的に製造される標準的半導体との差別化が図れる。

システムLSIについては、どのようなシステムを開発するのかという本質的な問題もある。システムLSIはあらゆるものに埋め込まれ、社会の多様化、分散化、ネットワーク化を促進する。システムLSIが実現するサービスは、社会、経済、文化、さらには人間の教育や生き方にまで大きな影響を及ぼす。システムLSIの開発においても、どのような社会を作っていくのかという問題意識を持つことが大切である。

サブ100nm世代に入り、競争力を確保するための設計技術の開発が重要になるとともに、アプリケーションの企画力、システムの構築力、ソフトウェアの設計力、製造力などが総合的に要求される時代となった。LSIを牽引する市場はPCから通信やコンシューマー分野に移っており、日本の半導体産業には追い風が吹いている。多様なビジネスチャンスを的確にとら(捉)えて新規市場を創成する必要がある。新しい社会を拓くシステムLSIの開発を通じ、豊かで幸せな社会が築かれていくことを期待している。