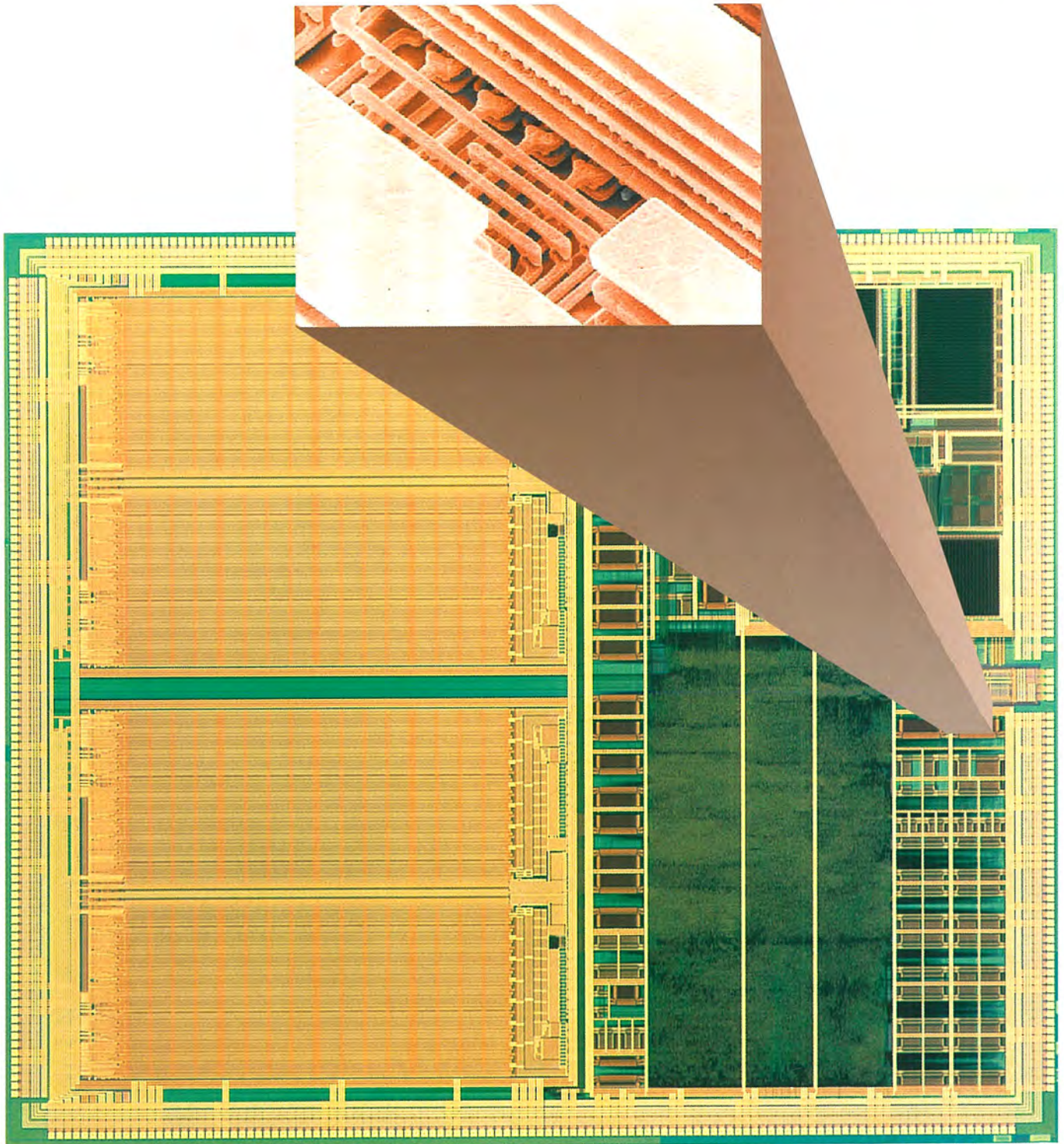


MITSUBISHI

三菱電機技報 Vol.76 No.3

特集「半導体」

2002 **3**



0.13 μ m 8層-Cu配線プロセス:三菱電機-松下電器産業殿共同開発

目次

特集「半導体」

サブ100nm時代の設計技術 小野寺秀俊	1
革新的ITDMを目指して 松川隆行	2
216MHz 32ビットRISCマイコンM32R“M32104S6FP” 布村泰浩・鈴木弘明	9
単精度浮動小数点演算器内蔵マイクロプロセッサ“M32R-FPU” 前田昇平・岩畔一之・橋本浩志・佐藤由和・宮内英男・千石天光	13
デジタルパワーアンプ用プロセッサLSI 森岡幸一・大木正司	17
Bluetooth用ベースバンドLSI“M64110WG” 三浦 学・白石竹虎・大迫義行・堀 俊彦	21
Bluetooth用RFトランシーバLSI“M64846FP” 伊賀哲也・長谷川浩一・高橋幸二・小紫浩史・江花武雄	25
0.13 μ m 256MビットSDR/DDR SDRAM 久家重博・山岡 茂・谷田 進	29
0.18 μ m 4M/8Mビット低消費電力SRAM3V/1.8Vシリーズ 池田和也・中嶋 泰・芦田 基	33
携帯機器向け大容量モバイルRAM搭載MCP 築出正樹・鈴木富夫・奥垣 明	37
sTSP搭載メモリモジュール 福元孝和・松浦哲也・三角和幸・筆保吉雄	41
混載DRAM用モジュールジェネレータ 諸岡毅一・渡邊直也・小田学洋	45
大規模高速システムLSI対応設計システム 井上善雄・高橋一浩・古茂田道夫・岩永 純・加賀谷達次	49
システムLSIにおける超低コストアナログテスト技術 “Static Analog BOST” 花井寿佳・船倉輝彦・山下榮作・森 長也	53
0.1 μ m世代をにらんだ半導体デバイスの評価技術 廣瀬幸範・福本晃二・益子洋治	57

特許と新案

「データ処理装置」「ガリウム砒素半導体集積回路」	61
「メモリセル回路」	62

スポットライト

フラッシュ内蔵3.3V単一M32R/ECUシリーズ “M32171FxVFP, M32172F2VFP, M32173F2VFP”	(表3)
--	------

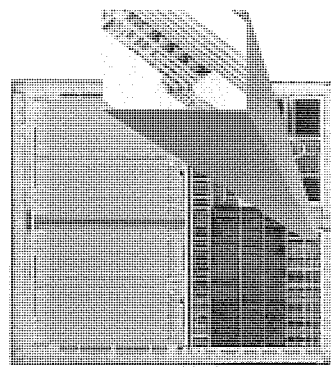
表紙

先端プロセス

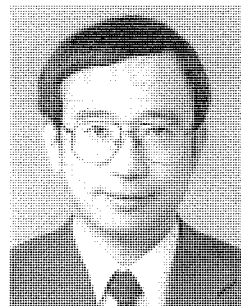
三菱電機㈱は、1999年から、松下電器産業㈱と共同で最先端のCMOSプロセス及びDRAM混載プロセスを開発している。写真は、その成果の一つである0.13 μ m DRAM混載プロセスによるプロセス評価用システムLSI(画像処理プロセッサ：当社設計)のチップ写真とCu配線部(8層)のSEM写真である。

画像処理プロセッサのチップサイズは99 \times 99(mm)で、2個の32MバイトDRAMと1,200万トランジスタ(ロジック部)が搭載されているので、このチップはプロセスを評価するに足る大規模なLSIである。このプロセッサの評価結果から、0.13 μ m DRAM混載プロセスが仕様どおりの仕上がりであることが確認された。

現在、松下電器産業㈱と当社は、両社一体となって0.1 μ m CMOSプロセス及び0.1 μ m DRAM混載プロセスの量産化技術の開発に注力している。



サブ100nm時代の設計技術



京都大学 大学院
情報学研究科

教授 小野寺秀俊

1959年に数個の素子の集合として誕生した集積回路は、今や1千万以上の素子を集積したシステムLSIが開発されている。筆者自身の経験でも、約20年前に初めて設計したLSIは、ゲート長が $3\mu\text{m}$ であった。一方、今年度に設計したLSIのゲート長は100nm($0.1\mu\text{m}$)であり、30分の1に微細化した。20年前のコンタクト穴の中に、インバータゲートが3個入る。

このような微細化トレンドを予測する資料として、半導体技術国際ロードマップ(International Technology Roadmap for Semiconductors: ITRS)が作成されている。ITRSによれば、今後も着実に微細化が続き、2016年にはゲート長が22nmに縮小するという。ITRSでは、微細化トレンドとともに、そのトレンドを実現するための各種の技術開発状況が色分けで示されている。解が知られていない領域は赤色で塗られており、特に2007年以降の各種技術はほとんどが赤色で埋め尽くされている。これはRed Brick Wallと呼ばれており、この壁を乗り越えるための技術開発が急務である。

ここで、素子の微細化については、既に15nmのゲート長を持つトランジスタが報告されている。したがって、実用化には種々の困難な問題が山積しているものの、製造技術については壁を乗り越える目処が見えつつある。重要な検討課題は、設計技術ではないかと思う。

“壁”に当たる2007年ごろには、集積度は現在より10倍程度向上する。ポストPC時代をけん(牽)引する製品としてコンシューマー向けデジタル端末を想定すると、無線によるネットワーク機能や音声認識等のユーザーインタフェースを実装したシステムLSIが要求される。ウェアラブルでユビキタスな環境を実現するためには抜本的な消費電力の低減化が必要であり、システムやソフトウェアレベルから回路レベルまですべての段階における低消費電力

化設計技術の開発が求められる。また、通信や入出力のために、RFやアナログ回路も集積化することになる。これらの回路は、チップ全体に占める割合はわず(僅)かであるが、システム全体の性能を決めるかぎ(鍵)を握る部分となる。現在、その設計には熟練設計者の経験やノウハウに頼る部分が多い。今後、RFやミックスドシグナル設計技術を確立し、さらには、これらをEDAに埋め込むことにより、全設計者の共通技術とする取り組みが必要である。

実装技術や製造技術と連携した設計も重要な課題である。例えば、パッケージとチップの融合設計や、製造ばらつきに対処するための製造容易化設計が強く望まれる。製造や実装との垣根を取り払うことによって付加価値の高いLSIが設計でき、水平分業的に製造される標準的半導体との差別化が図れる。

システムLSIについては、どのようなシステムを開発するのかという本質的な問題もある。システムLSIはあらゆるものに埋め込まれ、社会の多様化、分散化、ネットワーク化を促進する。システムLSIが実現するサービスは、社会、経済、文化、さらには人間の教育や生き方にまで大きな影響を及ぼす。システムLSIの開発においても、どのような社会を作っていくのかという問題意識を持つことが大切である。

サブ100nm世代に入り、競争力を確保するための設計技術の開発が重要になるとともに、アプリケーションの企画力、システムの構築力、ソフトウェアの設計力、製造力などが総合的に要求される時代となった。LSIを牽引する市場はPCから通信やコンシューマー分野に移っており、日本の半導体産業には追い風が吹いている。多様なビジネスチャンスを的確にとら(捉)えて新規市場を創成する必要がある。新しい社会を拓くシステムLSIの開発を通じ、豊かで幸せな社会が築かれていくことを期待している。



松川隆行*

革新的ITDMを目指して

要旨

近年の半導体産業では、巨大なウェーハファウンドリーや組立て、テスト専門会社の台頭によって、それらを利用したファブレスと、依然として設計から製造まで一貫して手掛けるIDM(Integrated Device Manufacturer)との競合がより鮮明になってきた。その中で、言うまでもなく三菱電機の半導体はIDMに属するが、一般的にはファブレス/ファウンドリー形態に比べてIDM形態は事業の間口が広がる分不利な競争になっているという論調が多い。

しかし、本当にそうであろうか?もともと半導体デバイスは、非常に広範囲の技術を集積して作られる。これまでに積み重ねてきたそれらの技術を標準化して、あたかもブラックボックスであるかのように扱えるようにしたのがファブレス/ファウンドリー形態の根幹である。したがって、

それと同じ土俵でIDM企業が競争した場合には不利な競争になる面は否めない。しかし、それらウェーハプロセスや組立て技術も次々と進化して、無限の新たな可能性があることを考えると、むしろIDM(それも総合電機メーカーにおけるIDM)の方が優位な領域が多々ある。

この観点を込めて、総合電機メーカーにおける垂直統合型の半導体ビジネスの在り方をITDM(Integrated Technology & Device Manufacturer)路線と名付けた。

本稿では、このITDMを基調とした三菱半導体の最近の成果について紹介する。ITDMであることの利点は、多くの場合一つのアプリケーション分野に対して総合的なソリューションを提供していけることである。



当社の強みを生かしたITDM戦略

当社が注力する三つの重点市場のそれぞれに対し、当社の強みのある技術を結集させ事業を展開している。付加価値の高い製品を生み出すため、当社は、システム設計からパッケージ技術に至るすべての技術が共通の目標に向かってベクトルを合わせることが可能なITDM戦略を強力に推し進めている。

1. ま え が き

半導体ビジネスは、パソコンや携帯電話の伸び率鈍化のため供給過剰に陥っており、従来の横並び製品だけでは経営が成り立たなくなっている。

この困難な状況を打開するためには、他の追随を許さない製品を提供することが必要である。三菱電機は、垂直統合型であるとともに化合物半導体や電力デバイスまで手掛ける総合半導体メーカーであり、これらの技術を統合して特長のある製品を生み出すためITDM路線を強力に進めている。

以下では、ITDMに必ず(須)な当社の技術を紹介する。まず当社が特化する三つの重点市場について述べ、システムLSIやメモリの開発状況を紹介します。さらに、システムのキーデバイスとなる付加価値の高い光・高周波デバイスやパワーデバイスについて紹介する。最後に様々な種類のLSIを一つのパッケージに統合しシステムの小型化・高性能化を可能にするシステムインパッケージ技術の開発状況について述べる。

2. 重点市場

当社では、その特長と独自性を生かせる次の三つのセグメントを半導体の重点攻略市場に設定した。図1に重点3市場を示す。

2.1 通信・ネットワーク市場

携帯電話やBluetooth^(注)応用製品に代表されるモバイル機器は、MCP形複合メモリ、SoC形のシステムLSIやGaAs高周波半導体など大量の半導体を使用する。長波長レーザー搭載のWDM光通信用モジュールやSOI(Silicon On Insulator)／CMOS技術を使用したMUX／DEMUX用LSIは、インターネット・インフラの発展に欠かせない。

2.2 デジタル情報機器市場

VTRや銀塩カメラからDVDプレーヤーやDSCへの急激なデジタル化が進行している。また、光ディスク、HDD

技術を背景にしたDVDレコーダ、デジタルオーディオなどの情報家電の新市場が立ち上がりつつある。ここでは、CPUコアを始め、各種ハードウェアIP、ソフトウェアIPや組み込みメモリを混載した大規模システムLSIが必須になっている。

2.3 自動車市場

MCUやパワーデバイスを中心的に使用する市場で、安定的な成長が見込める。ECUやエアバッグ、CAN用途などに32/16/8ビットMCUや高耐圧ASIC、半導体センサが大量に使用される。

3. システムLSI

3.1 先端プロセス技術

当社の先端プロセス開発は、ITDMとしての特長を生かして、図2に示すように先端CMOSプロセス技術をプラットフォームとして、当社の得意分野であるメモリやSOIなどのプロセス・モジュール技術を統合させ、アプリケーションに特化した最適な高性能システムLSIを実現するとの方針の下に遂行している。

3.1.1 微細化トランジスタ開発

0.13μm以下の技術ノードでMOSトランジスタの最大の課題は、薄いゲート絶縁膜である。膜厚2.5nm以下では、トンネル電流によってゲート酸化膜のリーク電流が無視できなくなる。高速LSIでは、ゲート酸化膜厚1.8nm以下で

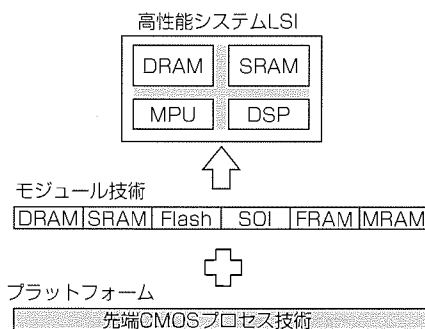


図2. 先端プロセス開発戦略

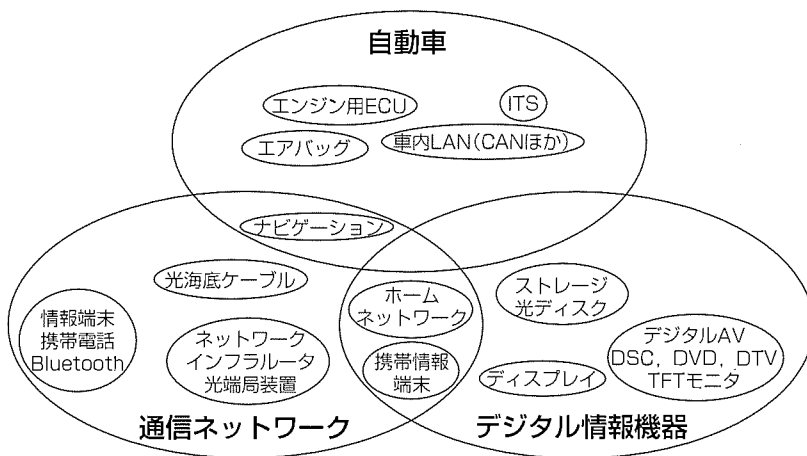


図1. 重点3市場

ゲートリークによって薄膜化の限界に至る。このため、ゲート絶縁膜の信頼性を考慮しつつ高駆動・低リークCMOSトランジスタを開発している。0.1 μm までの要素開発は完了した。0.1 μm 以降では、ゲート絶縁膜を高誘電率材料に変更する必要がある、あすか・MIRAIプロジェクトに参画して開発を強力に進めている。

3.1.2 微細化配線構造開発

微細化による配線間容量の増大を避けるため、高密度プラズマCVD法を用いて酸化膜にふっ素を添加して比誘電率3.6の層間絶縁膜を開発した。0.13~0.10 μm の技術ノードでは比誘電率2.8程度の無機系のプラズマCVDによるSiOCを採用し、さらに、0.07 μm 以下の技術ノード対応では比誘電率2以下のボラジン系高分子を分子設計技術で開発し将来に備えている。このボラジン系高分子は、窒化ほう素をベンゼン環に似た電子構造に配列することによって得られ、スピコート法で安価に、2以下の比誘電率と450 $^{\circ}\text{C}$ 以上の耐熱性と優れた機械強度を得ることができる。

3.1.3 用途特化プロセス

微細化による回路性能の改善効果を更に向上させるために、高速又は低電力LSIには、SOIを使用している。SOIでは接合容量の低減、MOSトランジスタの基板バイアス効果の低減、基板との完全な分離が可能で、高速・低電圧動作や微細化で問題となってくるソフトエラーやウェル間の分離、ノイズ抑制に効果があり、高速・低電力のLSIに適している。

3.2 コア技術

3.2.1 メモリコア

(1) DRAMコア

0.12 μm CMOS LogicプロセスベースのeDRAM (embedded DRAM) コアは、中速・低電力(166MHz)と高

速(400MHz)の2種類があり、中速コアはデジタルAV、パソコン周辺、携帯電話市場を、高速コアはネットワーク市場をターゲットにしている。さらに、低速・高密度型eDRAMコアも開発している。

(2) SRAMコア

性能や規模に応じて様々なSRAMを開発している。数Mビットの大規模用途にはeSRAM(embedded SRAM)を準備している。eSRAMは冗長回路等を備え、高密度・高歩留りを実現している。0.5Mビット以下はメモリコンパイラがカバーしており、高速SRAMと高密度SRAMの2種類の中から選択可能で、不良救済用冗長回路もサポートしている。

メモリセルサイズは0.14 μm プロセスで3.0 \times 3.0(μm)、0.12 μm プロセスで2.1 \times 2.1(μm)である。

(3) フラッシュメモリコア

マイコンに搭載されるフラッシュメモリとして単一電源化と大容量化への要求から三菱独自開発であるDINOR型フラッシュメモリが開発され、16~32ビットマイコンへ搭載されてきた。一方、比較的小容量を必要とする8~16ビットマイコンに対しても単一電源の要求があり、低コスト化を目的としてNewDINOR型フラッシュメモリを開発した。その結果、全マイコンに単一電源フラッシュメモリを内蔵することが可能である。このNewDINOR型フラッシュメモリは、現在0.2 μm プロセスまで開発されており、今後M16Cを始め種々のマイコンに搭載される。

3.2.2 マイコンコア

(1) M16Cファミリー

M16Cファミリーは、マニュアル設計による論理/レイアウト最適化により、低消費電力、低ノイズ放射、高ノイズ耐性を実現した16/32ビット汎用マイコンである(図3)。

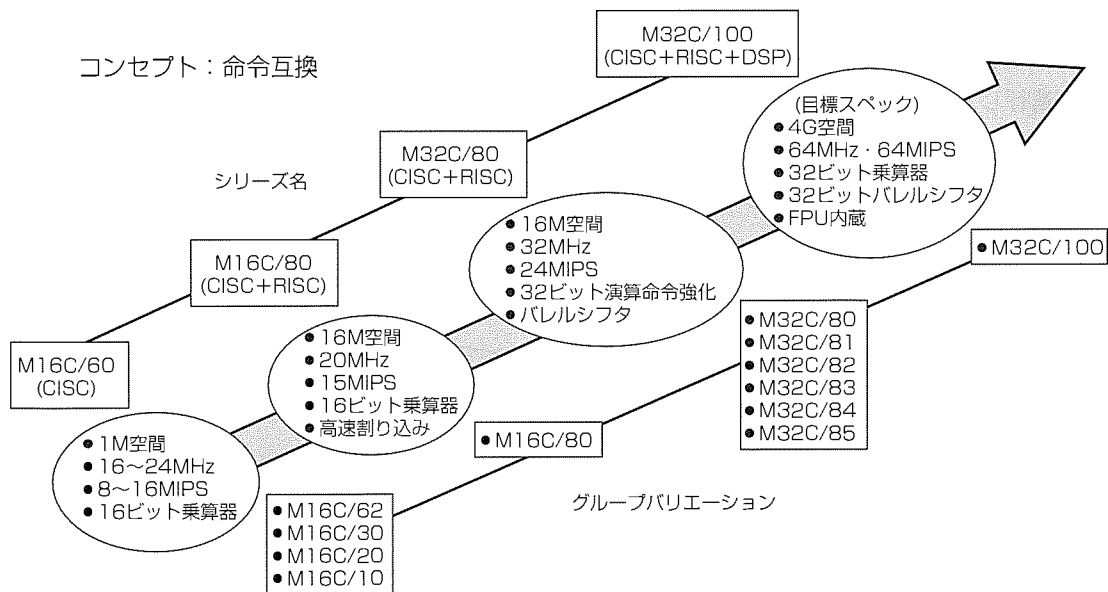


図3. M16CファミリーのCPUロードマップ

また、CISCアーキテクチャが高いROM効率を実現し、ファミリー内でソフトウェア及びピンが互換という特長を持っている。

M16C/60は、M16Cファミリーの標準的なマイコンであり、オーディオ、自動車、パソコン周辺など様々な分野で採用されている。M16C/80は、M16C/60にRISCの制御機構を取り入れて高速化を図ったもので、主に自動車やモータの制御に使用されている。M32C/80はM16C/80を32ビット化したマイコンであり、M32C/100はDSP機能内蔵の高性能32ビットマイコンである。これらは複雑で高速な処理の要求に対応したものであり、今後、グラフィックスや高度制御分野を中心に応用が進んでいくと思われる。

(2) M32Rファミリー

M32Rファミリーは三菱オリジナル32ビットRISCコアを内蔵したマイコンで、16/32ビット長命令セットによる高いROM効率とDSP機能命令による高速処理性能を特長とした組み込み向けマイコンである。図4にロードマップを示す。

デジタル情報機器向けM32R/Eシリーズでは低消費電力と高速処理を必要とする携帯型民生機器向けに2V低電圧動作のROM内蔵品を製品化しており、車載・産業機器向けM32R/ECUシリーズでは、システムの大規模化に対応して内蔵フラッシュメモリの大容量化(~1Mバイト)や周波数向上、FPU内蔵などによる処理性能向上(~80MHz)を進めている。

また、200MIPS超級の性能を実現した汎用の高速ROM外付けタイプの製品開発も完了し、高速処理を必要とする幅広い応用に対応可能である。

3.3 システムインテグレーション技術

3.3.1 H/W/S/W協調設計環境

既存LSIを組み合わせてシステムを構成する場合に比べ、システムインテグレーションでは、ハードウェア(H/W)とソフトウェア(S/W)の機能分割に自由度が増す。H/Wが存在しない段階で、S/WとH/Wの機能分割や、S/W開発を行うためのH/W/S/W協調設計環境が必要である。

当社は、図5に示すように、H/Wの製造前にH/WとS/Wの協調動作を検証できる環境を、当社製32ビットRISC CPU(M32R)コア内蔵システムLSI向けに開発した。コシミュレーションによる仮想システム検証から評価ボー

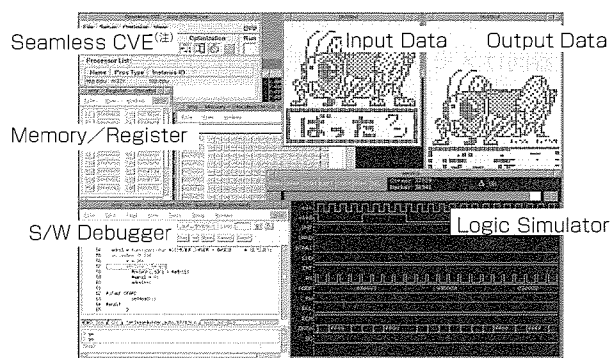


図5. H/W/S/Wコシミュレーション例

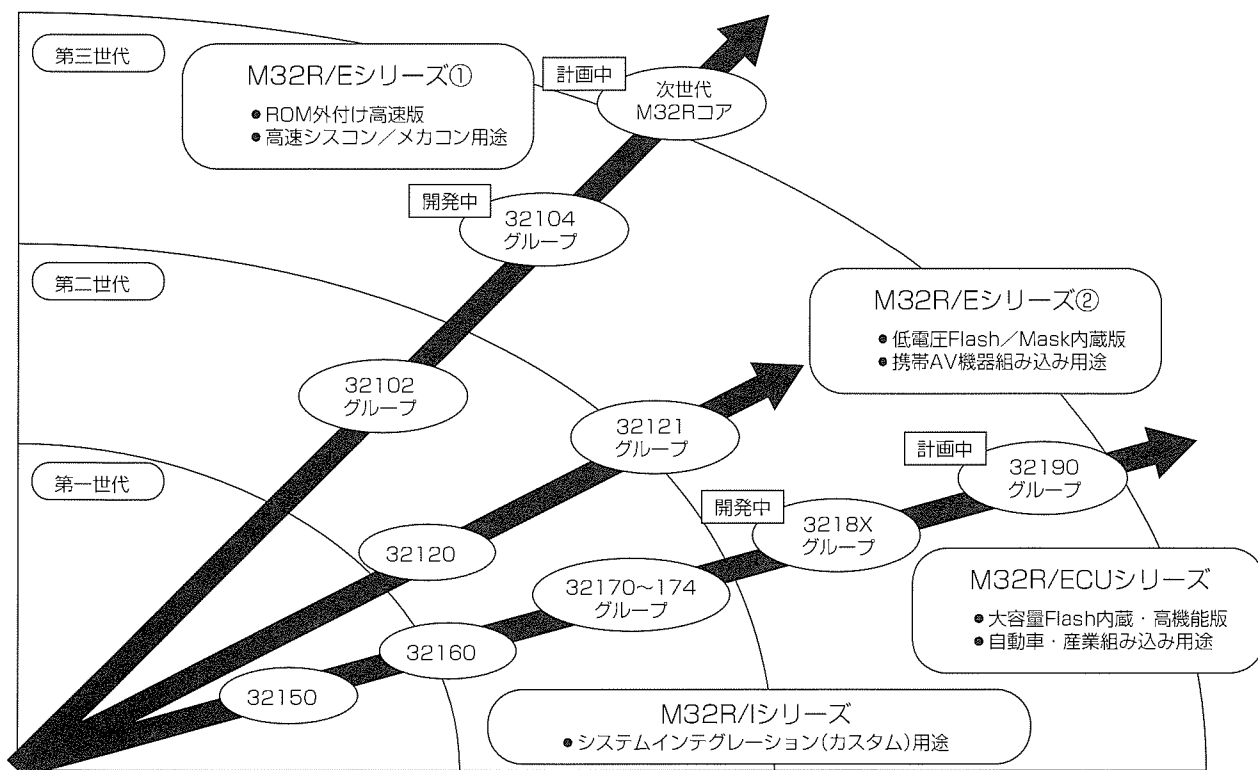


図4. M32RファミリーのCPUロードマップ

ドでの検証、実チップを搭載したターゲットボードでの検証まで、システムレベルの検証が可能である。

3.3.2 プラットフォームベースSoCデザイン

機能分割によってH/Wの仕様が決まれば、CPU、メモリなどの基本IPと表1の周辺IPを接続して、システムLSI (SoC)を設計することになる。開発案件ごとにIPを組み上げる設計方法を採用すると、設計検証に要する手間が膨大となる。そこで、当社では、図6に示すように、あらかじめ主要なIPを接続したプラットフォームを開発した。SoCの設計は、プラットフォームに対するIPの追加・削除という形態で行う。

4. 汎用メモリ

メモリ市場としては、パソコン向けよりも、携帯電話を中心としたモバイル機器向けメモリの需要が急増しており、従来の通信、ワークステーション、サーバ用に加え、モバイル機器向けメモリの開発・生産に注力している。

携帯電話では、メール通信、インターネット接続等のデ

表1. IPコア

分野	IPコア(開発中を含む)
アナログ	ADC/DAC(6~18ビット, 44kS/s~1GS/s)* PLL/VCO(~2.4GHz)
高速I/F	LVDS, XAUI, HyperTransport, RapterIO
通信	USB1.1/2.0, Ethernet, Bluetooth, IrDA
画像/オーディオ	JPEG2000, MPEG4, MP3, AC3, AAC, MLP

* S: Sampling

ータ通信機能の付加、さらには第三代携帯電話と、高機能化が急速に進んでおり、メモリに対する要求はますます厳しくなっている。バッテリー駆動のための低電力化・高機能化に伴う大容量化・アクセスの高速化、機器サイズによる小型パッケージ(PKG)化やチップのPKGへの積層化等が必要とされている(7.1節参照)。

現在、DRAMメモリセルを用いながらもリフレッシュ不要な32MモバイルRAM、高速のアクセスモードを備えた64Mフラッシュメモリ、低電力8MSRAM、そして低電力64MDRAMを携帯機器向けに量産している。プロセス技術では0.13μmへの移行を進めている。

また、ネットワーク向けの非常に高速なSRAMの要求が高まっており、当社が保有する独自の設計・プロセス技術を活用しネットワークSRAMとして対応しようとしている。

5. 光・高周波デバイス

5.1 光デバイス

光通信市場では、今後、経済効率の追求のためシステム及びデバイスの大容量化・高速化(10Gbps→40Gbps)・低価格化要求が強くなると考えられる。

10Gbpsでは、100km以上の長距離伝送対応のEA変調器集積レーザ及びAPD(Avalanche Photo Diode)の製品化、並びにDWDM(Dense Wavelength Division Multiplex)対応波長可変レーザの開発を進める。15km以下の短距離

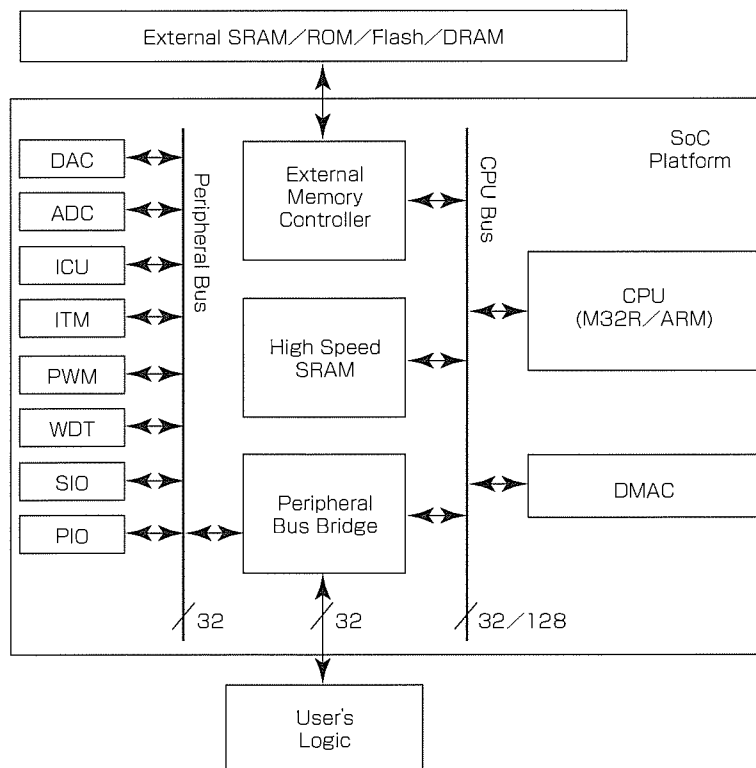


図6. SoCプラットフォーム

伝送では、低価格に適した直接変調DFBレーザで10Gイーサネット^(註)市場へ製品を提供していく。

光デバイスとともに、EA変調器ドライバ、トランスインピーダンスアンプ等回路素子、さらにイーサネットトランシーバ物理層の1チップ化(SOI/CMOS-LSI)開発も進めており、高速伝送で困難となるソリューション提供も目指している。

40Gbps光デバイスと周辺ICについても同様の開発を進めるとともに、電磁界解析等のシミュレーション技術、フリップチップボンディング技術などを援用し、高性能化と開発期間短縮を図っている。

インターネットのブロードバンド化に伴い要求が高い大容量記録装置CD-R/RW(650Mバイト)及びDVD-R/RW(4.7Gバイト)に対しては、端面窓構造採用の書き込み用高出力レーザを市場に提供していく。

5.2 高周波デバイス

高周波デバイス市場としては、衛星放送・通信、携帯端末・基地局市場に加え、高速無線アクセス、さらにはETC(自動料金収受システム)及び衝突緩和用車載レーダ等の新しい市場が立ち上がっていくことが予想される。

今後の高周波化・高出力化・小型化・高効率化及び低コスト化を実現するために、高移動度トランジスタ(HEMT)、ヘテロ接合FET及びヘテロ接合バイポーラトランジスタ(HBT)等のトランジスタ技術、メタル・セラミック・プラスチックからなる各種PKG技術、高周波回路設計技術、並びに高密度実装技術を融合するとともに、各用途に最適なデバイス構造(ディスクリット、モジュール、MMIC)を選択していく。

衛星放送・通信の送受信系及び基地局用送信系としては、ディスクリット素子による高性能・低コストを追求する。受信系の低雑音デバイスはHEMT、送信系の高出力デバイスとしてはHFETをベースとし、非気密型PKGを採用したデバイスを新たに製品化する。基地局用途で要求される300Wを超える送信系デバイスにはGaN等の新材料の適用を図る。

携帯電話端末用パワーアンプ(PA)としては、国内PDC用PAでの実績(小型・低電流モジュール技術)とGSMPAでの実績(HBT技術、アンテナスイッチ等のパッシブ部品を一体化した高機能モジュール技術)とを融合し、第三世代W-CDMA用PAモジュールを製品化する。さらには、W-CDMAとGSMとの一体化PAモジュールへも対応していく。

5GHz帯高速無線アクセス及びETC、さらには77GHz衝突緩和用車載レーダ対応としては、送受一体型のMMICによってシミュレーション技術に基づいたチップシュリンクを武器に製品化を展開する。また、5GHz帯デバイスに対しては、SiGe/Si-CMOSの併用を検討する。

6. パワーデバイス

21世紀を迎え、地球資源とエネルギーを高度利用する循環型社会への転換を図る技術革新とIT(情報技術)を駆使した技術普及の動きが活発化し、パワーエレクトロニクスとそのキーパーツであるパワーデバイスが果たすべき役割はますます重要になってきた。パワーデバイスはインバータ制御を主目的にIGBT(Insulated Gate Bipolar Transistor)を中心に発展しているが、汎用インバータ、サーボモータ制御、UPS及び溶接機等の応用に対し、第五世代製品を念頭に低損失化・高速化・破壊耐量向上を目指した現構造の微細プロセスやCSTBT(Carrier Stored Trench-gate Bipolar Transistor)等の新デバイス構造を開発した。

さらにIGBTに駆動・保護・診断回路等を組み込んでモジュール化したIPM(Intelligent Power Module)が至便性と小型化を特長にパワーデバイスの主役の座に定着してきたが、とりわけ、家電インバータ用として当社が先駆けて開発したトランスファモールド型DIP-IPMは、コンパクトとHVIC搭載による周辺回路の簡素化及びコストパフォーマンスの良さが受け入れられ、国内インバータ家電製品のほぼ60%に採用された。また、将来の自動車として期待される電気自動車(ハイブリッドカー)にもIPMが搭載されており、今後、カーエレクトロニクスの進展に伴いIPMのシステム化にも期待がかかる。

また、従来のSiに代わる半導体材料としてSiC(炭化珪素)への期待が高い。未だ量産化には課題が多いが、MOSFET等の開発にも取り組んでいる。

7. システムインパッケージ

電子機器システムのシステムボードの機能を1個のLSIパッケージ内で実現してシステムソリューションを提供することで付加価値を高めるため、システムインパッケージ(Sip)技術を開発した。これにより、システムの小型化・簡素化によるコスト低減、信号パス短縮に伴う電気特性向上とEMCの低減、さらには部品点数削減によるSCMの簡素化が可能である。

当社はITDMであり、マイコン、アナログ、システムメモリ、光・高周波デバイス及びパワーデバイス等をすべて生産しており、これらを組み合わせて1PKG化することが可能である。

7.1 システムメモリにおけるSip

モバイル機器PKGでは、小型化と高機能化を同時に実現するチップ積層技術がキーである。当社では、90 μ m極薄チップ研削・ダイボンド技術、超低ルーブワイヤボンド技術、及び短工期高精度モールド金型加工技術など、独自の技術によって仕様決定から3か月以内でチップ積層PKG開発が可能である。PKG形態としては、CSP(FBGA)

タイプとTSOPタイプを開発した。特にTSOPタイプでは、フレーム上下にチップ積層を行って4チップ積層(図7)を量産化している。

7.2 システムLSIにおけるSip

大容量画像データの高速処理の分野で、DRAMとマイコン又はロジックを1PKG化するニーズが出ている。また、RFデバイスとロジックを1PKG化して高速通信に対応したり、各種センサとロジックを1PKG化する試みが進行中である。PKG技術としては、チップを自由に組み合わせる必要から、フリップチップ技術とチップ/チップ接続技術が必要である。当社では、低コストで信頼性の高い金バンプ超音波接合技術(図8)を開発した。

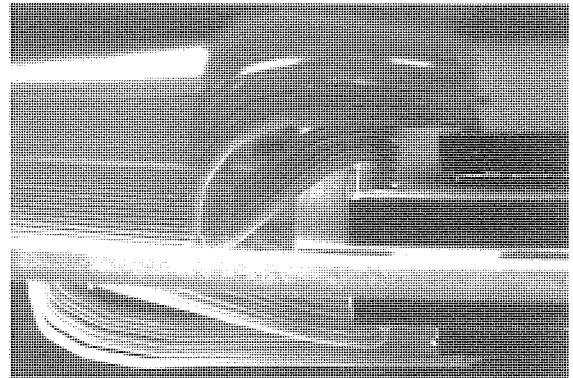


図7. 4チップ積層パッケージ

8. む す び

以上、当社のITDM戦略に必須の技術を紹介した。競争力のある製品は、設計・製造の各工程の間やデバイス間でマージンを取り合っていたのでは生まれない。各工程とデバイスがマージンを提供し合うことによるのみ実現される。当社はITDMとして付加価値の高い製品に対し技術力を結集させることが可能であり、その意味で総合力が生かせる時代が到来したと確信している。

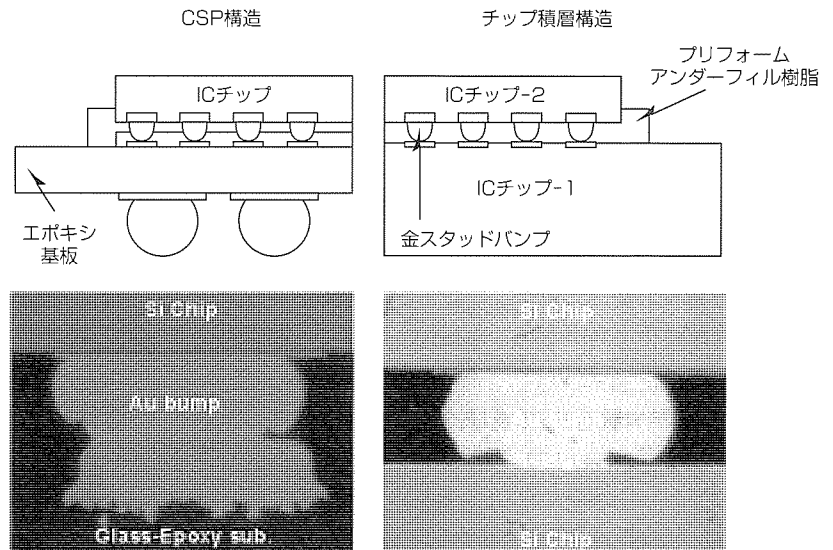


図8. 金バンプ超音波フリップチップ接合技術

216MHz 32ビットRISCマイコンM32R “M32104S6FP”

布村泰浩*
鈴木弘明*

要 旨

243MIPSの高速動作と豊富な内蔵周辺機能により、使いやすさと高性能化を両立させた、新世代の組み込み用途向けマイコン“M32104S6FP”を開発した。M32Rアーキテクチャ互換のCPUコアと0.18 μ mプロセスを採用し、電源電圧1.8Vの低電圧で216MHzの動作周波数を実現した。

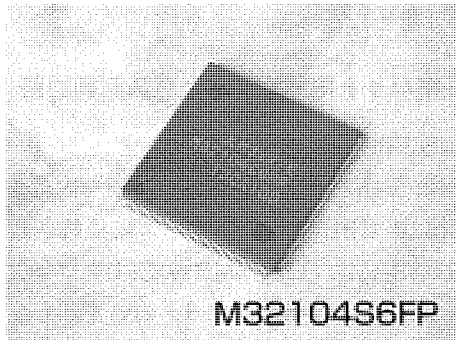
命令のパイプライン処理機構の効率化を徹底し、データパス部のクリティカルパスを徹底的に削除することにより、216MHzの動作時にも大半の命令を1クロックで実行する。命令用に8Kバイト、データ用に8Kバイト、合計16Kバイトのキャッシュメモリを搭載し、ソフトウェアによるデータ処理性能を向上している。また、64Kバイトの大容量

SRAMを内蔵し、オンチップSDRAMコントローラとDMAコントローラによって外部SDRAMとの間で最大432Mバイト/秒までのデータ転送が可能である。

低消費電力化サポートの機能として、入力クロック信号の8通倍の高速動作から1/16分周の低速動作までの多段階のクロック切り換えが可能であり、さらには、CPUコアのみクロック供給を停止するスリープモードを備えている。

M32104S6FPにより、DVDプレーヤー/レコーダーやデジタルスチルカメラなど、高性能・高機能が要求される様々なデジタル情報家電やネットワーク機器に向けて、システム制御や大容量データの高速処理の実現が容易となる。

M32104S6FPの諸元	
項 目	仕 様
CPU	M32R命令セット完全互換CPUコア (パイプライン5～7段)
動作周波数	内部216MHz@1.8V (外部27MHz入力8通倍時)
内蔵メモリ	RAM：64Kバイト / (ROMレス)
キャッシュ	命令キャッシュ，データキャッシュ 各8Kバイト，2ウェイセット アソシアティブ
周辺機能	SDRAMコントローラ DMAコントローラ チップセレクトコントローラ 割り込みコントローラ マルチファンクションタイマ シリアルI/O 汎用入出力ポート 監視タイマ クロック&パワーマネージャー： クロック通倍/分周，スリープモード I ² Cインタフェース ADコンバータ
パッケージ	176QFP
電 源	1.8V (内部ロジック用) / 3.3V (外部バスI/F用)



32ビットRISCマイコン“M32104S6FP”

M32104S6FPは、16Kバイトのキャッシュメモリ(命令用8Kバイト、データ用8Kバイト)、64Kバイトの大容量SRAM及び豊富な周辺機能をワンチップ上に搭載した高性能32ビットRISCマイコンである。0.18 μ mプロセスを用いて作製され、内部電源電圧1.8Vにおいて最高216MHzの周波数で動作する。

1. ま え が き

DVDを始めとする新しいメディアやネットワークにより、画像や音声データのデジタル化が急速に普及している。デジタル機器においては、これらの大容量データをスムーズに処理するための高速データ処理が求められる。また、多様なデータ処理ニーズに対応するため、多くの機能や複雑な機能をインテグレートした多機能・高機能LSIが主流となる。

大容量データをスムーズに処理するためには、高速なプロセッサと大容量高速のメモリが必要となる。また、システムのコストを抑えるためには、大容量メモリとして汎用のSDRAMを用いることが得策である。この場合、SDRAMのアクセス速度が性能上のボトルネックとなることが多い。プロセッサにキャッシュを設けることで処理能力は向上するが、大量のデータを扱う用途では、データキャッシュのヒット率を向上させるような制御が難しく、キャッシュミスによるペナルティが問題となる。これは、処理対象のデータを外部デバイスから取り込むことが多い組み込み向け用途では特に顕著である。このような問題を解決するためには、プロセッサと高速メモリをワンチップ上に搭載し、外部のSDRAMと組み合わせて用いることが有利となる。プロセッサから高速アクセスが必要なデータを内蔵メモリ上に配置し外部SDRAMと高速の外部バスで接続することにより、リアルタイム性能の確保と大容量データ処理を同時に実現できる。

多様なデータ処理ニーズに対応するためには、汎用マイコンが有利である。汎用マイコンは付加的機能をソフトウェアモジュールで追加することができるため、多機能・高機能化への対応が容易である。また、高速マイコンでは、余裕の処理性能を追加ソフトモジュールに振り向けることで、これらのニーズをワンチップで解決することができる。さらに、使用頻度の高い周辺I/O機能がチップ上に搭載されているため部品点数が削減でき、ユーザーシステムの小型化・低コスト化に貢献できる。

そこで、以上のような高速化、多機能・高機能化の要求にこたえるための利点をすべて備えた32ビットRISCマイコン“M32104S6FP”を開発した。

M32104S6FPは、周波数216MHzの高速CPUを搭載し、高速バスを介して外部SDRAMに直結可能である。また、命令キャッシュ、データキャッシュとともに64Kバイトの大容量SRAMや豊富な周辺機能を内蔵し、高性能と使いやすさを両立させた。

本稿では、M32104S6FPの特長について以下の手順で述べる。2章では高速CPUコアについて説明し、3章では大容量内蔵SRAMとバス制御回路について述べる。続いて、4章～6章でM32104S6FPの豊富な周辺機能、低消費

電力サポート機能、オンチップデバッグ機能について説明し、7章～8章では大量データの高速処理へのM32104S6FPの効果的な応用例と開発環境について述べる。

2. 高速CPUコア

M32104S6FPは、CPUコアとして“M32Rアーキテクチャ”を採用し、M32R命令セット完全互換である。他のM32Rファミリーのマイコンと同様、ほとんどの命令を1CPUクロックで実行する。これにより、216MHz動作時に243MIPS(Dhrystone Version 2.1)の処理性能を実現した。DSP(Digital Signal Processor)に匹敵する56ビットのアクセムレータによる積和演算命令についても、32ビット×16ビットの高速乗算器によって1CPUクロックで実行可能である。

CPUコアの設計においては、高速化のために命令処理のパイプライン機構を見直してメモリアクセスの効率化を徹底し、データバス部のクリティカルパスを徹底的に削除した。

M32104S6FPは、最大で7段のパイプラインに分割して命令を処理する。パイプラインの分割に際しては、高速なCPUクロックとメモリシステムなど速度上のボトルネックとなる部分とのギャップをパイプライン処理によって埋めてスループットが上がるように工夫した。

M32104S6FPでは、命令キャッシュ及びデータキャッシュに、それぞれ8Kバイトの2ウェイセットアソシアティブ(2-way Set Associative)方式のキャッシュを搭載している。キャッシュ-CPU間のインタフェースにおいて、CPUからのアクセス要求に対して、命令キャッシュ及びデータキャッシュを1CPUクロックサイクルのスループットでアクセス可能としている。

3. 大容量64Kバイト内蔵SRAMとバス制御回路

図1にM32104S6FPの内部構成を示す。

M32104S6FPは、64Kバイトの大容量SRAMを内蔵する。内蔵SRAMはM32R CPUと同じCPUバスに接続され、CPUコア及び内蔵SRAMは最高216MHzのCPUクロックで動作する。内蔵SRAMは命令及びデータのいずれも配置可能である。内蔵の周辺機能は周辺I/Oバスに接続され、周辺I/Oクロック(最高54MHz)で動作する。

CPUバスと周辺I/Oバスの二つの異なるクロック周波数間のアクセス制御、及びチップの外部とのインタフェースをバス制御回路が行う。

4. 豊富な周辺機能

M32104S6FPは、従来のシングルチップマイコンと同様に、DMAコントローラ、シリアルI/O、マルチファンクションタイマ、チップセレクトコントローラなどの豊富な

周辺機能を内蔵し、それらの組合せによって様々な組み込み応用システムへの対応が可能である。

また、I²CインタフェースとADコンバータを追加し、従来のシングルチップマイコン並みの豊富な周辺機能を提供する。

さらに、SDRAMコントローラも内蔵しており、SDRAMコントローラとDMAコントローラの協調動作により、外部SDRAMと内蔵SRAM間で最大432Mバイト/秒の高速データ転送が可能である。外部SDRAMとは直結可能であり、16Mビット品から512Mビット品まで幅広く対応しており、最大で128Mバイト/2チャンネル(計256Mバイト)まで制御可能である。

5. 低消費電力化サポート機能

M32104S6FPは、クロック&パワーマネージャーにより、アプリケーションシステムでの低消費電力化制御をサポートする。

低消費電力化制御の機能として、入力クロック信号の8通倍の高速動作から1/16分周の低速動作までの多段階のクロック切り換えが可能でクロックギア機能を持っている。これにより、システムの負荷が軽いときにクロック周波数を低速にして消費電力を抑えることができる。また、クロックの切り換えに影響されずに一定周波数のクロックを提供することで、シリアルI/O、マルチファンクションタイマの定常動作が可能である。

さらに、低消費電力モード(CPUスリープモード)を備えており、CPUコアのみクロックを停止することができる。CPUスリープモード時にも内蔵SRAMや内蔵周辺機能は動作しており、DMAコントローラによるデータ転送が可能である。

6. オンチップデバッグ機能

M32104S6FPは、動作周波数が向上しても効率良くアプリケーション開発が行えるように、M32Rファミリーに共通のオンチップデバッグインタフェース(Scalable Debug Interface : SDI)を内蔵している。このインタフェースを介して、SDI対応のエミュレータから、CPUの実行制御やレジスタなどのCPU内部情報へのアクセス、及びメモリの読み書きが可能である。また、エミュレータへのデバッグ情報出力方式を工夫することで高速動作時のデバッグを可能にした。さらに、外部デバッグからキャッシュ上のデータに対してもアクセスできるよう工夫している。

7. 大量データの高速処理への応用

M32104S6FPでは、最高216MHzの高速CPU、64Kバイトの大容量内蔵SRAM、及びSDRAMコントローラとDMAコントローラによる最高432Mバイト/秒の高速データ転送により、大量データをソフトウェアによって高速に処理することが可能となる(図2)。CPUが243MIPSに相当する高速ソフトウェア処理を行う間に、SDRAMコントローラとDMAコントローラによって外部SDRAMと内蔵

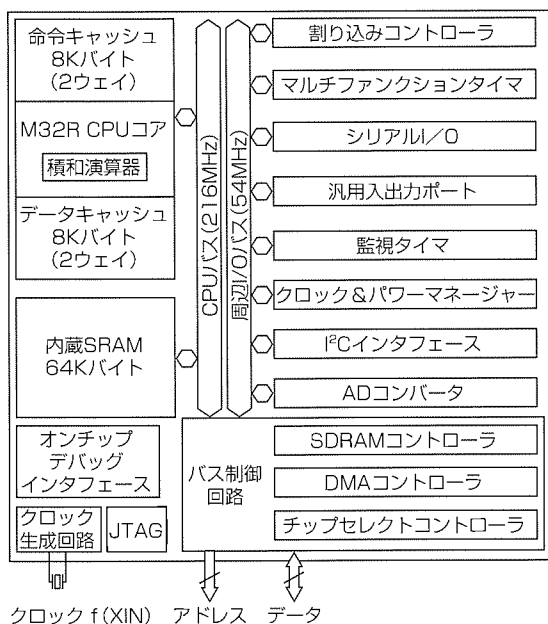


図1. M32104S6FPの内部構成

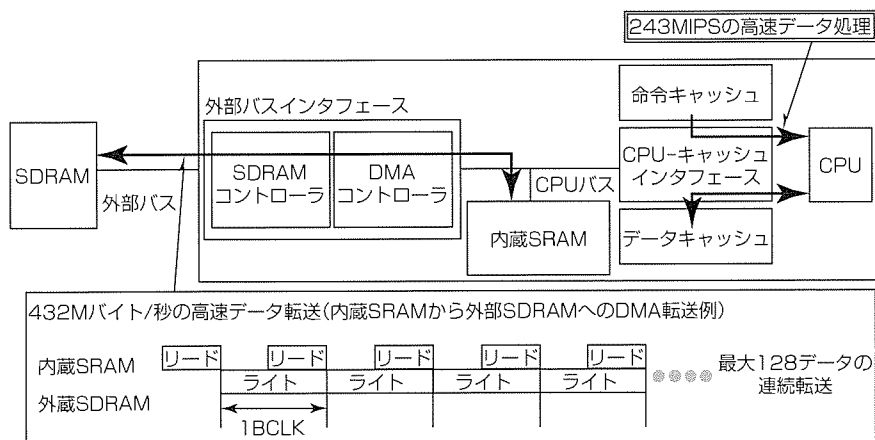


図2. 高速データ転送とソフトウェアによる高速データ処理

SRAM間的高速データ転送が可能である。このとき、外部SDRAMと内蔵SRAMのデータ転送では、転送元データの読み出しと転送先への書き込みをパイプライン処理で行うフライバイ転送が可能である。また、命令キャッシュ、データキャッシュがヒットする間は、CPUからCPUバスへのアクセスがないため、データ転送とデータ処理は完全に独立動作する。これらの特長を生かして、CPUによるソフトウェア処理と内蔵SRAM-外部SDRAM間の転送処理とをパイプライン的に処理することによって大量データの高速度処理が非常に高いスループットで実現でき、デジタル情報機器への組み込み用途向けに、より高性能・高機能で使い勝手が優れたデジタル情報機器の実現を可能にする。また、従来複数のマイコンで行っていた処理をこの製品のみで実現可能とするなど、トータルコストの低減にも寄与する。

8. 開発環境

M32104S6FPは、M32R命令セット完全互換であるので、M32Rファミリーのソフトウェア開発環境を使用することができる。

また、M32104S6FPのアプリケーション開発リファレンスキット“M3A-2139”が用意されている。M3A-2139にはタッチパネル付きのVGAサイズTFT-LCDパネルのほか各種カードインタフェースや豊富な周辺機能が装備されており、特にインターネットブラウザや、高度なGUIを必要とするソフトウェア開発のプラットフォームとして最適である。

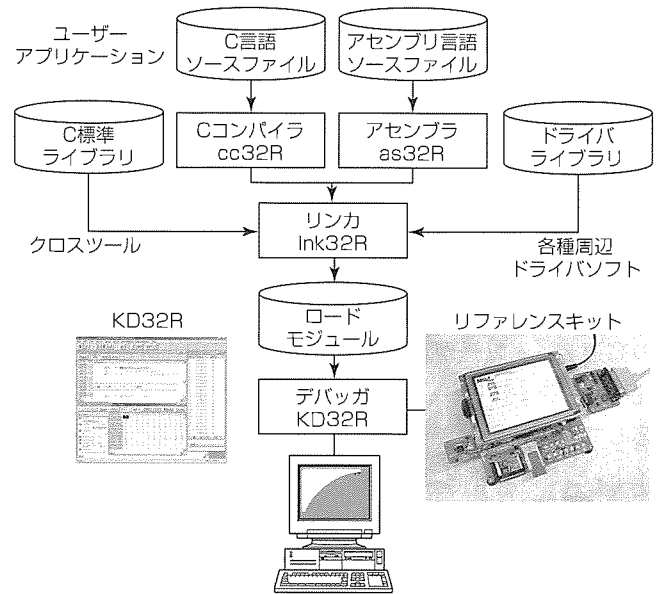


図3. M32104S6FPのソフトウェア開発環境

図3に、リファレンスキットを活用する場合のソフトウェア開発環境を示す。

9. むすび

以上、M32104S6FPの仕様と特長について述べた。M32104S6FPは、使いやすさと高性能化を両立させた32ビットRISCマイコンである。M32104S6FPにより、高性能・高機能が要求される様々なデジタル情報家電やネットワーク機器に向けて、システム制御や大容量データの高速度処理を実現することが容易となる。

単精度浮動小数点演算器内蔵 マイクロプロセッサ“M32R-FPU”

前田昇平* 佐藤由和**
岩畔一之* 宮内英男**
橋本浩志* 千石天光***

要 旨

組み込み用途に最適なアーキテクチャを持つ単精度浮動小数点演算器(FPU)内蔵マイクロプロセッサ“M32R-FPU”を開発した。FPU部分の特長は次のとおりである。

(1) IEEE-754⁽¹⁾規格完全準拠

IEEE-754で規定された五つの例外と四つの丸めモードをすべてサポートしている。これにより、プログラムの移植性が高まるだけでなく、デバッグ容易性、精度の向上にも効果がある。

(2) 汎用レジスタとFPU専用レジスタの共用

FPU専用のレジスタを設けるのに比べて、レジスタセット間の転送のオーバーヘッドを削減することができる。また、M32Rアーキテクチャ⁽²⁾が持つ命令すべてを浮動小

数点データに対して使用できるメリットもある。

(3) 積和、積差演算命令のサポート

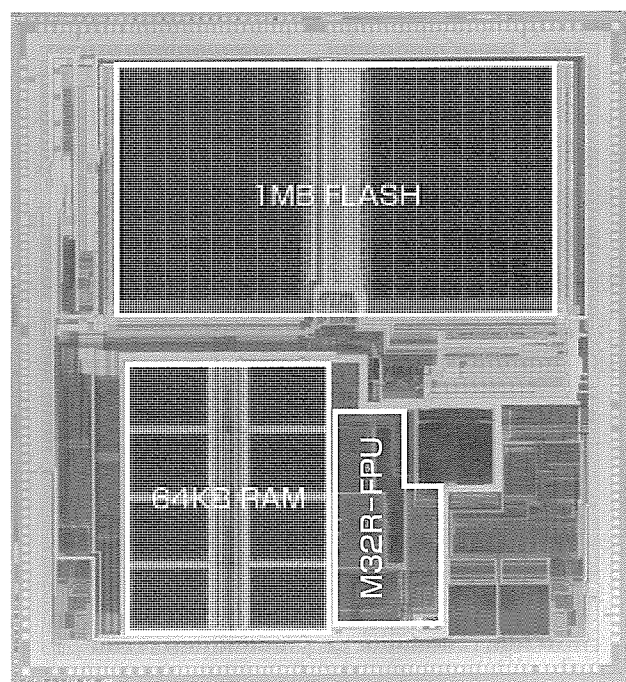
FFT(高速フーリエ変換)や行列演算などで多用される積和、積差演算命令を実装した。これらの命令は最短1サイクルで実行可能である。

以上の特長に加え、M32R-FPUでは、ビット操作命令など5命令の拡張を行っている。

レジスタの共用化に加え、バレルシフタや積和演算器をCPU部分と共用化することにより、従来のM32Rコアに比べ、面積比1.79倍(トランジスタ数比1.64倍)という少ない面積で上記機能を実現することができた。M32R-FPUは、M32180F8VFPに内蔵され、80MHzで動作している。

M32180F8VFPの概略仕様

- (1) 32ビット組み込み型RISCコア(M32R)を使用したROM/RAM内蔵MCU
- (2) 豊富な周辺機能を内蔵
 - Flash : max1Mバイト
 - RAM : max64Kバイト(アクセスサイクル: 12.5ns)
 - 64ch Flexible Timers
 - 16ch 10ビット AD Converters × 2系統
 - Full CAN × 2系統
 - 10ch DMA Controller
 - RTD (リアルタイムRAMモニタ) × 1ch
- (3) 単精度FPUを内蔵(IEEE754完全準拠)
- (4) オンボードデバッグ機能(SDI-2a)
- (5) 高速書換えFlash ROM(シリアル書換え可能)
- (6) 外部拡張バス(16ビットデータバス)
- (7) max80MHz動作(最短命令実行時間12.5ns)
- (8) 3.3又は5V単一電源
- (9) 低ノイズ/低消費電力
- (10) 125°C保証(64MHz動作)
- (11) 240QFP(0.5mm) & 255FBGA



M32180F8VFPのチップ写真

M32R-FPUを搭載するM32180F8VFPの機能概要とチップ写真

M32180F8VFPはM32R-FPUコアを内蔵する高性能組み込み用マイクロコンピュータであり、1Mバイトフラッシュメモリ、64KバイトRAMという大容量メモリを内蔵し、80MHzの高速動作を実現している。

1. ま え が き

システムLSIに対する性能要求は年々増加の一途をたどっているが、自動車用などを始めとする組み込み用途において、浮動小数点演算器(FPU)の内蔵に対する要求が近年ますます強くなってきている。浮動小数点演算を使用すると非常に広範囲の値の演算を精度良く行うことができ、複雑化の一途をたどるシステムの開発効率を向上させる上で大きな効果が期待される。一方、組み込み用マイコンにおいては、小さなコア面積、割り込み応答性能、高ROM/RAM効率などが求められ、FPUの適用が進まない要因となっていた。

本稿では、このような背景の下に開発を行った、組み込み用途に最適なアーキテクチャを持つFPU内蔵マイクロプロセッサM32R-FPUについて説明する。

2. M32R-FPUの仕様

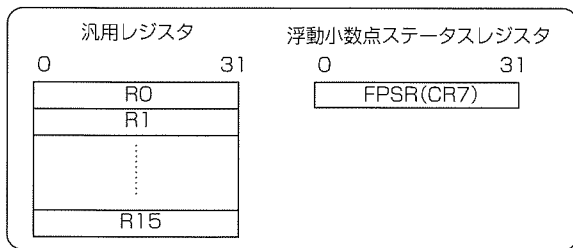
M32R-FPUは、M32Rアーキテクチャをベースとし、単精度浮動小数点演算器(FPU)を内蔵するマイクロプロセッサである。以下、FPU部分の仕様について述べる。

2.1 浮動小数点プログラミングモデル

浮動小数点プログラミングモデルを図1に示す。M32R-FPUは汎用レジスタを使用して浮動小数点演算を実行するため、いわゆる“FPUレジスタ”は存在しない。一方、浮動小数点演算の制御のために、浮動小数点ステータスレジスタ(FPSR)を追加した。FPSRは、制御レジスタのCR7に割り当てられており、例外ステータスの保持、非正規化数の扱いの制御、丸めモードの設定を行う。

2.2 浮動小数点命令セット

浮動小数点命令セットを表1に示す。命令数は12と他の一般的なプロセッサ(20以上)に比べて少なくなっているが、これは、後述する汎用レジスタとFPU専用レジスタの共



FPSR(CR7)の構成



- FS : 浮動小数点例外サマリービット
- FX~FV : 浮動小数点例外フラグビット
- EX~EV : 浮動小数点例外イネーブルビット
- DN : 非正規化数の0フラッシュ
- OE : 非実装例外ビット
- CX~CV : 浮動小数点例外要因ビット
- RM : 丸めモード

図1. M32R-FPUの浮動小数点プログラミングモデル

用化の成果である。除算(FDIV)を除く命令はすべて1サイクルでの実行が可能である。

2.3 浮動小数点パイプライン

浮動小数点パイプラインを図2に示す。浮動小数点演算では大きく分けて中間演算、正規化、丸めの三つの計算を行う必要があるが、M32R-FPUでは高速動作実現のために実行ステージを複数段に分割した。各ステージの内容は次のとおりである。

- E1 : FMADD, FMSUB以外の命令において中間演算を行うステージ
- EM : FMADD, FMSUB命令において乗算を行うステージ
- EA : FMADD, FMSUB命令において加算を行うステージ
- E2 : すべての浮動小数点命令において正規化と丸めを行うステージ

E1, EM, EAとE2, 及びEMとEAのそれぞれの組み合わせが同時に実行可能なように設計を行うことにより、FDIVを除く全命令で1サイクルでの命令実行を可能としている。

3. M32R-FPUの特長

以下、M32R-FPUの特長について述べる。

3.1 IEEE-754完全準拠

浮動小数点演算方式としては、IEEE-754規格が標準規格として広く使用されている。完全準拠するためには、規

表1. 浮動小数点命令セット

分類	命令	動作	サイクル数
加算	FADD Rd,Rs1,Rs2	Rd = Rs1 + Rs2	1
減算	FSUB Rd,Rs1,Rs2	Rd = Rs1 - Rs2	1
乗算	FMUL Rd,Rs1,Rs2	Rd = Rs1 * Rs2	1
除算	FDIV Rd,Rs1,Rs2	Rd = Rs1 / Rs2	14
積和	FMADD Rd,Rs1,R22	Rd = Rd + Rs1 * Rs2	1
	FMSUB Rd,Rs1,R22	Rd = Rd - Rs1 * Rs2	1
実数への変換	ITOF Rd,Rs	Rd = (float) Rs	1
	UTOF Rd,Rs	Rd = (float) (u)Rs	1
整数への変換	FTOI Rd,Rs	Rd = (int) Rs	1
	FTOS Rd,Rs	Rd = (short) Rs	1
比較	FCMP Rd,Rs1,Rs2	Rd = (Rs1 == Rs2) ? 32'h00000000 : ((Rs1 < Rs2) ? {1, 31'bx} : {0, 31'bx})	1
	FCMPE Rd,Rs1,Rs2	FCMP with Exception when unordered	1

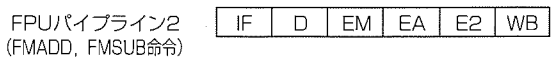
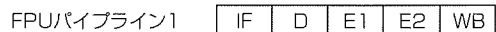


図2. FPU命令パイプライン

格に定められた五つの例外(オーバーフロー、アンダーフロー、0除算、精度異常、無効演算)と四つの丸めモード(最も近い値への丸め、0方向への丸め、 $+\infty$ 方向への丸め、 $-\infty$ 方向への丸め)を実装する必要がある。M32R-FPUでは、これらをすべて実装することにより、規格に対する完全準拠を行っている。規格に完全準拠することは、ソフトウェアの移植性を高めるだけでなく、豊富な例外をサポートすることはソフトウェアデバッグに効果があり、最も近い値への丸めをサポートすることは演算精度の向上に効果がある。

なお、M32R-FPUは、IEEE-754規格の内容の一部をソフトウェアによる処理にゆだねている。すなわち、非正規化数の演算時には例外を発生し、以後の処理はソフトウェアで行う必要がある。また、開平演算(Square Root)命令は実装しておらず、ソフトウェアによる実現が必要である。

3.2 汎用レジスタとFPU専用レジスタの共用化

FPUを内蔵するマイクロプロセッサでは、一般に図3(a)のコプロセッサ方式をとる場合が多い。これは、整数演算を行うCPU部と浮動小数点演算を行うFPU部を別々に設計できるメリットと、浮動小数点命令を必要としない用途においてはFPUを簡単に取り外せるというメリットによるものである。しかしこの方式は、ロード/ストアや命令フェッチのためのバスI/Fユニット及びその他の演算資源など、本来一つでいいものをCPUとFPUでそれぞれ別々に持つ必要があった。同様に、レジスタセットも必然的に2セット持つ必要があった。このため、FPUを実装した際の面積ペナルティが非常に大きくなり、コスト制約の強い組み込み用マイコンでFPUを搭載するものが少ない最大の要因となっていた。

これに対しM32R-FPUでは、CPUとFPUが一体化した形での実装を行った(図の(b))。これにより、表2に示すような資源が共用化可能となった。これらはいずれもレイ

アウト面積の削減に寄与するものであるが、レジスタの共用化は、性能面でもメリットをもたらす。以下に、そのメリットを示す。

(1) レジスタセット間データ転送オーバーヘッドの削減

例として、16ビット長でRAMに格納された整数データ(10ビットADでの変換結果など)を32ビット浮動小数点数に変換して演算を行う場合を考える。コプロセッサ方式の場合、特にRISC系プロセッサにおいては、FPUレジスタに対するロード/ストア命令は汎用レジスタに対するそれに比べて機能が削減されており、データサイズもほとんどの場合32ビット長に限定されている。このため、16ビット長の整数データを元にして演算を行おうとすると、16ビット長のロード命令を使用していったん汎用レジスタにロードする必要が生じる。すなわち、次のような4段階のステップを経ることになる。

- ステップ1 : 16ビット整数データをRAMから汎用レジスタに32ビット整数に変換してロード
- ステップ2 : 汎用レジスタからFPUレジスタへデータを転送
- ステップ3 : FPUレジスタ上で整数→浮動小数点数変換実施
- ステップ4 : FPUレジスタ上で浮動小数点演算実施

なお、RAM上にデータを32ビット長で格納すればRAMから浮動小数点レジスタに直接データをロードすることが

表2. M32R-FPUでの共用化資源

共用資源名	CPUでの用途	FPUでの用途
バスI/F	命令フェッチ ロード/ストア	命令フェッチ(注)
汎用レジスタ	整数演算	浮動小数点演算
バレルシフト	シフト命令	正規化
積和演算器	DSP命令	FMUL, FMADD, FMSUB命令

(注) レジスタ共用化によってFPUとしてのロード/ストア命令は不要となった

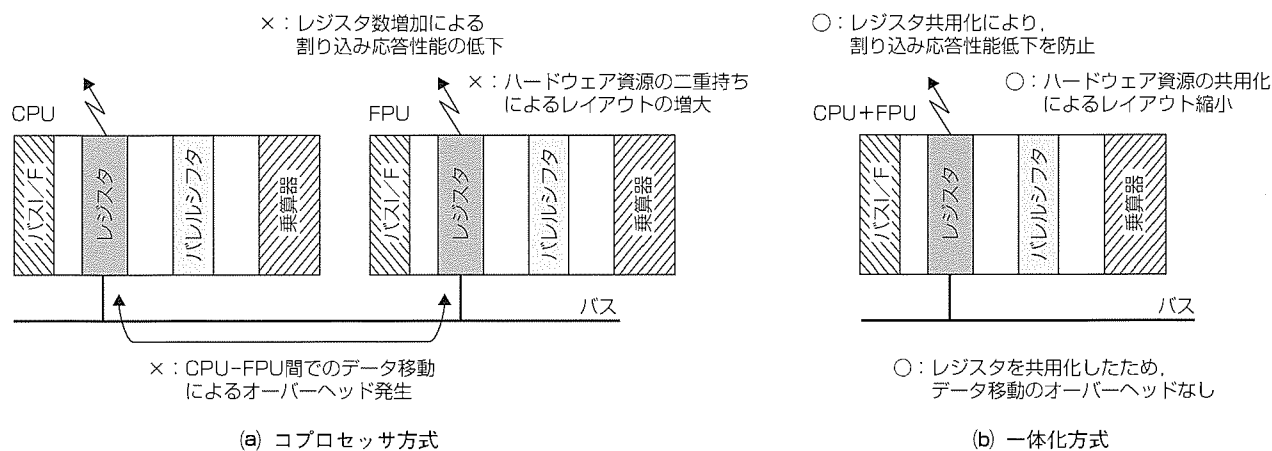


図3. コプロセッサ方式と一体化方式

できるが、RAMの使用量が2倍になってしまうため問題がある。これに対してレジスタ共用化されたアーキテクチャの場合は、

ステップ1：16ビット整数データをRAMから汎用レジスタに32ビット整数に変換してロード

ステップ2：汎用レジスタ上で整数→浮動小数点数変換実施

ステップ3：汎用レジスタ上で浮動小数点演算実施

という三つのステップで済むことになり、その分、性能が向上する。2.2節で説明した命令数の少なさの理由は、このようにFPUレジスタに対するロード/ストア命令やFPUレジスタ-汎用レジスタ間での転送命令などがM32R-FPUでは全く不要になることによる。このほかにも、浮動小数点即値のロードが32ビット整数即値のロードと同じサイクル数で行える、浮動小数点数の正/負をチェックして条件分岐する処理が浮動小数点数に条件分岐命令(bltz等)を直接作用させることで実現できる等のメリットがある。

(2) 割り込み応答性能の向上

FPU専用のレジスタセットを新たに設けると、その分、割り込みの際に退避しなければならない資源が増加することになり、割り込み応答性能が低下する。M32R-FPUではFPUによるレジスタ増加はFPSR(CR7)の一つだけであり、FPU追加による割り込み応答性能の低下はほぼ無視できるレベルとなっている。

3.3 積和、積差命令のサポート

FFTや行列演算等で多用される積和、積差演算命令(FMADD, FMSUB命令)を実装した。これらの命令は1クロックサイクルでの実行が可能であり、DSP並みの高速演算が可能となる。

3.4 その他の特長

以上述べた特長のほかに、float→short変換命令(FTOS命令)の実装もしている。RAM容量削減のために大量の演算結果を16ビット整数として格納したい場合、この命令を使用することで処理を効率的に行うことができる。また、FPU命令以外にもビット操作命令など5命令の拡張を行っており、コードサイズの削減に効果を発揮する。

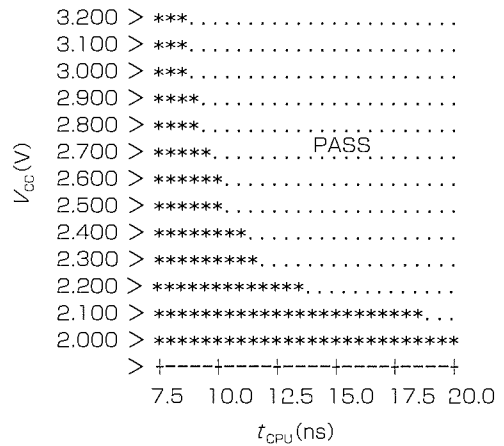


図4. V_{CC}-t_{CPU}シミュレーションプロット(T_a=90°C)

4. 実デバイスの評価結果

図4に、t_{CPU}(CPU動作クロックサイクル時間)とV_{CC}(電源電圧)の関係の評価結果を示す。評価温度は90°Cである。V_{CC}=2.3V以上の電圧において、80MHz(t_{CPU}=12.5ns)での動作が確認されている。

5. む す び

単精度浮動小数点演算器を内蔵するマイクロプロセッサM32R-FPUを開発した。レイアウト面積は従来のM32Rコアに比べ1.79倍(トランジスタ数比1.64倍)となっており、資源共用化の効果が現れている。今回採用したアーキテクチャは、組み込み用途におけるFPUの一つの最適解として、組み込み用途での浮動小数点のすそ(裾)野を広げていくことにつながっていくものと考えている。

参 考 文 献

- (1) IEEE[1985]: IEEE Standard for Binary Floating-Point Arithmetic, SIGPLAN Notices 22:2, 9~25 (1985)
- (2) 三菱電機㈱: 三菱32ビットシングルチップマイクロコンピュータソフトウェアマニュアル M32Rファミリ (2000-3)

デジタルパワーアンプ用プロセッサLSI

森岡幸一*
大木正司**

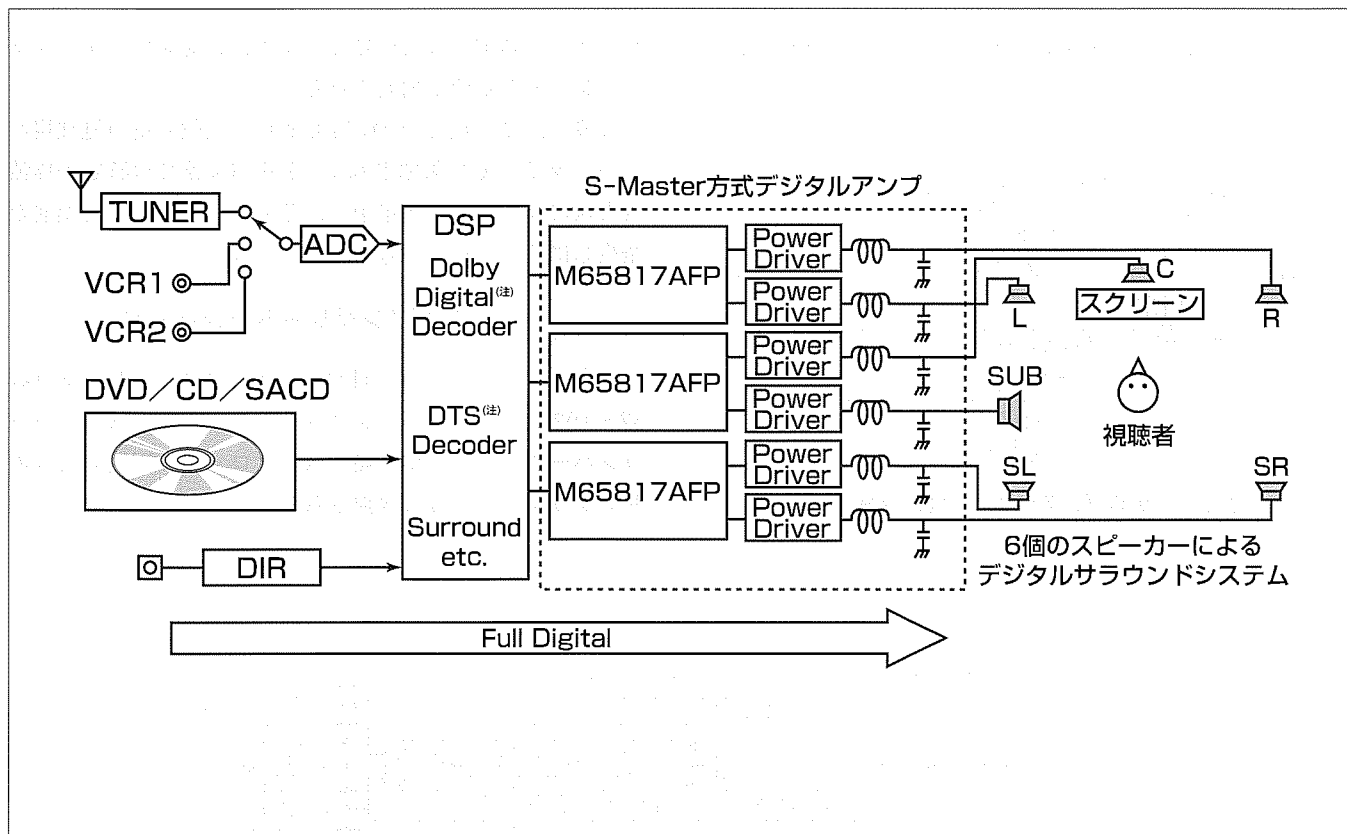
要旨

DVDの登場によって高画質で多チャンネル化されたホームシアターの市場が活性化されており、再生機器、特に5.1ch対応のAVレシーバとDVDレシーバにおいては、より小型で薄型・多機能のセットが求められている。なかでも、多チャンネルがゆえに、高効率・低消費で放熱板が不要なハイパワーオーディオアンプが熱望されている。同時に、ディスクの信号出力からスピーカー出力までデジタル信号で直結するフルデジタルシステムによる性能・機能の向上及び周辺部品・工数の削減も図られつつある。

今般、これらのデジタルアンプシステムに最適なS-Master^(注)方式を採用したプロセッサLSI“M65817AFP”の開発を行った。

このLSIの主な特長は次のとおりである。

- (1) 多彩なリニアPCM(Pulse Code Modulation)デジタル入力可能
 - 高性能サンプリングレートコンバータ内蔵
- (2) 高性能ゲインコントローラ内蔵
 - L/R独立デジタル電子ボリュームとして動作可能
 - 指数関数近似カーブとソフトミュート機能
- (3) SACD(Super Audio CD)信号に対応
- (4) デジタル信号を直接高速PWM(Pulse Width Modulation)に変換
- (5) 高性能化(プロセッサ出力)
 - 全高調波ひずみ率 0.0015%(typ)
 - 信号対雑音比(S/N) 103dB(typ)



5.1ch対応DVDレシーバシステムのブロック図

この図は、5.1ch対応のDVDレシーバのオーディオシステムを表したものである。特に、DVD、CD、SACDやDIR(Digital Interface Receiver)を通して入力される外部デジタルオーディオ信号は、入力信号そのものからDSP(Digital Signal Processor)によるサラウンド処理、さらにS-Master方式のデジタルアンプ処理による5.1chのスピーカー駆動直前まで、フルデジタル処理されることが特長である。

1. ま え が き

近年の社会的背景として、省エネルギー・省資源化が求められている。本稿による音響製品分野においても、他の分野の製品と同じく、この改善を強く求められている。音響信号を電力に変換する場合の高効率化分野において、デジタル信号処理技術の成熟を背景に、従来不可能であった効率改善に伴う省エネルギー化及び素材の省資源化が可能になりつつあり、製品性能を向上させながらこの社会的要請にこたえるための努力がなされている。

音響分野におけるデジタル処理への取組は他の商品に比べ早く導入されてきたが、この分野で最後までデジタル化を阻んできたのが音響信号を電力変換する分野である。

本稿では、S-Master方式を採用した電力変換へと導くプロセッサLSIに関し、その要素技術について述べる。

2. アナログ処理からデジタル処理へ

図1に、従来のアナログアンプシステム構成と本稿で紹介するデジタルアンプシステム構成の比較を示す。

アナログアンプシステムでのD/Aコンバータ、前置増幅器、電子ボリューム、電力増幅器の部分、このデジタルアンプシステムでは、信号処理プロセッサLSI“M65817AFP”と電力変換処理するパワードライバによってデジタル信号のままダイレクトに音響エネルギーに変換する。

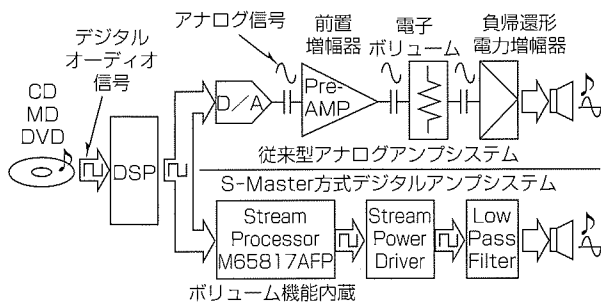


図1. アナログとデジタル方式比較構成

この分野をデジタル処理する場合の主な技術課題は、以下のとおりである。

- (1) 信号伝送系で発生するジッター排除によるS/N改善
- (2) デジタルボリューム制御のビット欠落によるS/Nとひずみ劣化対策
- (3) 高速スイッチによって発生する不要ふく(輻)射低減対策
- (4) 電力変換効率の改善対策

上記を実現するための要素技術は、高性能サンプリングレートコンバータ、同デジタルボリューム、1ビット信号処理、高速電力スイッチングの各技術である。

3. M65817AFPの概要

図2に、今回開発したLSIの回路ブロックを示す。入力されたデジタルオーディオ信号は、サンプリングレートコンバータに導かれる。ここでは、出力側マスタクロックに同期したサンプリング周波数に変換される。入力信号の伝送フォーマットは、前詰めMSBファースト方式、後ろ詰めMSB又はLSBファースト方式、I²S方式の中から選択が可能である。入力語長は16~24ビットに対応する。

次に、デジタルボリューム回路に導かれてボリューム制御を受けるが、その制御幅は、信号処理データバスの拡張に伴って広大なダイナミックレンジの制御が可能となった。ボリューム制御された信号は、S/N改善対策でノイズシェーピングとディザが加えられる。

最後に、この信号をPWM変換し、次段の電力処理用パワードライバICに供給される。PWM変換では特定の周波数帯域にエネルギーが集中し、そのことによる不要輻射が発生しにくい形式の信号処理が行われる。

4. サンプリングレートコンバータ

入力マスタクロックに同期したサンプリングレート(fs) 32~192kHzの範囲のデジタルオーディオ信号は、レートコンバータによって出力側マスタクロックに同期した別のサンプリング周波数に変換される。

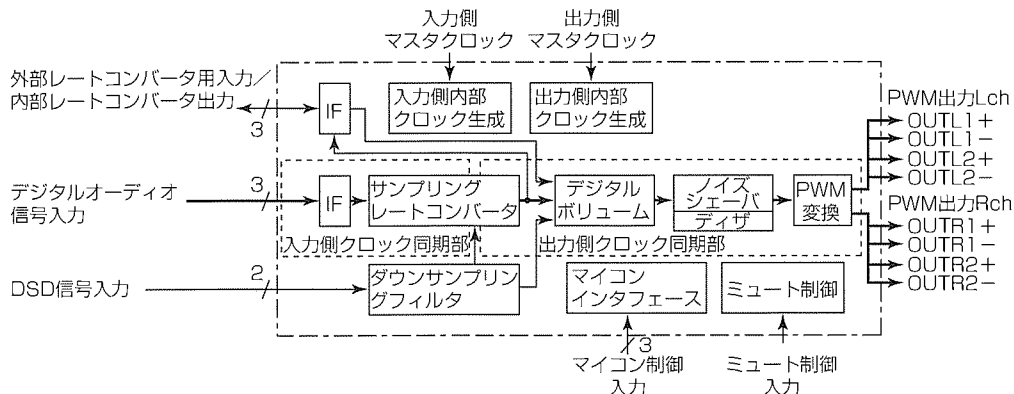


図2. 内部回路ブロック

このLSIの出力側マスタクロックは、1.024fs又は512fsの何れかを選択できる。ここで言うfsとは48kHzであり、1.024fsの場合、49.152MHzに相当する。そのほか、SACDの信号フォーマットであるDSD信号にも対応可能な回路構成になっている。

このブロックの特長は、入力信号と出力信号のタイミング関係が、非同期式で周波数変換を行うことである。従来方式は、PLL方式による同期式変換回路が主流を占めている。このPLL方式によって入力信号に同期をかける場合、理論的にジッター発生が避けられない。デジタルパワーアンプを構成する場合、電力変換の時間軸にジッター成分がわずかでも発生すれば、ひずみとS/N劣化の原因となり、極めて都合が悪い。

今回の方式では、入力信号に対して非同期の伝送方式を採用することで、次段のデジタルボリューム以降、電力変換処理回路までの信号処理すべてが水晶振動子レベルの時間軸精度で処理される。時間軸精度の飛躍的向上により、信号源ジッターの悪影響の完全除去が可能となった。

このLSIのPWM出力でのS/Nは103dB程度を確保しており、電力処理段でのS/N劣化に対して十分なマージンを確保している。

5. デジタルボリューム

従来、ボリューム制御をデジタル式で行う場合、特にボリュームを絞ったとき、データのビット欠落からくるS/Nとひずみの悪化が避けられない。したがって、性能がアナログ式ボリュームに及ばず、フルデジタル処理を阻むもう一つの要因となっていた。

今回のLSIでは、ボリューム制御回路の信号処理データ幅を大幅に拡張し、ボリュームを絞ったときのデータ欠落が極力少なくなるように配慮されている。このことにより、実用音量レベルの範囲では、ほとんど問題がない程度まで改善されている。

さらに、ボリューム切換え時のノイズ発生対策として、-96dBまでの範囲では0.1dB単位での切換えを可能とし、ミュート制御時も含め指数関数近似制御による動作ノイズ低減を図っている。

6. ノイズシェーパ

ソニー(株)のオーディオ関連製品に広く採用されてきた可変デジタルフィルタ演算方式を採用している。この方式により、広い入力ダイナミックレンジとともに、高精度演算機能によって出力ビットストリームデータの広いレンジ確保が可能となった。

さらに、音質改善と聴感上のS/N改善対策としてDCディザを3種類とACディザを3種類搭載し、ユーザーの好みに合わせてディザモードの選択が可能な構成になっている。

7. PWM波生成

図3にこのLSIのPWM出力波形を示す。PWM波生成回路には、ソニー(株)でSACD等の高音質処理が必要な製品に採用されている“S-TACT”(Synchronous Time Accuracy Controller)方式と同等の方式が採用されている。この方式は、演算回路系の回路ブロックとPWM波生成回路を電源、GNDを含みLSI回路内部で完全分離することにより、PWM波生成回路でのジッター発生を極限までなくす方式である。PWM出力を差動合成することで、アナログ信号に変換する場合のひずみを低減する、コンプリメンタリPLM(Pulse Length Modulation)方式を採用している。

また、LSI内部のPWM出力段には強力なドライバを内蔵しており、この出力は、アナログフィルタ回路を介して直接オーディオ信号が取り出せるように構成されている。

図4に以上の機能を内蔵したこのLSIの外観を、表1にこのLSIの仕様を示す。

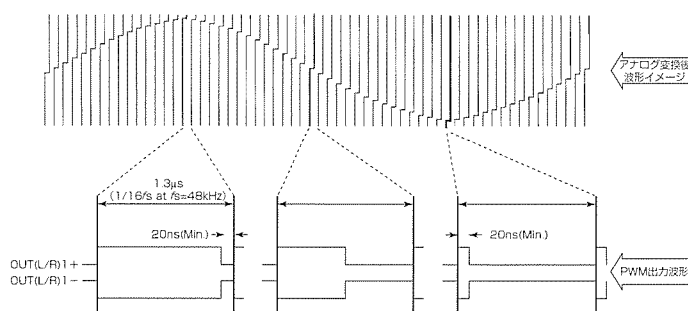


図3. PWM出力波形

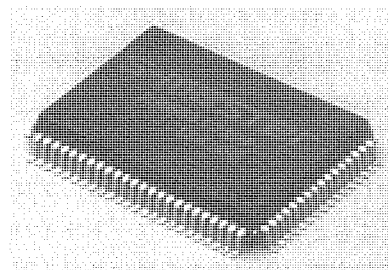


図4. M65817AFPの外観

表1. M65817AFPの仕様

項目	詳細
マスタクロック	一次：256fs/512fs 二次：1.024fs/512fs
入力信号の語長	16~24ビット(後ろ詰めMSBファースト)
フォーマット	前詰めMSBファースト 後ろ詰めMSB又はLSBファースト
サンプリングfs	I ² S対応 32kHzから192kHz
信号形式	SACD入力対応
ゲインコントロール	+30~-138dB, -∞dB (-96dBまでは0.1dBステップ)
推奨動作条件	ロジック部：3.3V±10% PWM部：5V±10%

8. マルチチャンネルアプリケーション

従来のマルチチャンネルAVレシーバでは、パワートランジスタから発する熱のために、巨大なアルミ放熱器を抱え製品の小型化が難しかった。さらに、放熱ファンによるほこりの吸い込みは、DVDプレーヤーとAVレシーバとの一体化製品の実現を困難にしていた。

図5のようにアナログAB級回路で最大でも60%程度であった電力効率は、このLSIとパワードライバで構成されるデジタルアンプシステムにおいては90%以上も実現可能となり、コンパクトでスマートな外観を持つDVDレシーバの実現を可能にした。

2001年夏、ソニー(株)から発売されたDVDレシーバDAV-S500は、40W×5(6Ω)+80W(3Ω)という出力ながら、外形寸法は(W)355×(D)378×(H)70(mm)、質量は約4.0kgという小型・軽量の製品を実現している(図6、図7)。

旧来のアナログAVレシーバには必ず(須)のデバイスであったD/Aコンバータ、6chボリューム、大型放熱器などは、上記技術の採用によって不要となった。シンプルな回路構成によって周辺部品やアルミニウム材料などの大幅削減を可能とし、省エネルギー・省資源に大きく貢献している。

今後、衛星デジタル放送やSACDの5.1chマルチ録音ディスクなど、マルチチャンネルのソースが更に増加する中で、デジタルアンプの有用性はますます大きくなるものと考えられる。

9. パワードライバ

デジタルアンプの特長である“高電力効率”は、PWM信号で電源エネルギーを直接スイッチングすることによって得られる。

オーディオアンプとしての最終特性は、プロセッサ段での時間軸精度はもとより、このパワードライバ段の物理特性に大きく依存する。電力効率を悪化させる要因は、

- パワーFETのオン抵抗による損失(導通損失)
- パワー素子の応答速度による損失(ターンオン、ターンオフ損失)
- フィルタコイルの直流抵抗による損失
- 貫通電流による損失
- 電源インピーダンスによる損失

等である。このため、スイッチング用パワー素子は、“オン抵抗とゲート-ソース間容量が小さいこと”が要求される。

パワー段を構成する回路は、上記パワー素子以外に、

- NMOSによるトータムポール回路をドライブするためのブートストラップ回路

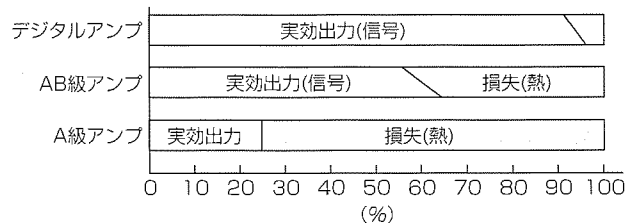


図5. 電力変換効率比較

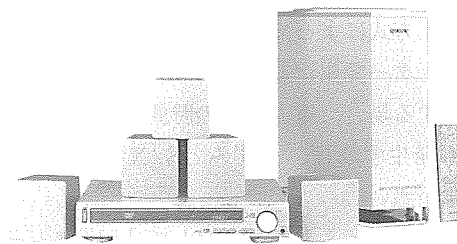


図6. DVDレシーバDAV-S500 (ソニー(株)提供)

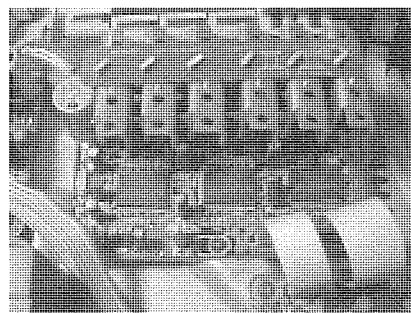


図7. 高電力効率による放熱器の削減 (ソニー(株)提供)

- 貫通電流(上下のFETが同時にオン状態になることによって流れる電流)対策のための時間軸制御回路
 - 熱保護、短絡保護のためのプロテクタ回路
- など、様々な技術が要求される。

ソニー(株)は、DAV-S500の製品化に当たって、専用のパワードライバICを開発し、このLSIとの組合せで良好な特性を実現している。

10. む す び

ソニー(株)と上記LSIを共同開発し、独自性の高いフルデジタルシステムを構築することができた。上記製品の省エネルギー・省資源化への貢献度は、消費電力は従来比約1/2に、放熱板アルミニウムの使用量は1/16に削減、このほか製品体積が1/2に縮小されたことで、製品の質量が従来比約1/2となった。

今後、音響出力電力の製品ラインアップ拡充と、今回開発した信号処理LSI内部にDSPを搭載し各種オーディオ信号処理を行い、更に使いやすい製品を開発して市場要請にこたえていきたい。

最後に、関係各社各位のご協力とご尽力に感謝申し上げ、謝辞としたい。

Bluetooth用ベースバンドLSI“M64110WG”

三浦 学* 堀 俊彦*
白石竹虎*
大迫義行**

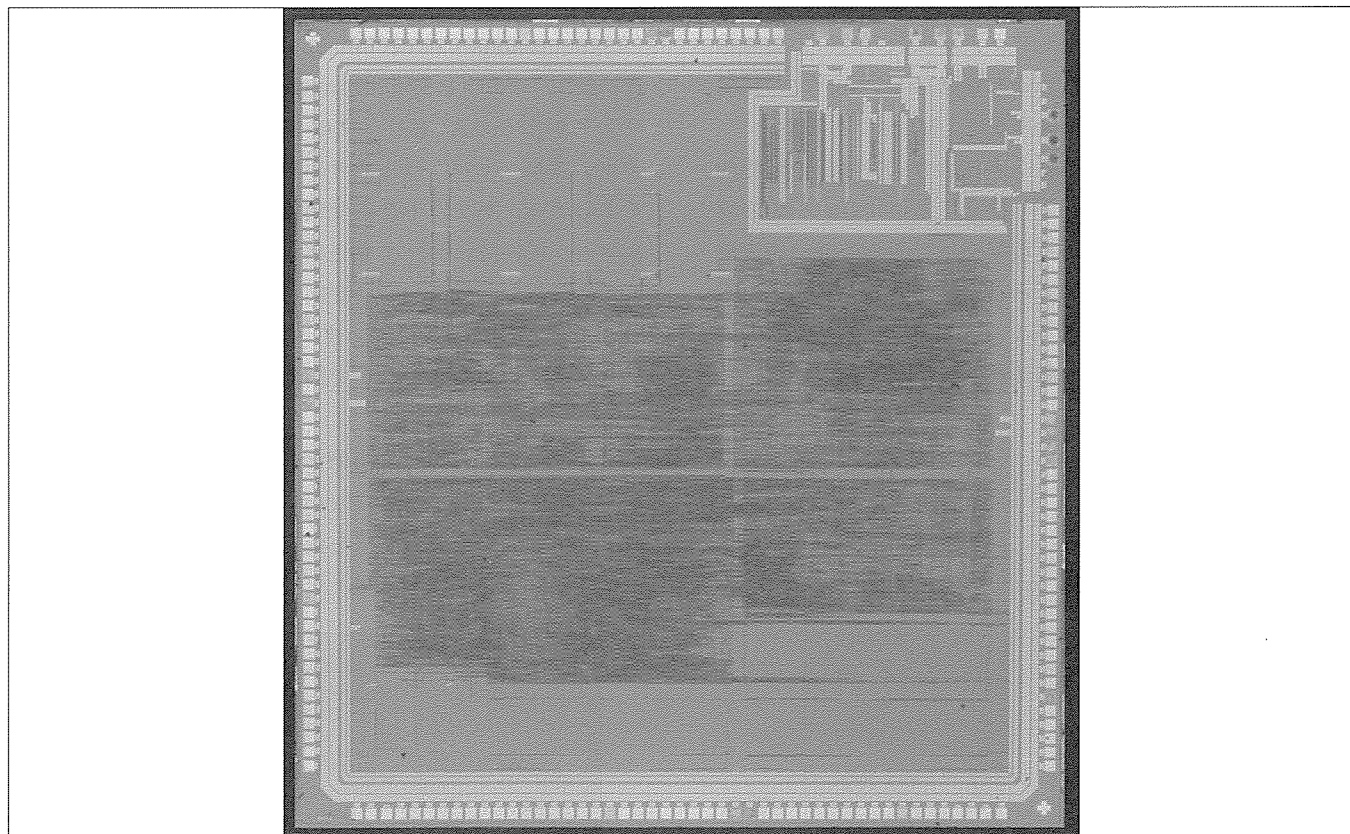
要 旨

2.4GHzのISM(Industrial Scientific Medical)周波数帯を使用する周波数ホッピング方式の短距離無線システム“Bluetooth^(®)”は、今後の機器間のワイヤレス技術として大きな期待がされ、多くの企業がBluetooth-SIG(Special Interest Group)に参画し、仕様策定と製品開発を行っている。三菱電機でも、市場の要求にこたえるため、Bluetooth仕様V1.1に準拠したベースバンドとして最適なLSI“M64110WG”を開発した。

M64110WGは、HCI(Host Controller Interface)、リンクマネージャー及びベースバンドの機能をハードウェア及び内蔵しているROMに入れたプロトコルスタックで実現するため、外部メモリを不要とし、システムをコンパクトに実現できる。また、低消費電力のCMOSプロセスで製造

することと省電力モードを備えることで低消費電力を実現している。また、パッケージは、100ピンフラットBGA(9mm×9mm)に収め小型化を実現している。これらの技術により、BluetoothのLSI化のキーポイントである低コスト、低消費電力、及び小型化を実現し、携帯電話、PDA(Personal Digital Assistants)、DSC(Digital Still Camera)、ハンズフリーなど各種モバイル機器やBluetooth応用製品に適している。

今後は、更なる低消費電力化・小型化・高性能化を実現するため、ベースバンドLSIとRF(Radio Frequency)トランシーバLSIのワンチップ化、及びベースバンドLSIの機能を取り込んだASIC開発に取り組んでいく。



Bluetooth仕様V1.1に準拠したベースバンドLSI“M64110WG”

Bluetooth用ベースバンドLSI“M64110WG”のチップ写真を示す。Bluetooth用のICは、モバイル機器やポータブル機器にも搭載されるため、小型化・低消費電力化が求められている。M64110WGでは、HCI、リンクマネージャー及びベースバンドの機能をハードウェア及び内蔵ROMに入れたプロトコルスタックで実現するとともに、低消費電力のCMOSプロセスで製造することと省電力モードを備えることで実現している。

1. ま え が き

Bluetooth用のLSIは、モバイル機器やポータブル機器にも搭載されるため、小型化・低消費電力化が求められている。この要求にこたえるため、Bluetooth仕様V1.1に準拠したベースバンドとしてモバイル機器に最適なLSIを開発した。

“M64110WG”は、外部メモリを不要とし、コンパクト化を実現している。また、低消費電力のCMOSプロセスで製造することと省電力モードを備えることで消費電力を削減している。

本稿では、Bluetooth技術について述べ、そのBluetoothのベースバンド機能を備えたM64110WGのアーキテクチャを示し、その応用について述べる。

2. Bluetooth技術

Bluetoothは、携帯電話やノートパソコンなどの機器を無線で接続し、データや音声の伝送を行うための、世界で共通に使用できる近距離無線技術である。現在、約2,500社がBluetooth-SIGに参画しており、携帯電話やパソコン機器を中心にBluetoothが搭載された製品が登場している(図1)。

Bluetoothは、2.4GHz帯の免許が不要なISMバンドを使用した周波数ホッピング型スペクトル拡散方式による無線通信システムである。通信距離はクラス2(1mW)の送信電力で約10m程度、通信伝送速度は1Mbpsである。

周波数ホッピング型スペクトル拡散方式では、一定時間ごとに使用する周波数帯を切り換えて通信する。一つの周波数が妨害されても次の周波数で通信できるので、妨害波干渉によるデータロスを抑えることができる。Bluetoothの場合、2.4GHzの周波数帯で、1MHzの周波数単位で625μsごとに79チャンネルの周波数を擬似ランダムにホッピングさせる。

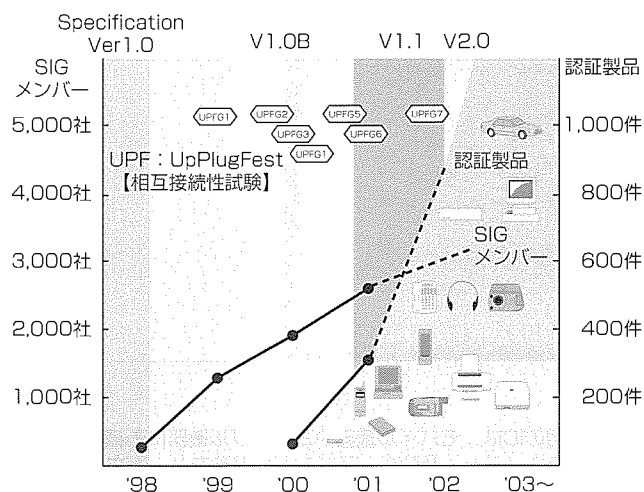


図1. Bluetooth技術と市場動向

ホッピングパターンは、機器固有のアドレスであるBD_ADDRESS(Bluetoothデバイスアドレス)とBluetoothクロックによって規定された計算式で疑似乱数を発生させて生成される。機器間の通信は、このホッピングパターン情報を相互に伝えて同期をとることで行う。

Bluetoothデバイスの接続は、まず接続可能デバイスの問い合わせ(Inquiry)を行い、その中から接続すべきデバイス呼び出し(Page)で接続状態に移移する(図2)。このとき、Inquiry及びPage要求に対する応答は、各々の走査(Scan)が有効なデバイスからのみ送信される。Bluetoothでは呼び出したデバイスがマスタ、呼び出されたデバイスがスレーブ(最大7台まで)となり、マスタは接続した個々のスレーブにAM_ADDRESS(通信可能なアクティブメンバーアドレス)を割り振り、通信はマスタ主導で相手スレーブのAM_ADDRESSを指定して行う。通信方式はTDD(Time Division Duplex)方式で、基本は625μsのタイムスロット単位でマスタ→スレーブ、スレーブ→マスタで送受信する。スレーブは、受信スロットでパケットヘッダに格納されたAM_ADDRESSに自分が指定されたときのみマスタからのデータを受信し、次のスロットでマスタへ応答することが可能である。自分以外の場合はデータの受信を行わず、応答もできない。

Bluetoothには、データパケット転送に使用するACL(Asynchronous Connection-Less)リンクと、主に音声転送に使用するSCO(Synchronous Connection-Oriented)リンクがある。ACLリンクは3スロットと5スロットのマルチスロットパケットをサポートしており、0~339バイトのデータパケットを送受信できる。また、マスタが全スレーブに同時にデータを送信するブロードキャスト機能も備えており、全スレーブが同じデータを受信することもできるが、この場合はマスタへの応答はできない。SCOリンクは予約したスロットで周期的にデータの送受信ができる。

このマスタスレーブ関係を基に相互接続されたネットワーク形態をピコネット(Piconet)と呼ぶ。ピコネットではマスタとスレーブの関係を変更する機能もあり、多様なネットワークを形成して様々なアプリケーションにも対応

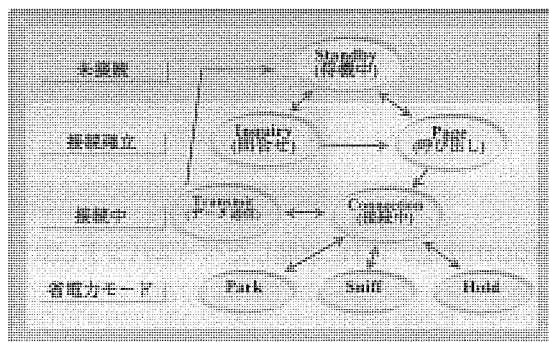


図2. Bluetoothの状態遷移

できる。また、ピコネット間をそれぞれのマスタやスレーブで相互接続したスカッターネット(Scatternet)と呼ばれる接続も用意されており、ピコネットをカスケード接続して大規模なネットワーク環境を構築することも可能である。

Bluetoothでは、携帯機器などへの応用を考えて、省電力モードを備えている。周期的にアクティブになりパケット送受信を行うスニフ(Sniff)モード、一定期間経過後にアクティブになるホールド(Hold)モード、スレーブが周期的にアクティブになってマスタからの解除指示があるまで省電力モードを継続するパーク(Park)モードがある。通信状況やデバイス状態に応じてモードを選択することで、効率良く低消費電力を実現することが可能である。

3. M64110WGアーキテクチャ

図3に三菱Bluetoothシステムを示す。M64110WGの役割は、BluetoothシステムにおけるHCI、リンクマネージャー及びベースバンド機能を内蔵する。Bluetoothとして通信のリンクを確立し、送信・受信は時分割動作で、以下の動作を行う。

(1) 送信

ホストからホストインタフェース又は音声インタフェースを通してデータを受け、パケット形成して、1MbpsのシリアルデータでRFトランシーバLSIに送る。

(2) 受信

RFトランシーバLSIから1Mbpsのシリアルデータのパケットを受け、データを取り出して、Hostインタフェース等からHostに送る。また、ホストの指示により、通信の細かい制御を行い、RFトランシーバLSIを制御する。

図4にM64110WGの機能ブロック図を示す。M64110-

WGは、制御用に32ビットCPUを用い、HCI、リンクマネージャー及びベースバンドの機能をハードウェア及び内蔵しているROMに入れたソフトウェアでプロトコルスタックを実現する。ホストシステムとのインタフェースはUARTである。また、14ビットリニアPCM音声用インタフェースを内蔵し、CVSD(Continuous Variable Slope Delta)、 μ -law、A-lawの音声コーデックをサポートする。

M64110WGのベースバンド機能として、Bluetooth規格に準拠するパケットの処理とリンクの管理を行う。ホストからホストインタフェース又は音声インタフェースを通してデータをRAMに格納し、それらをベースバンドブロックでパケットに形成する。その後、RFトランシーバLSIへ送り、RFトランシーバLSIで変調の信号処理をされて、アンテナから送信される。受信時は、RFトランシーバLSIからパケットを受け、復調の信号変換をして、ベースバンドブロックへ送る。ベースバンドブロックでデータを取り出してRAMに転送する。その後、ホストインタフェース等からホストに送る。

RFトランシーバLSIの制御には、ホッピング周波数、送受信モード、パワー制御などがある。

4. M64110WGのLSI化

BluetoothのLSI化のキーポイントとして、低コスト、低消費電力、及び小型化が挙げられる。M64110WGでのこれらの実現について以下に述べる。

4.1 低システムコスト

(1) 外部メモリを不要とし、コンパクト化を実現

HCI、リンクマネージャー及びベースバンドの機能をハードウェア及び内蔵しているROMに入れたソフトウェアのプロトコルスタックで実現するため、外部メモリが不要で、システムをコンパクトにできる。

(2) 水晶発振子又は外部クロック入力によるクロック供給を可能にし、周辺部品のコストダウンを実現

16MHzクロック入力として、TCXO(Temperature Compensated X'tal Oscillator)による入力に加えて、水晶発振子による発振バッファを準備し、TCXOに比べ安価な水晶発振子によるクロック供給を可能にした。また、ホストからの16MHzクロック入力も可能にし、周辺部品のコストダウンを実現する。

4.2 低消費電力

M64110WGでは、三菱電機製の0.18 μ m低消費電力用CMOSウェーブプロセスを使用して低消費電力化を図った。コア部の電源電圧を1.9V、インタフェース部の電源電圧を3Vにして、低消費電力を実現している。

さらに、Bluetoothでは低消費電力モードとしてスニフ、ホールド、パークモードを設けており、M64110WGでは、

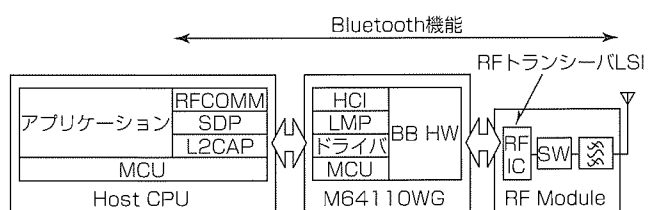


図3. 三菱Bluetoothシステム

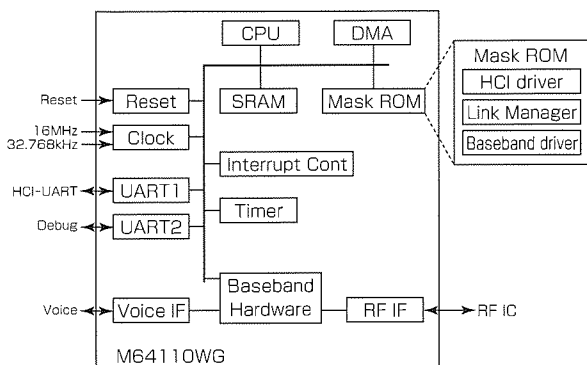


図4. M64110WGの機能ブロック図

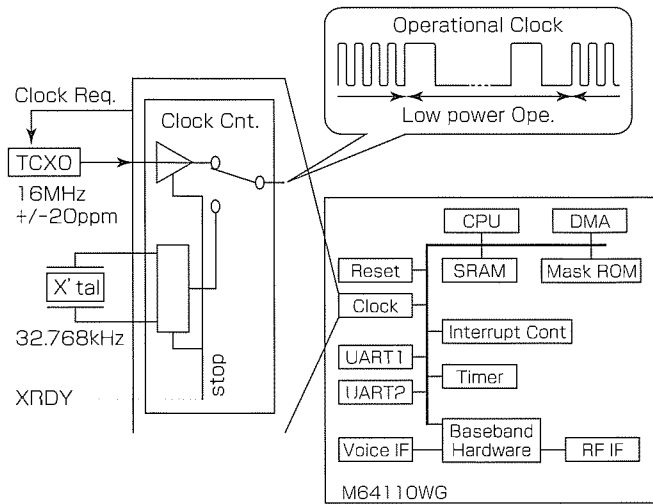


図5. クロック制御

図5に示すように、通常は16MHzで動作するが、スニフ、ホールド、パークモードでは32.768kHzに切り換えて動作できる。また、XRDY入力による全クロック停止、CLK16MREQ信号による16MHzクロック停止により、システムの消費電力を低減できる。

4.3 小型化

パッケージは、100ピンフラットBGA(9mm×9mm)に収めて小型化を実現している(図6)。

5. むすび

Bluetooth用のLSIは、モバイル機器やポータブル機器にも搭載されるため小型化・低消費電力化が求められている。この要求にこたえるため、Bluetooth仕様V1.1に準拠したベースバンドとしてモバイル機器に最適なLSI“M64110-WG”を開発した。

今後は、更なる低消費電力と小型化及び高性能化を実現

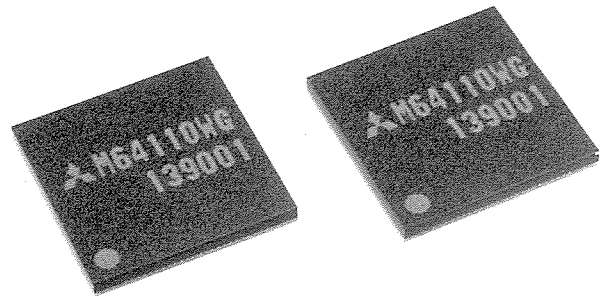


図6. M64110WGのチップ外観

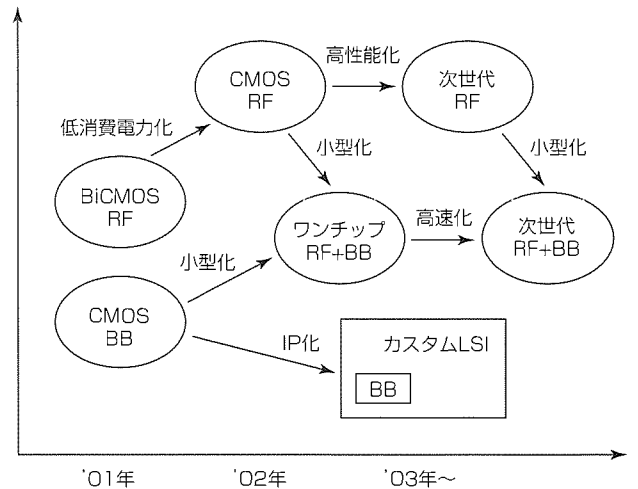


図7. Bluetooth開発ロードマップ

するため、ベースバンドLSIとRFトランシーバLSIのワンチップ化、及びベースバンドLSIの機能を取り込んだASIC開発に取り組んでいく(図7)。

参考文献

- (1) Bluetooth Special Interest Group: Specification of the Bluetooth System, Version 1.1, 1(2001-2)

Bluetooth用RFトランシーバLSI “M64846FP”

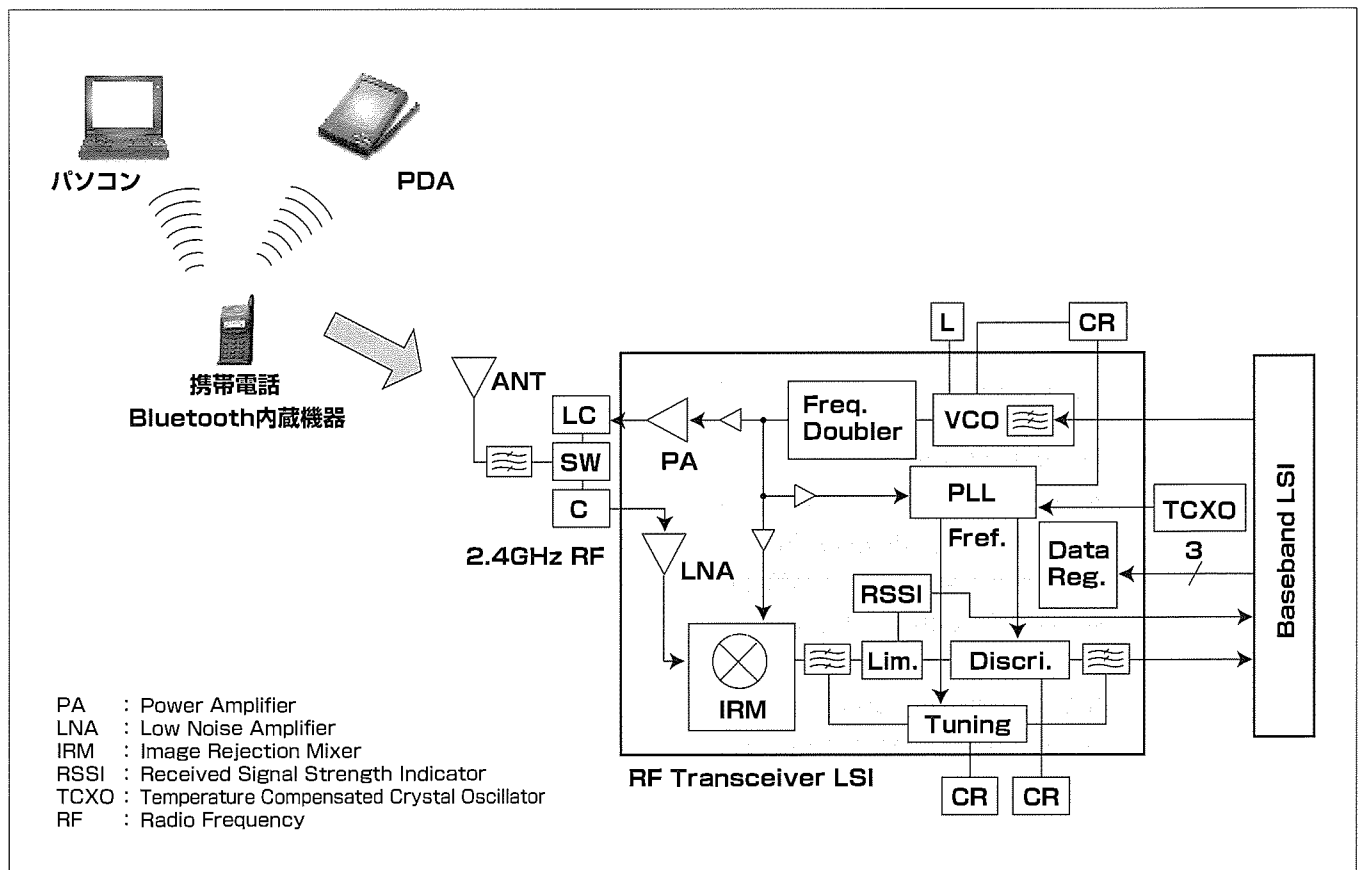
伊賀哲也* 小紫浩史*
長谷川浩一* 江花武雄**
高橋幸二*

要旨

数年前から、短距離無線通信において、Bluetooth^(注)が注目されている。Bluetoothとは、PDA(Personal Digital Assistant)や携帯電話間で音声やデータ通信を行う近距離無線の規格であり、パソコンや携帯電話の大手ベンダー数社が主導(プロモータ)となり起こした業界団体Bluetooth SIG(Special Interest Group)が標準化し、オープンリリースしているものである。無線周波数には、これまでの携帯電話等に使用されていた周波数よりも高い2.4GHz帯を使用している。周波数が高いにもかかわらず携帯電話等のポータブル機器にサブI/F(Interface)として搭載されるため、使用するICにも、小型化のための高集積化や

低消費電力化等がより一層求められる。

今回、Bluetooth用の無線処理ICを設計する上で、受信系にLow IF(Intermediate Frequency)と呼ばれる方式を採用し、かつアナログ回路技術を用いてチャンネルフィルタや復調回路等を内蔵化し、高周波&高アイソレーション用のプロセスと高周波アナログ回路技術を用いることにより、低消費なVCO(Voltage Controlled Oscillator)や送信アンプ、受信ローノイズアンプや受信イメージ除去ミキサそして高周波PLL(Phase Locked Loop)など無線部を構成する機能ブロックのすべてをシリコン1チップに集積することができた。



Bluetooth用RFトランシーバLSI“M64846FP”

このLSIは、受信アーキテクチャにLow IF方式を適用し、0.5μmトレンチBiCMOSプロセスを用い、高周波と低周波で動作するアナログ部とデジタル部を混載集積しており、無線部を構成する機能回路すべての部分を1チップ化可能としている。

1. ま え が き

近年、短距離無線通信において、Bluetoothが注目を浴びている。現在、付加価値のほとんどは、共通インタフェースの利点を生かした種々の機器間接続と、また煩わしいと思われるケーブルの置き換えである。したがって、搭載する機器メーカーとしては、機器のメインアプリケーションに極力影響しないようなサイズ・価格・システムの簡易構築を期待する。使用される半導体にももちろん同じことが要求され、部品としての高集積化・低価格化が求められる。携帯電話やデジタルコードレスについては、学会においても、1チップトランシーバが発表されている⁽¹⁾。Bluetoothにおいても全く同様であり、Bluetoothを構成するのに必要なブロックをシリコン上に高集積化することによって外部パーツを極力削減し、低コスト・省スペース・簡易構築が実現できる。

受信系アーキテクチャに関し、従来のシングルコンバージョン方式ではIFが高くチャンネル選択フィルタ等のICへの内蔵化が困難であったので、今回、受信アーキテクチャにIFを低くしたLow IF方式を新たに採用し、さらに、チャンネル選択フィルタの構成にGm-Cフィルタを適用した。さらに、高周波・アナログ・デジタル回路を構成するのに適している0.5 μ mトレンチ分離BiCMOSプロセスを用い、Bluetoothの無線部を構成する高周波のアンプやミキサ、VCOやPLL、IF帯のフィルタや復調回路など、送受信部のすべての機能ブロックを1チップに集積したBluetooth用RF(Radio Frequency)トランシーバLSI“M64846FP”を開発した。

本稿では、システム概要、このRFICのチップ構成及び回路設計、試作チップ、評価結果について述べる。

2. システム概要

無線周波数には全世界で免許が不要なISM(Industrial Science Medical)帯である2.4GHz帯を使用し、通信方式には干渉(妨害)に強いFHSS(Frequency Hopping Spread Spectrum)方式(1秒間に79チャンネルを28ビット拡散符号に従って1,600回切り換える方式)を用い、復信方式にはTDD(Time Division Duplex)が採用され、アプリケーションに応じて選択できるよう3種類の出力レベル規格を用意している。携帯電話などのポータブル機器においては、中出力レベルのClass 2(標準1mW/通信可能エリア約10m)が主に適用される例が多い。変調方式はGFSK(Gaussian-filtered Frequency Shift Keying)方式(0.5BT積)であり、データレート1Mbps、変調指数0.32で変調をかけている。受信感度は、-70dBm入力時にBER(Bit Error Rate)が0.1%以下の必要がある。接続方式にはSCO(Synchronous Connection Oriented)タイプとACL(Asyn-

chronous Connectionless)タイプがあり、タイムスロットは1, 3, 5の3種で、トータル11種類の packetsがある。最大伝送速度は、ACLタイプのDH5(Data High Rate 5 slots)で、最大723.2kbpsの伝送速度となる。

3. チップ構成

図1にRFIC“M64846FP”の機能ブロック図を示す。チップセットであるベースバンドLSI“M64110WG”と組み合わせることにより、BluetoothのHCI(Host Controller Interface)からRFまでを構成することができる。

チップ上には、VCO、PLL、通倍器(Doubler)、送信アンプ(PA)、低雑音アンプ(LNA)、イメージ除去ミキサ(IRM)、バンドパスフィルタ(BPF)、リミッタ(Lim.)、RSSI、復調回路(Discr.)を内蔵した⁽²⁾。

受信部のアーキテクチャとしてLow IFのシングルコンバージョンを採用し、IFを低くする(3MHz)ことで、チャンネル選択フィルタであるBPFをGm-Cフィルタで構成し、低消費電流化している。復調回路の移相器にはDDL(Digital Delay Line)を用い、低いIFにおいても周波数-電圧変換特性の線形性を広くとることができた。また、製造ばらつきによるDDLの遅延量のコントロールに関しては、レプリカDDLを用いたPLLによって遅延量を一定(IF 3MHz時に90°)に保つように自動調整している。

送信部は、VCO直接変調方式を採用し、ベースバンドデータに相当するフィルタリングされた電圧でVCOの制御電圧を直接変化させることによってFSK(Frequency Shift Keying)を行っており、直交変調器を使うタイプに比べコンパクトに変調部を構成することができる。送信出力との共振干渉を防ぐために、VCOの周波数を送信の半分にし、段間に通倍器を設けている。この通倍器の出力は、受信時には受信部にも分配され、IRMのローカルとして働く。

PLLは、VCOの周波数制御を行い、BPFや復調回路の自己調整回路の基準信号源となる。

TDD動作のため送受信に対しVCOは一つでよいが、周波数切換え時間の制約のためPLLは高速ロックアップ機能を持っている。各部は、周波数同調モード、送信モード、

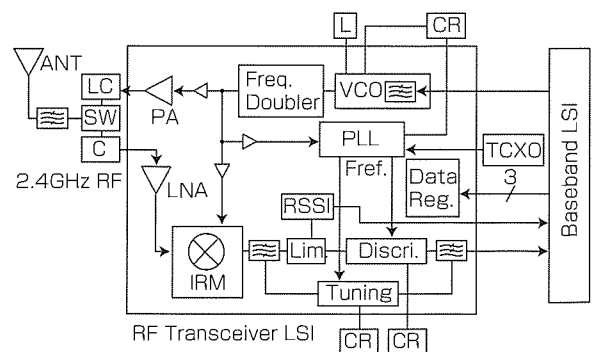


図1. M64846FPの機能ブロック図

受信モード、スタンバイモードに応じて、ベースバンドからの制御信号によって効率的にパワー制御される。

4. 回路設計

4.1 IRM

図2にIRM部のブロック図を示す。受信系のアーキテクチャにLow IF方式を採用しているため、IFを3MHzとするとイメージ周波数が帯域内に存在することになる。そのため、フィルタなどで直接このイメージ成分を除去することができず、ダウンミキサに、ギルバートセル型の回路構成で、ハートレー型のIRMを適用した。ローカルの移相器とIFの移相加算器にはポリフェーズ回路を使用した。従来は、周波数分周器による移相器よりも低消費になるCRのLPFとHPFで移相器を構成していた。製造ばらつきによって各遮断周波数は変わるが、相対位相誤差は小さいというメリットがある。ただし、振幅誤差が大きくなり、この結果、IRMのイメージ除去率が悪くなる。そのため、通常、移相器の後段に振幅調整用回路(リミッタ回路)が必要となる。ポリフェーズ回路では、振幅誤差は少なくなり、位相誤差に関しては段数を増やすことで精度を上げることができる。ローカルの移相器を考えた場合、段数を増やすと減衰量が増加し、後段にアンプが必要となるが、CR移相器でのリミッタ回路が必要な場合と比較すると、電流を低減することができる。周波数帯域と製造ばらつきを考慮し、減衰量とイメージ除去比とのトレードオフからスペックに合う極と段数をシミュレーションから求めた。この結果、ローカルには3段、IFには2段のポリフェーズ回路構成を採用することに決定した。

4.2 BPF

受信のチャンネル選択フィルタとしてBPFを内蔵している。図3にBPF部の構成図を示す。トランスコンダクタン

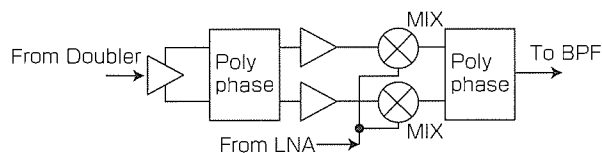


図2. IRM部のブロック図

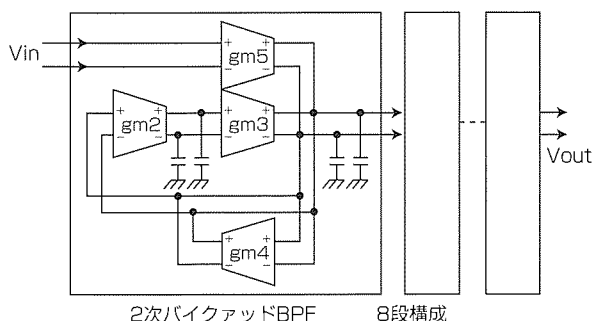


図3. BPF部の構成図

ス(Gm)アンプと容量(C)によって2次のバクテッドBPFを構成し、異なる遮断周波数のBPFを重ねることによってセンター周波数3MHzの16次のバターズ型BPFを形成している。複素フィルタであるため、3MHzという低い周波数では、高域側と低域側とで抑圧特性の違いが顕著となり、高域側の抑圧量が減る方向である。もちろん、BPFの次数を増やすことによって抑圧量を増やすことはできるが、回路規模が大きくなるデメリットがある。今回は、復調回路の後段に3次のLPFを挿入し、総合で抑圧特性を達成している。製造ばらつきによってGm-C構成の容量値が変わるため、Gm値をコントロールすることによってBPFのセンター周波数を一定に保っている。Gm値のコントロールは、同様なGm-C構成のVCOを用い、容量値のばらつきに対し無関係に特定の周波数になるようにPLLで周波数同調を行う。今回、同調周波数は、3MHzへの干渉を考慮して、かつ比が取りやすい6MHzとした。PLLのリファレンスには基準信号の分周信号を使用し、同調されたVCOのGm値によって比例的にBPFのGm値をコントロールしている。外付けにPLLの積分用のCRを付けるだけで、いわゆる自動調整されることになる。

5. 試作チップ

図4にRFICのチップ写真を示す。高周波回路やアナログ回路とロジック回路を複合化するため、プロセスには0.5μmトレンチ分離BiCMOSを適用している。最大電流遮断周波数が23GHzのnpnトランジスタ、ラテラルpnpトランジスタ、CMOSトランジスタ、窒化膜をポリシリコンで挟んだ構造の2層ポリシリコン容量、拡散層によるバリキャップ容量等の素子で構成されている。素子間分離には絶縁体として酸化膜とポリシリコンによるトレンチ分離を採用し、トランジスタの寄生容量を削減し、かつ高密度集積を可能としている。チップサイズは4.33mm×3.9mmである。パッケージは、ボディ寸法7mm×7mmの小型の52ピンQFN(Quad Flat Non-leaded)を使用している。

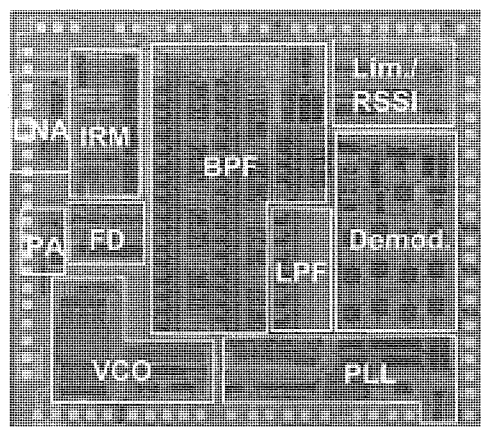


図4. チップ写真

6. 評価結果

評価は、電源電圧 3 V、室温において実施した。図 5 に、受信系復調信号であるアイパターン(時間vs.電圧の重ね書き)を示す。RF入力は、1 MbpsのペイロードデータPRBS 9 (Pseudo-random Bit Sequence 9)により、0.5BT積で変調指数0.315のFSK変調したキャリア周波数2.402GHzの信号である。01変化(最小周期)のアイが閉じて見えるが、これは、RFのガウスフィルタと受信系のLPF特性によるものである。このときの最小受信感度(BER0.1%)は、アンテナ端で約-77dBmであり、高温の75℃時でも、感度劣化は3 dB程度である。

図 6 に送信系変調特性(時間vs.周波数)を示す。変調データ入力に 1 Mbpsのデジタル信号を挿入して、ペイロード部分は01の繰り返し構成で、出力周波数は、2.402GHzである。周波数偏差は、データパターンが0101繰り返し時に140kHzとなっている。00001111の8ビット繰り返し時に160kHzであり、双方とも変調特性規格を満足している。データパターン依存があるのは、送信変調部のガウスフィルタによるものである。

図 7 に、ペイロードデータPRBS 9 で変調したときのキャリア周波数2.402GHzの送信系出力スペクトラム(周波数vs.電力)を示す。2 MHz離調の 1 MHz帯域積分にて、-20dBm以下であり、隣接チャンネルのパワー規定を満足している。また、バースト内平均電力は、-0.6dBmであり、ターゲットのClass 2に対応している。

その他の受信系の妨害特性(C/I; -8 MHzから+8 MHz)、送信系の-20dB帯域幅についても規格を満足していることを確認している。消費電流は、送信時ピークで43mA、受信時ピークで53mA、周波数同調時(送信・受信系は非動作)に33mAであり、DH 5のスレーブの平均電流では47mAとなる。

7. むすび

0.5μmトレンチ分離BiCMOSプロセスを用い、受信アーキテクチャとしてLow IFを採用することにより、Bluetooth用の無線機能ブロックを1チップに集積したトランシーバLSIを開発した。試作品において、Bluetooth Spec. Ver.1.1⁽³⁾の無線規格を満たすことができた。

このLSIとチップセットのBBLSIを採用することにより、BluetoothのHCI以下無線部までを簡単に構築でき、機器の小型化・低消費電流化が期待される。

参考文献

(1) Op'tEynde, F., et al.: A Fully-Integrated Zero-IF DECT Transceiver, ISSCC Digest of Technical Papers, 138~139 (2000-2)

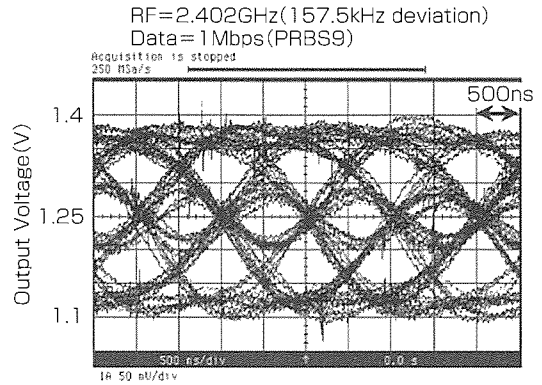


図 5. 受信系アイパターン

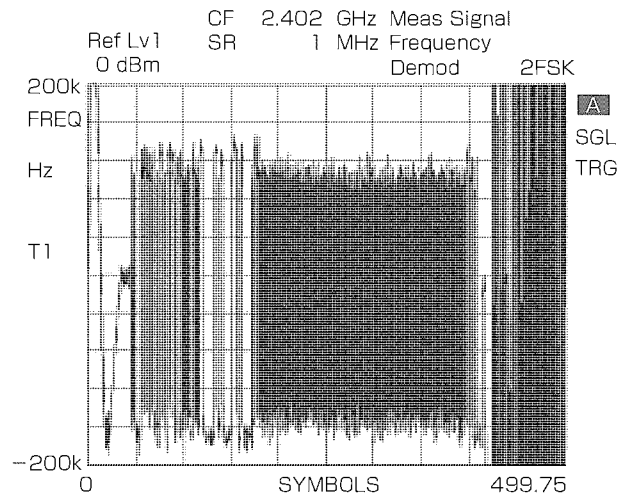


図 6. 送信系変調特性

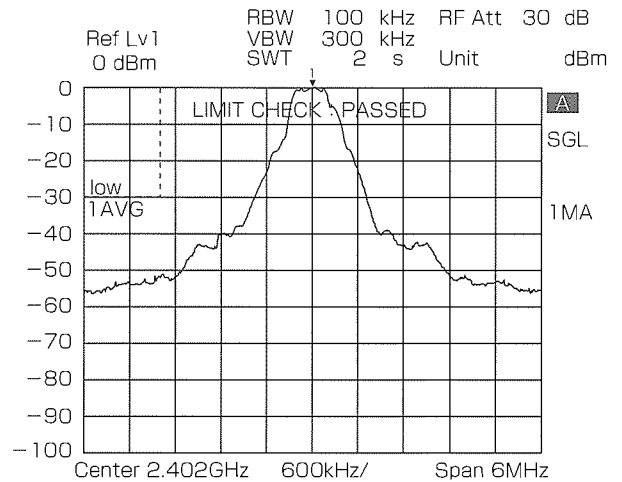


図 7. 送信系スペクトラム

(2) Komurasaki, H., et al.: A Single-Chip 2.4GHz RF Transceiver LSI with a Wide-Range FV Conversion Demodulator, ISSCC Digest of Technical Papers, 13.6, 206~207 (2001-2)

(3) Bluetooth Special Interest Group: Specification of the Bluetooth System, Version 1.1, 1 (2001-2)

0.13 μ m 256Mビット SDR/DDR SDRAM

久家重博*
山岡 茂*
谷田 進**

要 旨

ブロードバンド時代を迎え、サーバワークステーションネットワーク機器からPDA(Personal Digital Assistant)に至るまで、メインメモリとして使用されているDRAMに対して高速・大容量化が要求されている。また、様々な機器の省エネルギー化も進んでおり、DRAMに対する低消費電力化の要求も多い。

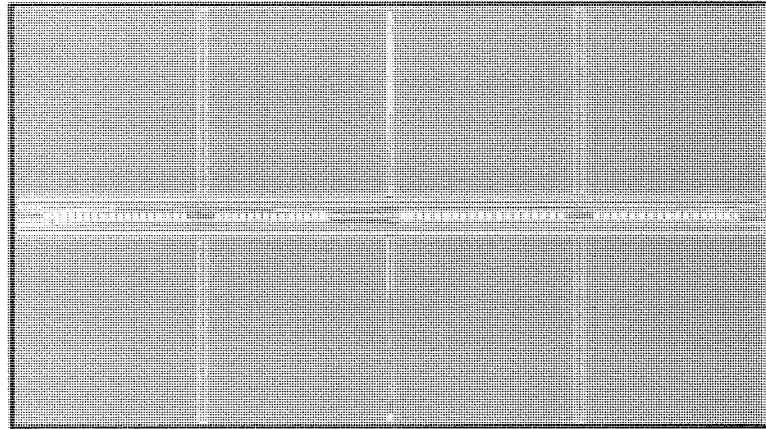
これらの要求にこたえるため、三菱電機では、0.13 μ m CMOSプロセスを採用した256MビットSDR(Single Data Rate)/DDR(Double Data Rate) SDRAM(Synchronous Dynamic Random Access Memory)を開発した。

微細プロセスの採用及びSDRとDDRを同一チップ化(メタルマスタスライス)した設計によって低コスト化すると

ともに、データの書き込み及び読み出し回路の最適化により、DDR SDRAM時、JEDEC標準準拠で最大データ転送レート333MbpsのDDR333規格に対応し、SDR SDRAM時166MHzの高速データ転送に対応する。

また、外部電圧2.5V時でもレギュレータを使用してSDRAM内部の周辺回路用電圧を外部電圧よりも更に低電圧化することによって信頼性を向上させるとともに、動作電流を低減した。

さらに今回、最適化したオーバードライブセンス回路を搭載することにより、低電圧でのセンスの安定化及び高速化を実現している。



DDR/SDR	DDR			SDR		
語構成	64M×4	32M×8	16M×16	64M×4	32M×8	16M×16
型名	M2S56D20BTP	M2S56D30BTP	M2S56D40BTP	M2V56S20BTP	M2V56S30BTP	M2V56S40BTP
動作電圧	2.5V±0.2V			3.3V±0.3V		
リフレッシュ	8,192サイクル/64ms			8,192サイクル/64ms		
パッケージ	66ピン 400mil TSOP (II)			54ピン 400mil TSOP (II)		
インタフェース	SSTL2			LVTTTL		
最大動作周波数	166MHz			166MHz		
最大データ転送レート	333Mbps/ピン			166Mbps/ピン		

0.13 μ m 256MビットSDR/DDR SDRAMのチップ写真と製品概要

0.13 μ m CMOS プロセスを採用した256MビットSDR/DDR SDRAMのチップ写真と製品概要を示す。

同一チップでSDR/DDR SDRAMに対応するよう設計した(メタルマスタスライスで切換え)。

SDR/DDR SDRAMともに×4/×8/×16の語構成に対応し、DDR SDRAMはJEDEC標準準拠 DDR333規格に対応し、SDR SDRAMは166MHzのデータ転送に対応する。

1. ま え が き

DRAMに対する大容量化・高速化・低消費電力化・低コスト化のニーズにこたえるため、三菱電機では、デザインルール0.13 μ mのCMOSプロセスを採用した256MビットSDR/DDRSDRAMを開発した。

本稿では、この製品の概要、プロセス技術、設計技術について述べる。

2. 製品概要

表1に製品概要を示す。SDR/DDRSDRAM共に $\times 4/\times 8/\times 16$ の語構成に対応している。DDRSDRAMはCL(Cas Latency)=2.5でJEDEC標準準拠のDDR333規格に対応し、SDRSDRAMではCL=3で166MHzのデータ転送に対応する。また、DDRSDRAM時、外部電圧2.5Vでもレギュレータを使用して周辺回路用内部電圧を降圧することによって低消費電力化を実現している。

3. プロセス技術

表2にこの製品の主なプロセス技術を示す。デザインルールが0.13 μ mのCMOSプロセスでKrFエキシマリソグラフィ、変形照明及びHT(Half Tone)マスクを用いている。素子分離はSTI(Shallow Trench Isolation)を使用している。また、メモリセルには円筒粗面スタックセルを採用し、微細化しても安定動作するに十分なメモリセル容量を確保した。

4. チップ構成

図1にこの製品のチップ構成を示す。256Mビット全体が8個の32Mビットのブロックに分割されており、2個の

表1. 製品概要

DDR SDRAM	
語構成 (型名)	64M \times 4 / 32M \times 8 / 16M \times 16 (M2S56D20BTP/M2S56D30BTP/M2S56D40BTP)
動作電圧	2.5V \pm 0.2V
リフレッシュ	8,192サイクル/64ms
パッケージ	66ピン 400mil TSOP(II)
インタフェース	SSTL2
最高動作周波数	166MHz
CASレイテンシ	1.5, 2.0, 2.5, 3.0
バースト長	2, 4, 8
バンク数	4
その他の機能	出力ドライブ能力切換え, DLLディスエーブル等
SDR SDRAM	
語構成 (型名)	64M \times 4 / 32M \times 8 / 16M \times 16 (M2V56S20BTP/M2V56S30BTP/M2V56S40BTP)
動作電圧	3.3V \pm 0.3V
リフレッシュ	8,192サイクル/64ms
パッケージ	54ピン 400mil TSOP(II)
インタフェース	LVTTL
最高動作周波数	166MHz
CASレイテンシ	2, 3
バースト長	1, 2, 4, 8, Full Page
バンク数	4
その他の機能	バーストストップ, シングルライト等

表2. プロセス技術

デザインルール	0.13 μ m CMOS
リソグラフィ	KrFエキシマリソグラフィ+変形照明+HTマスク
メモリセル	円筒粗面スタックセル
ゲート長	0.13 μ m
素子分離	STI
配線層	1シリサイド 1タングステン 2アルミニウム

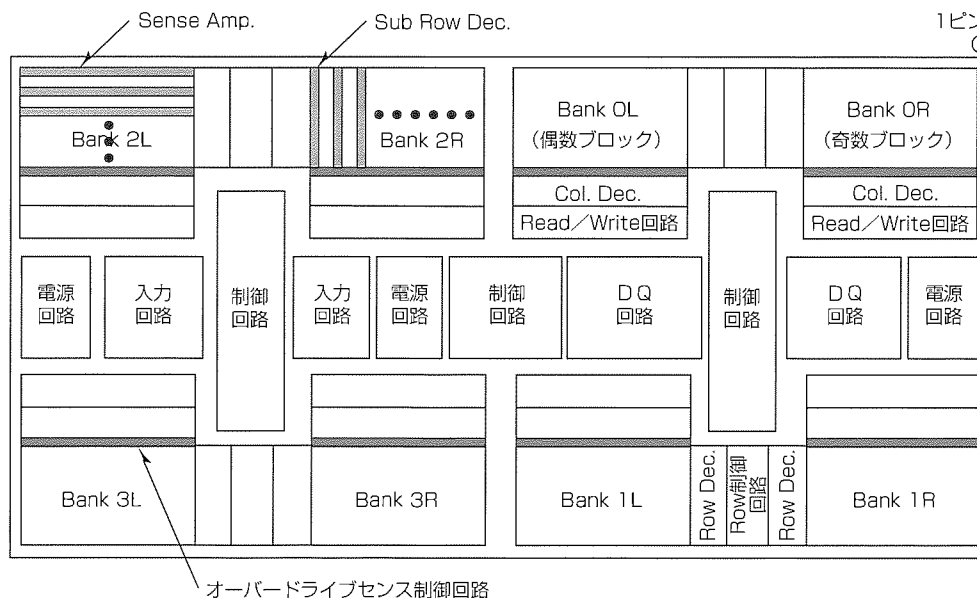


図1. チップ構成

32Mブロックで1バンクを構成している。各バンクは最大32ビットのデータにアクセス可能となっており、SDR/DDR SDRAMともに $\times 4/\times 8/\times 16$ の語構成に対応する。

ワード線は階層行デコーダ方式で選択される。ビット線は256セル単位で分割しており、シェアドセンスアンプでセンス増幅される。

また、センスの安定化・高速化のためにオーバードライブセンス方式を採用しており、制御回路を列デコーダ(Column Decoder: Col. Dec.)とメモリセルアレーの間に配置している。

さらに、SDR/DDR SDRAMをメタルマスタスライズで切り換える設計とすることで開発工期の短縮と低コスト化を図った。

5. 設計技術

5.1 DDR333対応高速回路技術

5.1.1 Write系タイミングマーヅンの向上

DDR SDRAMでは、Writeデータの取り込みは、データストローブ(DQS)の立ち上がりエヅジと立ち下がりエヅジに同期して行われる。一方、内部回路は、内部クロック(int.CLK)同期で動作しているため、DQS同期で取り込んだデータをint.CLK同期に乗せ替える必要がある。具体的には、シリアル/パラレル変換(S/P変換)回路でデータを1サイクル長まで伸ばした後、DQSの立ち下がりエヅジに同期して出力したデータをint.CLKの立ち上がりエヅジで取り込んでいる。

上記に関連するタイミングパラメータとして、図2に示すように、Writeコマンドから最初のDQSの立ち上がりエ

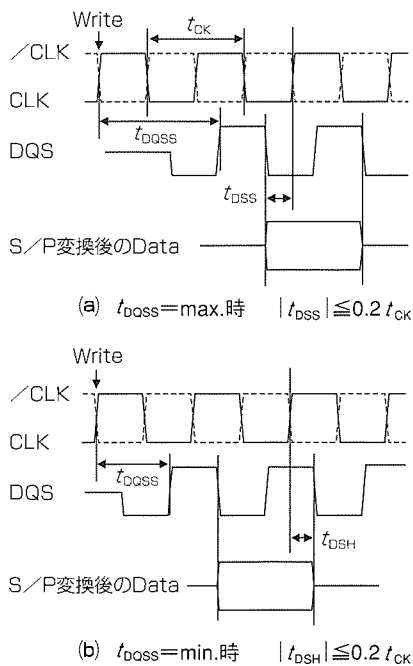


図2. t_{DSS}/t_{DSH} タイミング

ヅジまでの時間(t_{DQSS})や、CLKの立ち上がりエヅジに対するDQSの立ち下がりエヅジのセットアップ/ホールド時間(t_{DSS}/t_{DSH})が規定されている。 t_{DSS}/t_{DSH} のスペック値は $\pm 0.2 t_{CK}$ である。DDR333(@CL=2.5)の場合は $t_{CK} = 6 \text{ ns}$ であり、 t_{DSS}/t_{DSH} は $\pm 1.2 \text{ ns}$ となる。

前述のようにWriteデータの転送は内部DQS信号(int.DQS)とint.CLKとの間で行われるが、従来の回路ではint.DQSとint.CLKでは発生回路の構成が異なるため、温度依存性、電圧依存性等の特性が異なる。例えば、図3の(a)に示す低温かつ V_{CC} 上限のときと、図の(b)に示す高温かつ V_{CC} 下限のときでは、内部信号間での t_{DSH} 成分のタイミング変動 $|t_1 - t_2|$ は1ns程度である。したがって、DDR333では、 t_{DSS}/t_{DSH} スペックに対してこのタイミング変動の占める割合は無視できなくなる。この対策として、この製品では、内部DQS発生回路と同一特性の遅延を持つint.CLK信号を採用することにより、図4に示すように、前述のタイミング変動の影響を少なくし、 t_{DSS}/t_{DSH} のマーヅンを向上させた。

5.1.2 Read系の高速化

DDR SDRAMのRead動作では、メモリアレー内の奇数及び偶数ブロック双方のデータをパラレルに読み出して出力回路へシリアルに転送する必要があり、奇数及び偶数データは、Readコマンド入力時に与えられるアドレスに従って第一データと第二データに振り分けられる。しかし、DDR333のような高速動作では、回路遅延によるデータ遅延が問題になってくる。特に、第一データの転送タイミングのマーヅン確保が難しい。

従来のパラレル/シリアル変換(P/S変換)の構成を図5に示す。従来は、パラレルに読み出された奇数及び偶数ブロック双方のデータ(Odd_Data/Even_Data)は、どち

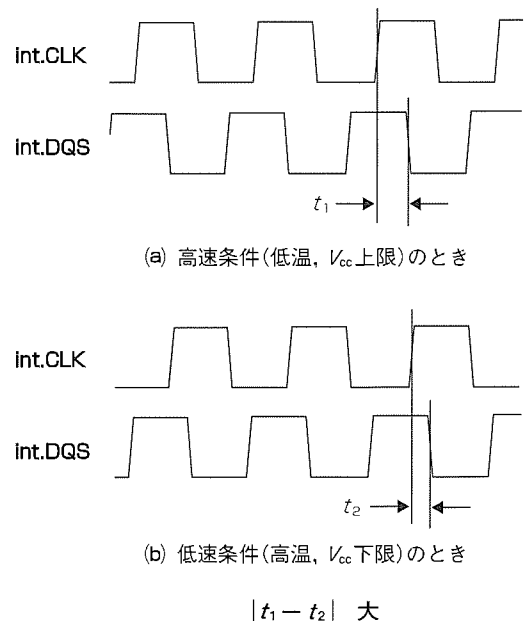


図3. 従来のCLKとDQSの位相関係

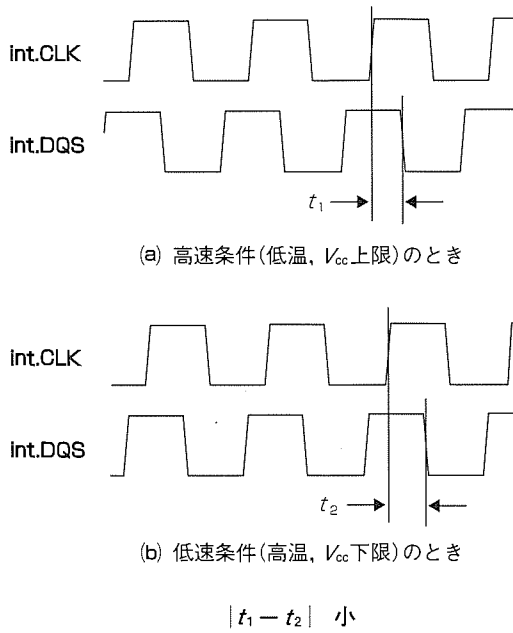


図4. 今回の製品のCLKとDQSの位相関係

らが第一データになっても対応できるように奇数データ用、偶数データ用それぞれ専用の読み出しアンプ(R/A)を搭載し、次段のP/S変換&ラッチ回路でシリアルに変換していた。そのため、第一データでは不要となるラッチが存在し、第一データのタイミングマージン確保のネックとなっていた。

図6にこの製品で採用したP/S変換回路の構成を示す。従来R/Aの直後に置かれていたP/S変換回路&ラッチ回路を廃止し、R/Aを第一データ用と第二データ用で区別した。このことによって第一データ用のラッチ回路が省略可能となり、この間での回路遅延を削減できた。その結果、第一データのタイミングマージンを十分に確保でき、Read動作の周波数特性を向上させることができた。またP/S変換が簡素化されるため、レイアウト面積の削減にも寄与している。

5.2 高信頼性設計技術

今回の製品に採用した0.13μmプロセスでは、微細化によってトランジスタ膜厚が前世代品よりも薄くなった。これにより、従来と同じ電圧でトランジスタを動作させた場合、トランジスタの酸化膜にかかる電界強度が増してしまい、信頼性上好ましくない。そこで、高信頼・長寿命の酸化膜を実現するために電圧レギュレータ回路(Voltage Down Converter: VDC)を採用し、トランジスタにかかる電圧を下げた。

VDC採用の別のメリットとして、①低消費電力化、②外部電源電圧依存性の排除、③高速化、を挙げることができる。また、低電圧条件においても安定してメモリセルに蓄積されたデータをセンスアンプに読み出すため、この製品ではオーバードライブセンス⁽¹⁾⁽²⁾を採用した。

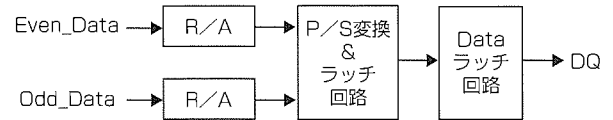


図5. 従来の平行/シリアル変換

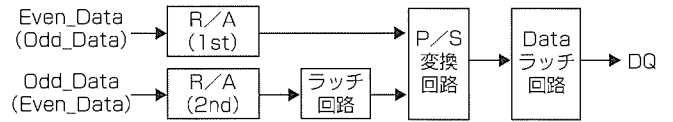


図6. 今回の製品の平行/シリアル変換

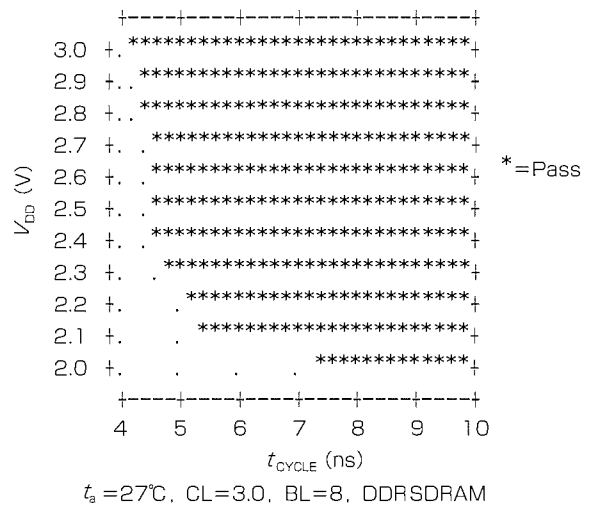


図7. シュムープロット

6. 電気特性

図7に、周辺温度27°Cにおける周期(t_{CYCLE})の電源電圧依存性のシュムーを示す。

7. むすび

以上の技術により、0.13μmプロセス技術で166MHz対応の256MビットSDR SDRAMとDDR333対応の256MビットDDR SDRAMを同一チップで開発した。

この製品によって三菱電機は高性能低コストの製品を市場に供給し、さらに今後も、市場の要求にマッチした製品展開を進めていく所存である。

参考文献

- (1) 濱本武史, ほか: 微細化・高速メモリ設計による128M SDRAM, 64M SDRAM, 三菱電機技報, 73, No.3, 199~202 (1999)
- (2) 北川 真, ほか: DRAMのアレイ電源低電圧化による t_{RCD} 遅延評価, 2001年電子情報通信学会エレクトロニクスサイエティ大会, C-12-37, 98 (2001)

0.18 μ m 4 M / 8 Mビット 低消費電力SRAM 3 V / 1.8Vシリーズ

池田和也*
中嶋 泰*
芦田 基**

要 旨

低消費電力SRAMは、同期信号や記憶保持動作が不要で使いやすく、低電圧でのデータ保持が可能で、消費電流も少なく電池で長期間のデータ保持ができるなどの特長を持つため、携帯電話、携帯端末、ICカード、OA機器、FA装置など幅広い分野で使用されている。

その中でも小型携帯機器の市場では機器の小型化・低消費電力化が進んでおり、それに伴い、必ず(須)部品の一つである低消費電力SRAMには、高速化・大容量化・低電圧化及び低消費電力化が要求されている。

このような市場要求を満たすため、0.18 μ m CMOSプロセスを用いて4 M / 8 Mビット低消費電力SRAMの3 V / 1.8Vシリーズ化を達成した。

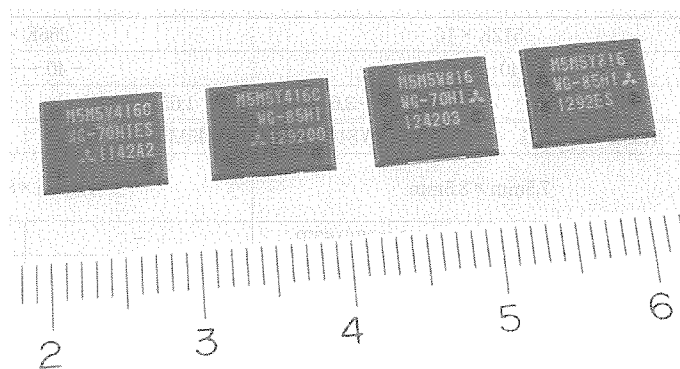
電源電圧に見合ったプロセス/回路の最適化により、双方の電圧において同等の高速性能を持ちかつ低消費電力化を実現した。

また、アセンブリ技術を駆使することで、小型機器に最適なCSP(Chip Scale Package)に収納することができた。

主な特長

	8 M		4 M	
語構成	512K \times 16		256K \times 16	
動作温度	-40 \sim +85 $^{\circ}$ C			
動作電圧	1.65V \sim 2.3V	2.7V \sim 3.6V	1.65V \sim 2.3V	2.7V \sim 3.6V
形名(48ボール CSP)	M5M5Y816WG	M5M5W816WG	M5M5Y416CWG	M5M5V416CWG
パッケージサイズ(48ボール CSP)	7.5mm \times 8.5mm		7.0mm \times 8.5mm	
形名(44ピン TSOP)	—	M5M5W816TP	—	—
形名(52ピン TSOP)	—	M5M5W817KT	—	M5M5V417CKT
アクセス時間	70ns@ V _{cc} =1.65V	55ns@ V _{cc} =2.7V	70ns@ V _{cc} =1.65V	55ns@ V _{cc} =2.7V
スタンバイ電流	2 μ A@1.8V, 25 $^{\circ}$ C	5 μ A@3.6V, 25 $^{\circ}$ C	1 μ A@1.8V, 25 $^{\circ}$ C	2.5 μ A@3.6V, 25 $^{\circ}$ C
動作時電源電流	20mA@2.3V	50mA@3.6V	20mA@2.3V	50mA@3.6V
メモリセル構造	フルCMOS型			
デザインルール	0.18 μ m			
配線技術	1層ポリサイド			
	1層タンダステン			
	2層アルミ			
素子分離技術	トレンチ			

パッケージの外観
(CSP)



機器の
小型化、
低消費電力化
に最適

0.18 μ m 4 M / 8 Mビット低消費電力SRAM 3 V / 1.8Vシリーズ

今回開発した4 M / 8 Mビット低消費電力SRAM 3 V / 1.8Vシリーズのパッケージの外観と主な特長を示す。回路とプロセスの最適化により、双方の電圧において、同等の高速性能でかつ低消費電力化を達成できた。また、アセンブリ技術によって小型機器に最適なCSPに収納できた。

1. ま え が き

CMOSスタティックRAM(以下“SRAM”という。)には、アクセス(サイクル)タイムの高速化を追求した高速SRAMと、動作時及びデータ保持時の低消費電力化を追求した低消費電力SRAMがある。

後者の低消費電力SRAMは、同期信号や記憶保持動作が不要で使いやすい、データ保持時の消費電流も少ないので電池を併用して不揮発性メモリが構成できるなどの特長を持っている。このため、携帯電話、携帯端末、ICカード、OA機器、FA装置など幅広い分野で使用されている。

特に携帯電話市場を始めとする携帯機器の分野では、機器の小型化・低消費電力化が進んでおり、そのキーパーツである低消費電力SRAMに対しても小型化・低消費電力化の要求は強い。

また、低消費電力化の要求に対する一つの動きとして、使用する電源電圧を低電圧化するという動きもある。これは、電圧自体を下げた効果に加えそれによる電流の低減効果も考え合わせると、電力は二乗に近いペースで低減することが可能となり、低消費電力化にとっては非常に有効な手段である。

三菱電機の低消費電力SRAMは、これまでの市場要求の中、256Kから8Mビットまでのメモリ容量の製品を供給してきた。製造プロセス技術としては、0.18 μ m CMOSでの量産立ち上げを既に完了している。0.18 μ m ルールの8Mビット品としては、電源電圧3V品をいち早く市場に投入している。これに対し、先ほど述べた電源電圧を低くするという市場要求及び生産性の向上から、今回、0.18 μ m CMOSプロセスを用いて8Mビット及び4Mビットの低消費電力SRAMに対し1.8V品と3V品のシリーズ化を

達成した。

本稿では、その設計・製造技術について述べる。

2. 開発のねらい

表1に主な製品とプロセス概要を示す。

今回シリーズ化した4M/8Mビット低消費電力SRAMは、語構成としては $\times 16$ 品であり、8Mビットの3V品とプロセス/回路の大部分を共通化することで開発効率を上げている。

(1) 動作下限電圧のマージン拡大

フルCMOS型セルを用いることにより、低電圧動作に対するマージンを拡大している。

低消費電力SRAMでは、一般的に使用されている内部同期回路によるオートパワーダウン方式を採用し、その最適化によって電流を消費する時間を最小限に抑えている。また、チップアーキテクチャに合わせて回路定数を最適化することにより、アクセス時間の高速化を図るとともに、消費電流を最小限にしている。

(2) スタンバイ、データ保持電流の低減

フルCMOS型セルを用いることにより、スタンバイ電流及びデータ保持電流を低減させることが可能となった。

(3) 高信頼性

フルCMOS型セルを用いることにより、低電圧においても、ソフトエラーに対する耐性を向上させている。

(4) パッケージへの収納

パッケージとしては、機器の小型化の要求に対応するため、48ボールのCSPに収納した。また、52ピンのTSOP (Thin Small Outline Package) (Type II)にも収納できることを考慮した(図1)。さらに、8Mビットの3V品では、一般産業用として44ピンのTSOP (Type II)にも収納可能である。

表1. 製品概要

	8 M		4 M	
	語構成	512K \times 16		256K \times 16
動作温度	-40 \sim +85 $^{\circ}$ C		-40 \sim +85 $^{\circ}$ C	
動作電圧	1.65V \sim 2.3V	2.7V \sim 3.6V	1.65V \sim 2.3V	2.7V \sim 3.6V
形名(48ボール CSP)	M5M5Y816WG	M5M5W816WG	M5M5Y416CWG	M5M5V416CWG
パッケージサイズ (48ボール CSP)	7.5mm \times 8.5mm		7.0mm \times 8.5mm	
形名(44ピン TSOP)	-	M5M5W816TP	-	-
形名(52ピン TSOP)	-	M5M5W817KT	-	M5M5V417CKT
アクセス時間	70ns@V _{cc} =1.65V	55ns@V _{cc} =2.7V	70ns@V _{cc} =1.65V	55ns@V _{cc} =2.7V
スタンバイ電流	2 μ A@1.8V, 25 $^{\circ}$ C	5 μ A@3.6V, 25 $^{\circ}$ C	1 μ A@1.8V, 25 $^{\circ}$ C	2.5 μ A@3.6V, 25 $^{\circ}$ C
動作時電源電流	20mA@2.3V	50mA@3.6V	20mA@2.3V	50mA@3.6V
メモリセル構造	フルCMOS型			
デザインルール	0.18 μ m			
配線技術	1層ポリサイド			
	1層タングステン			
	2層アルミ			
素子分離技術	トレンチ			

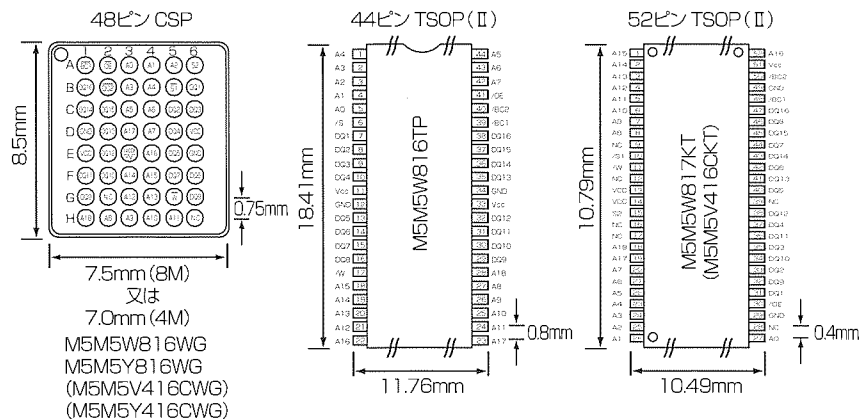


図1. パッケージタイプ

3. 設計技術

3.1 メモリセル

0.25 μ mルール以前の低消費電力SRAMでは、高抵抗負荷型やTFT負荷型のメモリセルが主に使用されてきた。

今回シリーズ化した0.18 μ mの4M/8Mビット低消費電力SRAMでは、低電圧動作、低消費電力及びソフトエラー耐性の向上などを目的として、フルCMOS型のメモリセルを用いた(図2)。

3.2 内部同期回路

低消費電力SRAMでは、一般的に使用されている内部同期回路を使用し、オートパワーダウン方式を採用している。

このタイミングを、3V、1.8Vのそれぞれの電源電圧及びチップのアーキテクチャにおいて最適化した。

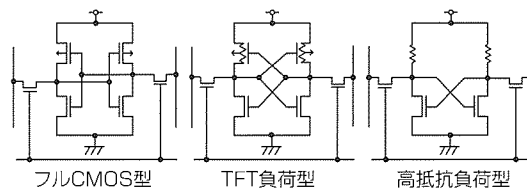
これにより、すべての品種において同等の高速性能を持つとともに動作時の電源電流を低減し、電圧マージンの確保も可能となった。

3.3 マスタ/スライス方式

8Mビット品では、図1に示したように、48ボールのM5M5W816WG及び52ピンのM5M5W817KT、44ピンのM5M5W816TPを準備した。これらはピン配置が全く異なるため、必要となるボンディングパッド配置も異なる。これを同一チップで実現するのは非常に困難であり、全くの別チップとすると開発効率、生産性が低くなる。そのため、この両者を第二アルミ配線の工程のマスクを切り換えるマスタ/スライス方式によって実現している。

3.4 ボンディングオプション方式

4Mビット品では、図1に示したように、48ボールのM5M5V416CWG及び52ピンのM5M5V416CKTに対応可能とした。これらはピン配置が全く異なるため、必要となるボンディングパッドが異なる。4Mビット品では、8Mビット品よりも更に生産性効率を追求し、アセンブリ時に使用するボンディングパッドを変更するのみでそれぞれのパッケージに対応可能になるボンディングオプション方式を



	低電圧動作	スタンバイ電流 データ保持電流
フルCMOS型	○	○
TFT負荷型	×	△
高抵抗負荷型	×	×

図2. SRAMのメモリセル

採用した。

4. 製造技術

4.1 ウェーハプロセス技術

プロセス技術については、分離や配線などの基本的なところは、量産中の8M3Vを踏襲している。

1.8V品の低電圧での高速化と3V品の比較的高い電圧でのスタンバイ電流低減の兼ね合いから、トランジスタのゲート長、 V_{th} 、ソースドレイン注入のイオン注入条件を電源電圧に合わせて最適化している。

つまり、1.8V品では低電圧におけるトランジスタの駆動力を大きくしておき、3V品では高電圧におけるリーク量を極力抑えることになり、これにより、双方の電圧において同等の高速性能でかつ低消費電力が実現できた。

4.2 アセンブリ技術

8MビットのCSPにおいてアセンブリ技術を駆使することにより、7.5mm×8.5mmと、チップサイズに比較して小さいパッケージに収納することが可能となった。

5. 電気的特性

図3にアクセスタイムと電源電圧の関係を表したシュミュレーションプロットを示す。また、図4にスタンバイ電流の電源電

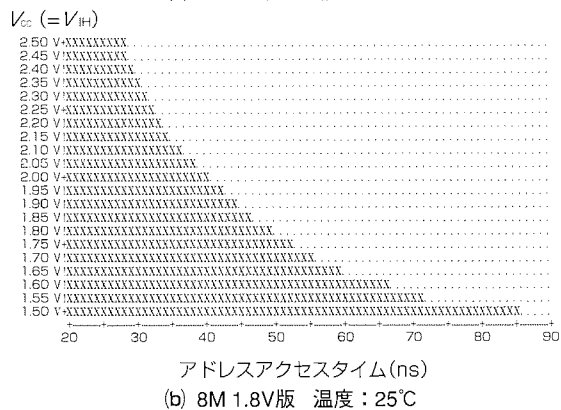
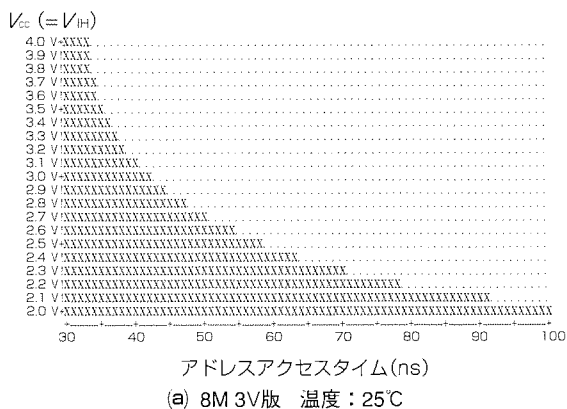


図3. アクセスタイムと電源電圧の関係

圧依存性を示す。図5には動作時電源電流のサイクルタイム依存性を示す。

アクセスは、1.8V版は70ns以下@ $V_{cc}=1.65V$ 、3V版は55ns以下@ $V_{cc}=2.7V$ 、室温時のスタンバイ電流は、1.8V版は1 μA 以下@ $V_{cc}=2.3V$ 、3V版は5 μA 以下@ $V_{cc}=3.6V$ 、サイクルタイム70nsにおける動作時電源電流は、1.8V版は20mA以下@ $V_{cc}=2.3V$ 、3V版は50mA以下@ $V_{cc}=3.6V$ と高速動作を達成するとともに、動作時及びスタンバイ時の低消費電力化も達成できた。

6. む す び

最新の回路技術と0.18 μm プロセス技術を駆使し、4M/8Mビット低消費電力SRAMの3V/1.8Vシリーズ化を達成した。電源電圧に見合ったプロセス/回路の最適化により、双方の電圧において同等の高速性能を持ちかつ低消費電力化を実現した。

また、アセンブリ技術を駆使することで、小型機器に最適なCSPに収納することができた。

今後も機器の高機能化・小型化・低消費電力化の要求は進んでいくものと考えられる。それに伴い、その部品である低消費電力SRAMに対しても、なお一層の高速化・大容量化・低電圧化及び低消費電力化が要求されてくる。

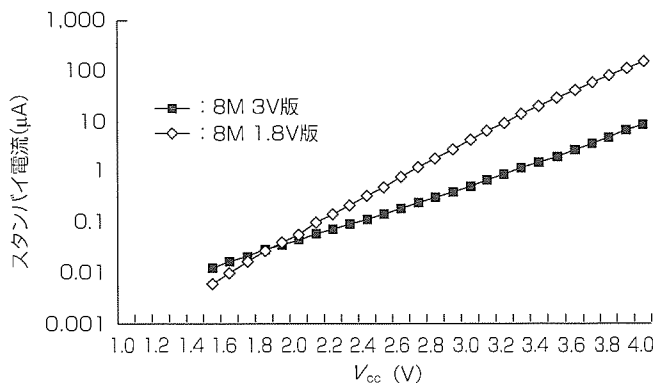


図4. スタンバイ電流の電圧依存性(室温)

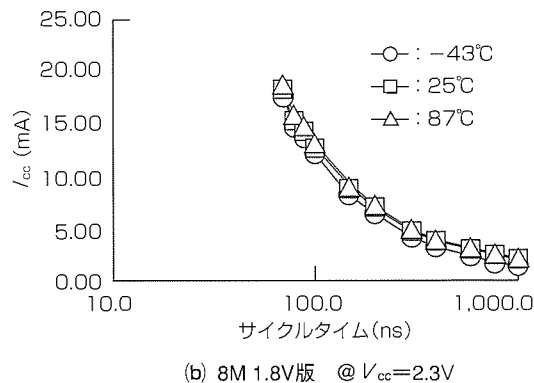
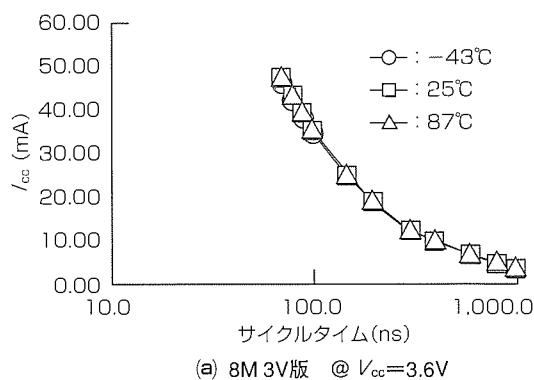


図5. 動作電流のサイクルタイム依存性

当社では、これらの市場要求に対応するため、今後も回路技術やプロセス技術、アセンブリ技術における技術革新を進め、高速化・大容量化・低電圧化・低消費電力化を実現する低消費電力SRAMを開発していく予定である。

参考文献

- (1) 広瀬愛彦, ほか: 第二世代4Mビット低消費電力SRAM, 三菱電機技報, 69, No.10, 941~945 (1995)
- (2) 池田和也, ほか: 0.18 μm 8M SRAM, 三菱電機技報, 74, No.3, 214~218 (2000)

携帯機器向け 大容量モバイルRAM搭載MCP

築出正樹*
鈴木富夫*
奥垣 明*

要 旨

次世代携帯電話では、インターネット接続はもとより、音楽、画像、ゲームなどの配信、電子決済、テレビ電話など、大容量のデータ通信・処理を必要とする様々なサービスが予定されている。これらに対応するために、携帯電話端末を始めとする携帯機器に搭載されるワークRAM (Random Access Memory)には、小型・大容量・低消費電力・低価格が求められている。

三菱電機ではこれらの要求を実現することができる新しいワークRAMを“モバイルRAM”として独自に開発し、当社独自の小型パッケージ技術により、フラッシュメモリ及びSRAM (Static RAM)とともに同一パッケージに封止したS- μ MCP (Stacked micro Multi Chip Package)として量産化している。

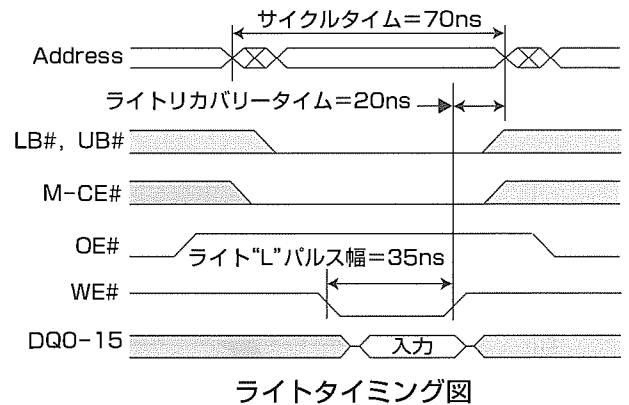
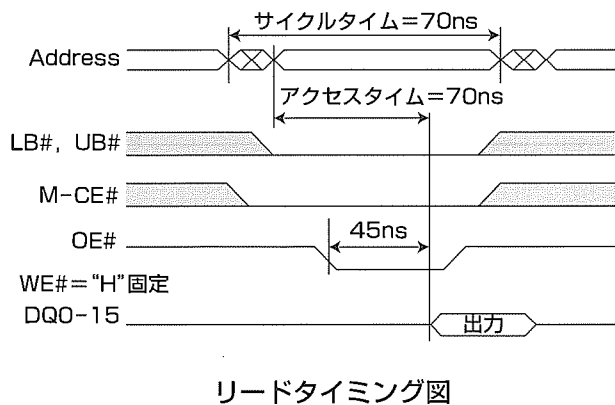
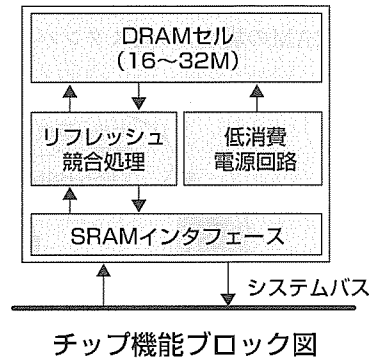
今回開発したモバイルRAMは、周辺回路をCMOSプロセスで製造し、メモリセルにDRAMセルを採用した16Mビット及び32MビットワークRAMである。セルは完全ヒドンリフレッシュとなっており、外部クロック及びシステム側によるリフレッシュ制御は一切必要がない。

入出力インタフェースは非同期型SRAMと互換性がある。さらに、コマンドモード入力により、メモリ領域を複数のブロックに分割するデータ保持ブロック選択機能やソフトウェア・パワーダウンモード機能などを備えている。

モバイルRAMは、小型・大容量・低消費電力・低価格のワークRAMを必要とする高機能携帯電話及び携帯型パソコンに最適である。

モバイルRAMの製品概要

語 構 成	1M×16	2M×16
動作電圧	2.7~3.0V	
スタンバイ電流	60 μ A	80 μ A
パワーダウン電流	10 μ A	
アクセスタイム	70ns	
コマンドモード	データ保持ブロック選択機能、ソフトウェア・パワーダウン機能など	
パッケージ	52ピン S- μ MCP (Stacked micro MCP)	



モバイルRAMのブロック図と製品概要

モバイルRAMの製品概要、チップ機能のブロック図、及びリード/ライトタイミング図を示す。モバイルRAMは、完全ヒドンリフレッシュとなっているため、DRAMのように外部クロック及びシステム側によるリフレッシュ制御は一切必要がない。入出力インタフェースは非同期型SRAMと互換性がある。コマンド入力によるデータ保持ブロック選択機能やソフトウェア・パワーダウン機能などを備えている。

1. ま え が き

携帯電話端末を始めとする携帯機器に搭載されるワークRAMにはSRAMが用いられている。近年、携帯電話の高機能化に伴い、高度なサービス(例えばインターネット接続、音楽・画像配信、電子決済など)に対応できる小型・大容量・低消費電力・低価格のワークRAMが求められており、SRAMに代わってSRAM互換の新しいワークRAMの出現が期待されている(図1、図2)。

三菱電機ではこれらの要求を実現できる新たなワークRAMを“モバイルRAM”として独自に開発した。モバイルRAMのメモリセルにはDRAM(Dynamic RAM)セルを採用しているが、完全ヒドンリフレッシュとなっているため、DRAMのように外部クロック及びシステム側によるリフレッシュ制御は一切必要がない。入出力インターフェースは非同期型SRAMと互換性がある。

本稿では、モバイルRAMの特長及びその特性を述べる。

2. モバイルRAMの製品概要

表1にモバイルRAMの製品概要を示す。

語構成では1M×16と2M×16の2タイプの選択が可能である。動作電圧は2.7~3.0Vであり、スタンバイ電流は60μA(1M×16モバイルRAMの場合)と80μA(2M×16モバイルRAMの場合)の低スタンバイ電流を実現した。パワ

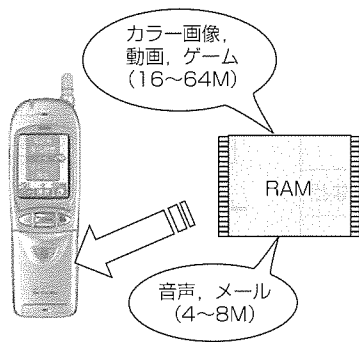


図1. ワークRAMへの要求

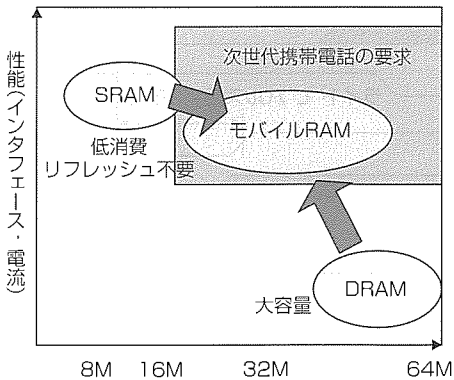


図2. メモリ容量

ーダウン電流は、どちらのタイプにおいても10μAである。アクセスタイムとサイクルタイムは共に70nsと業界No.1の速度を実現した。コマンド入力による部分的データ保持機能(データ保持ブロック選択機能)やソフトウェア的にパワーダウンに設定させる機能(ソフトウェア・パワーダウン機能)などを備えている。

3. 回路技術

3.1 モバイルRAM

モバイルRAMは、高機能化が進む携帯機器に最適なワークRAMである。メモリセルにはDRAMセルを用いて小型・大容量を実現した。内部リフレッシュと外部アクセス要求の競合処理を最適化し、アクセスの高速化と非同期型SRAMとの互換を可能にした。また、電源回路の消費電流低減とコマンド入力によるデータ保持ブロック選択機能により、低スタンバイ電流を実現した。このようにして、DRAMの大容量化技術を用いながらSRAMの低消費と使いやすいインターフェースを同時に実現することができた(図3)。

3.2 SRAM互換のインターフェース

図4、図5にモバイルRAMのリード及びライトのタイミング図を示す。主な制御信号にSRAMと同一信号を用い、基本動作タイミングもSRAMのものに合わせている。また、リフレッシュ動作の制御はすべて内部で処理を行っており、SRAM互換のインターフェースを実現している。

表1. モバイルRAMの製品概要

語構成	1M×16/2M×16
動作電圧	2.7~3.0V
スタンバイ電流	60μA/80μA
パワーダウン電流	10μA
アクセスタイム	70ns
サイクルタイム	70ns
ソフトウェアコマンド制御	データ保持ブロック選択機能 ソフトウェア・パワーダウン機能 ウェークアップ機能
パッケージ	52ピン S-μMCP

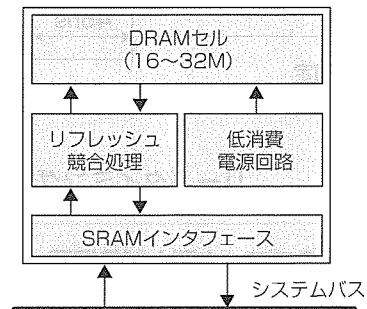


図3. チップ機能のブロック図

3.3 デバイスの特性

デバイスのアレー分割，負荷分散を最適化することによって低消費電力と高速化(70ns)を実現している。また，内部のリフレッシュ動作を行っている際のデバイス動作については，競合処理制御の最適化を行って，外部の特性を変えずに内部のリフレッシュ動作を行っている。低消費電力化のために，内部リフレッシュ動作制御の最適化と，コマンドモードによるデータ保持ブロック選択機能及びソフトウェア・パワーダウン機能を開発した。

4. ソフトウェアコマンド制御 (1M×16モバイルRAMの例)

4.1 コマンドモード設定

モバイルRAMは，ソフトウェア的に各種機能を設定することができる。これら付加機能は，デバイスに所定のコ

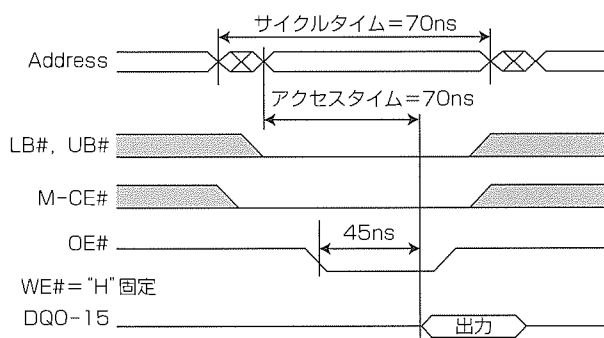


図4. リードタイミング

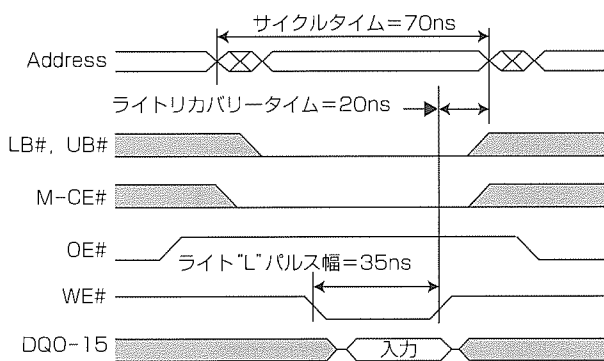


図5. ライトタイミング

マンドを入力することによって設定される。入力されたデータをコマンドとしてデバイスが認識するためには，通常のリード及びライトモードであるノーマルモードから，コマンドモードにあらかじめ設定する必要がある。

コマンドモードは，最終アドレスを連続して4回以上リードすることによって設定できる。ただし，4回未満でモバイルRAM内の他のアドレス(最終アドレス以外)へアクセス(リード又はライト)した場合は，その時点でコマンドモード設定用カウンタがリセットされ，コマンドモードには設定されない。再びコマンドモードに設定するには，再度最終番地を4回以上連続してリードする必要がある。リードの回数は4回以上であればよく，上限はない。

コマンドモードに設定した後，最終アドレスを指定した状態で各種コマンド(表2)を入力する。いったんコマンドモードに設定されると，ライトデータはコマンド又はコマンドに伴う特別なデータとして認識され，またリード動作もコマンドに伴う特別なデータのみが周辺回路から読み出される。

なお，各種コマンドは，データの下位バイト(DQ7～DQ0)のみが有効で，上位バイト(DQ15～DQ8)は無視される。

4.2 データ保持ブロック選択コマンド (D3H/データ/D0H)

2Mビットごとに分割されたブロックは，各々独立にデータの保持指定が可能である。データ保持ブロックを選択するには，最終アドレスを選択した状態の第一サイクルでD3Hをライトし，続く第二サイクルで選択するブロックのデータ(表3：データ保持ブロックデータ参照)をライトする。そして最後に，第三サイクルで確認コマンドとしてD0Hをライトする。この設定により，選択されたブロックのみのデータがリフレッシュされる。また，このデータは，ソフトウェア・リセットコマンドにより，デフォルト(全ブロックがデータ保持状態)に設定される。

4.3 ソフトウェア・パワーダウンコマンド(B1H/D0H)

最終アドレスを選択した状態でB1Hをライトし，続いて確認コマンドとしてのD0Hをライトすることにより，デバイスをパワーダウン状態(消費電流1μA：標準)にする

表2. コマンドリスト

コマンド ⁽³⁾	第一バスサイクル			第二バスサイクル			第三バスサイクル		
	モード	アドレス	データ ⁽¹⁾ (DQ0-7)	モード	アドレス	データ ⁽¹⁾ (DQ0-7)	モード	アドレス	データ ⁽¹⁾ (DQ0-7)
ソフトウェア・パワーダウン	ライト	最終アドレス ⁽⁴⁾	B1H	ライト	最終アドレス ⁽⁴⁾	D0H			
ウェークアップ	ライト	最終アドレス ⁽⁴⁾	FAH						
データ保持ブロック選択	ライト	最終アドレス ⁽⁴⁾	D3H	ライト	最終アドレス ⁽⁴⁾	DHB ⁽²⁾	ライト	最終アドレス ⁽⁴⁾	D0H

(1) 上位バイト(DQ15-8)のデータは無視される。したがって，各種コマンド設定時は必ずLB#は“L”レベルにすること

(2) DHB=データ保持ブロック(データ保持ブロック一覧を参照)

(3) 各種コマンドは必ずコマンドモードに設定されなければ受け付けられない

(4) 16MモバイルRAMの最終アドレスはA0-A19に対するFFFFFFHである

表3. データ保持ブロックデータ

データ (DHB)	対象ブロック		定義	
	ブロック名	ブロックアドレス(A19-A0)	"1"	"0"
DQ0	ブロック0	(00000H-1FFFFH)	保持	非保持
DQ1	ブロック1	(20000H-3FFFFH)	保持	非保持
DQ2	ブロック2	(40000H-5FFFFH)	保持	非保持
DQ3	ブロック3	(60000H-7FFFFH)	保持	非保持
DQ4	ブロック4	(80000H-9FFFFH)	保持	非保持
DQ5	ブロック5	(A0000H-BFFFFH)	保持	非保持
DQ6	ブロック6	(C0000H-DFFFFH)	保持	非保持
DQ7	ブロック7	(E0000H-FFFFFFH)	保持	非保持

ソフトウェアリセットを設定すると、全面データ保持(デフォルト)に設定される

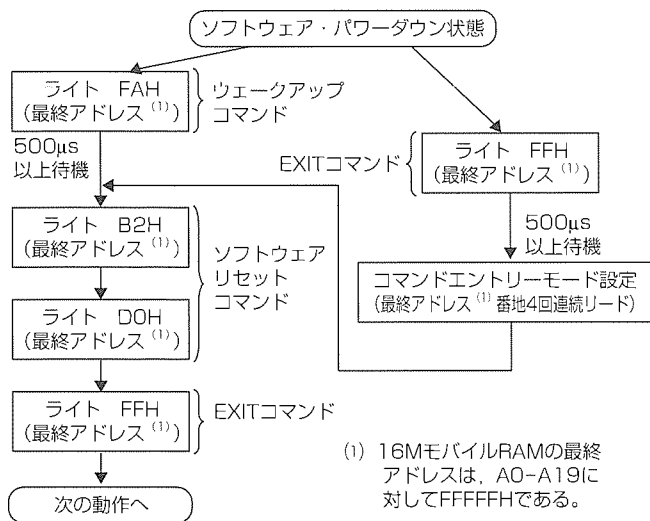


図6. ウェイクアップシーケンス

ことができる。パワーダウン状態ではメモリの情報は保持されない。

4.4 ウェイクアップコマンド (FAH)

最終アドレスを選択した状態でFAHをライトすることにより、パワーダウン状態から抜ける。その後通常のリード/ライトが可能でノーマルモードに設定するためには、「ウェイクアップシーケンス」(図6)が必要である。

5. パッケージ技術

既に量産中であるフラッシュメモリやSRAMと同一パッケージでS-μMCPに封止可能にした(図7)。そうすることで、モバイルRAM、フラッシュメモリ、SRAMの三種の種類を自由に組み合わせたパッケージで解が持てるようになった。

6. 実デバイスの評価結果

図8, 図9にアクセスタイム及びサイクルタイムの電源電圧依存性を示す。測定条件は周囲温度87°Cである。広範囲の電源電圧条件において、十分スペックを満足しており、高速動作を実現している。

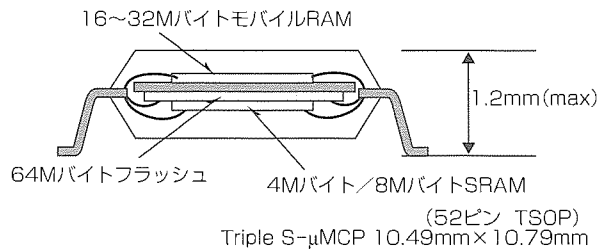


図7. S-μMCPの構造断面図

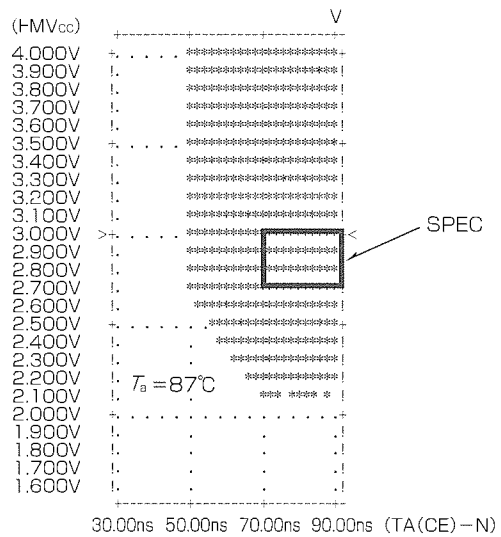


図8. アクセスタイムシュミ

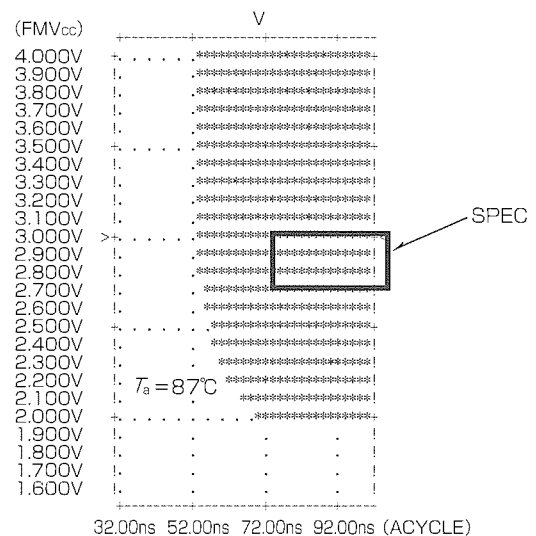


図9. サイクルタイムシュミ

7. む す び

今回、1M×16と2M×16構成のモバイルRAMを開発した。この製品は、小型・大容量・低消費電力・低価格のワークRAMを必要とする高機能携帯電話及び携帯型パソコンに最適である。

sTSOP搭載メモリモジュール

福元孝和* 筆保吉雄*
松浦哲也**
三角和幸**

要旨

メモリモジュールは、Server/Work Station等のHigh End機器から、デスクトップパソコン/ノートパソコン等の用途まで幅広く使用されているが、インターネットの普及等によって大量の情報を処理する必要があり、大容量のメモリモジュールの要求が高まってきている。

一般に使用されるメモリモジュール製品は、JEDEC (Joint Electron Device Engineering Council)で標準化されており、製品外形が規格化されている。

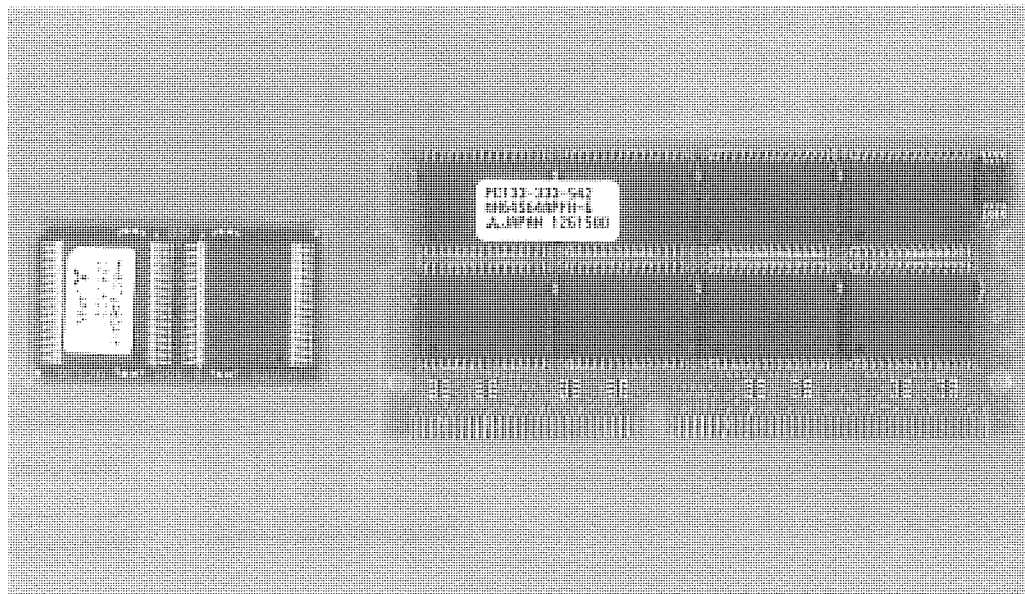
大容量メモリモジュールを実現するためには、搭載メモリの容量を増やすか搭載メモリの実装方法を工夫するなどの方法が考えられる。

このような市場要求を満たすため、今回小型パッケージ

(small Thin Small Outline Package : sTSOP)のメモリを開発し、それを搭載することにより、限られた基板サイズに対し実装効率を上げて大容量メモリモジュールの実現を可能とした。

また、パッケージの外部リードの長さを変えて三次元積層実装を行い、モジュール基板にく(矩)形の孔部を設けパッケージを埋め込む三菱電機独自のモジュール構造を持つBGA (Ball Grid Array)構造の超小型・大容量メモリモジュールを開発した。

この製品は、従来メモリモジュールを使用していなかった携帯端末やOA機器などの分野に対し、高機能・小型化を実現する手段として使用することができる。



sTSOP搭載大容量メモリモジュールの外観

小型メモリパッケージ(sTSOP)を開発したことにより、メモリモジュールの外形サイズ制約の中でも大容量の製品を実現することができた。写真の製品は、512Mバイトを実現したノートパソコン用メモリMH64S64APFH(右)と、モジュールとしての新たな分野である通信・ネットワーク関連の小型端末をターゲットとした超小型・大容量メモリモジュールMH8S72ABGA(128Mバイト品)である。

1. ま え が き

システムの高速・高性能が進む中、処理できるデータ量の要求も多くなっており、High End機器に限らずノートパソコンなどの用途でも大量の情報処理を行うため、大容量のDRAMモジュールの要求が高まってきている。現在は128Mバイト／256Mバイトのメモリ容量製品が主流であるが、今後はノートパソコン用途のメモリ容量が512Mバイトまで広がり、High End機器用途のメモリ容量は2Gバイトにまで拡張されると予想する。

本稿では、このような客先要求に対する三菱電機の大容量メモリモジュール実現のSolutionとしてのsTSOPの開発と、そのパッケージを搭載した大容量メモリモジュールの開発経緯について述べる。

また、DRAMモジュールとしての新たな使用分野として通信・ネットワーク関連の小型端末をねらった当社独自のモジュール基板構造を持ち、sTSOPを搭載した小型・大容量モジュールの開発経緯についても述べる。

2. sTSOPの開発

2.1 sTSOPの開発背景

64ピンsTSOPは、大容量のメモリモジュールを始めとして更なる高密度実装の需要の流れを受けて開発されたものであり、超小型／高速動作に対応している。また、SDR(Single Data Rate)／DDR(Double Data Rate) SDRAM (Synchronous DRAM)で基本信号のピン配置を共通化することによって治工具類の共通化を図り、結果として製品開発期間の短縮と製品コストの低減が期待される。

2.2 パッケージ小型化技術

64ピンsTSOPの開発に当たり、下記に示す点を考慮して検討を進めた。

- (1) 実装面積を可能な限り小さくする必要があり、このため、パッケージサイズも可能な限り小さくすること。
- (2) 製品展開を考慮し大容量のDRAMチップが搭載できること。具体的には128Mバイト、256Mバイト品を搭載できること。
- (3) 高密度実装大容量モジュール／BGA構造三次元実装モジュールへ効果的に展開できるパッケージサイズであること。
- (4) 現在sTSOPとして48ピンTSOPを量産展開しているが、多ビット品やDDR-SDRAMにも対応できるようにピン数を考慮すること。

以上のことから、外形サイズ13.1mm×10.65mm 64ピン(0.4mm Lead Pitch, Body 13.1mm×9.05mm)のパッケージを開発することを決定した。

このパッケージは、当社独自の2枚フレームを用いたLOC(Lead On Chip)構造を採用することにより、256Mバ

イトSDR／DDR SDRAMの搭載を可能にした。また、サイズを標準TSOPに対して約50%に縮小することによって高密度実装を可能としているが、今回更なる大容量化を実現するために、パッケージリード長を長くした製品ハイスランドオフ品を導入することで、パッケージの上にパッケージを重ねた三次元積層構造を可能とし、従来のTSOPの単位メモリサイズ当たりの実装面積に対して約3倍密度の実装が可能となる(図1)。

このハイスランドオフパッケージ品を開発する上での技術課題としてはリード加工品質(平たん(坦)度、位置度など)が挙げられたが、現時点では、通常スタンドオフ製品と同等レベルの品質を確保することが確認できている。

3. 標準大容量メモリモジュールの開発

図2に、ノートパソコン用途のメインメモリ及び拡張メモリとして使用されるSODIMM(Small Outline DIMM)の外形図を示す。TSOPパッケージを基板の表裏に最大8個まで実装できるが、現在のメモリデバイスの最大容量(256Mバイト)ではモジュールのメモリ容量も256Mバイト

パッケージ	400mil TSOP	64ピン sTSOP	
		通常タイプ	スタック対応タイプ
上面図 (mm)			
側面図 (厚さ: mm)			
実装面積	261mm ² (100%)	140mm ² (54%)	170mm ² (65%)
メモリサイズ (256Mバイト単体のケース)	32Mバイト	32Mバイト	64Mバイト
実装密度比 (単位メモリサイズ)	1 (8.16mm ² /Mバイト)	1.9 (4.38mm ² /Mバイト)	3.1 (2.66mm ² /Mバイト)

図1. 実装面積比較

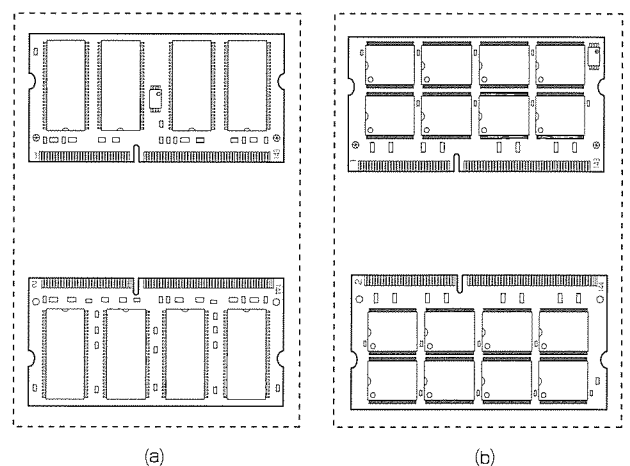


図2. SODIMMの外形

までしか実現できない(図の(a))。512Mバイトの客先要求を実現するためsTSOPを基板上に16個実装することによって大容量モジュールを可能とした(図の(b))。

高密度の部品実装を行うためモジュール基板の配線設計に対し自由度が限られてくる。そのため、配線の引き回し方法によって反射などの問題が起きてくる。こういった問題に対してシミュレーションによって最適な配線設計を行った結果を図3に示す。基板配線上、分岐点でのデバイス接続数が異なると容量負荷がアンバランスになり、反射が発生している。分岐点での容量負荷バランスを調整して接続することで反射を抑えることができる。

このように基板配線に注意してsTSOPを搭載することで、基板外形の制約の中でも大容量モジュールを実現することが可能となった。sTSOPに封止するメモリ自体の容量を増やすことができれば、更なる大容量製品の実現も可能となる。

4. 超小型・大容量モジュールの開発

4.1 超小型・大容量モジュール開発の背景

ここまで述べてきた製品はパソコン、Server/Work Stationなどの用途に主に使用されているが、DRAMモジュールの新規使用分野の開拓が今後の課題となっている。ここで述べる製品は、通信・ネットワーク関連の小型端末など省スペース・大容量が必要とされる機器向けに開発を行ったBGA構造を持つ超小型・大容量モジュールである。

小型機器用途のメモリとしてチップを積層したものを樹脂で封止したMCP(Multi Chip Package)が市場で一般化されてきたが、一つのパッケージ内に積層できるチップの個数、チップを薄くする技術等の制約があり、小型でメモリ容量の大きいメモリ製品の実現が難しい状況にある。機器の小型・高速・高機能化の要求に対応するために、当社独自の基板構造を開発し、はんだボールで実装するBGA

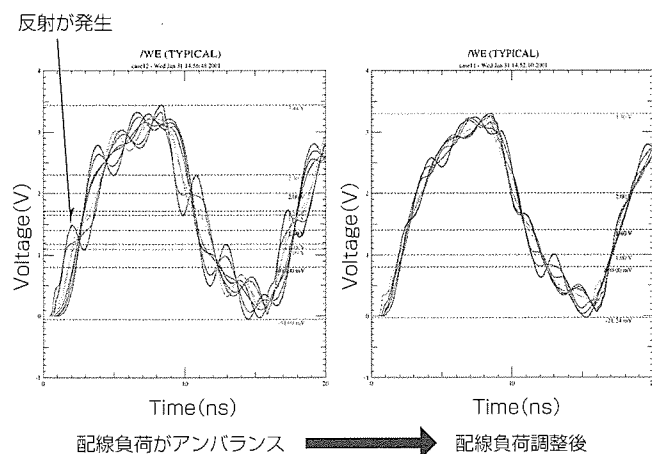


図3. 配線変更前後のシミュレーション波形

構造にすることで、32mm×18mmの従来のTSOPと同等の大きさで最大128Mバイトのメモリ容量を実現し、MCP以上の大容量製品の提供が可能になった。

4.2 BGA構造超小型・大容量モジュールの基本構造

図4に三次元実装BGA構造モジュールの基本構造を示す。このモジュールは、2種類のスタンドオフ高さを持つ0.4mmリードピッチsTSOPが上基板の表面に4個積層実装され、同基板の裏面側にも1個実装されている。裏面のsTSOPに相当する位置に矩形的の孔部を設けた下基板をはんだボールによって上基板と接合することにより、裏面のsTSOPが基板内部に潜り込む形となることでモジュール高さを最小限に抑え、高密度実装モジュール構造を実現した。

4.3 製造プロセス

このモジュールの製造プロセスは、大きく二つのプロセスからなるが、基本的には既存設備の流用が可能で、低コスト化を実現した。全体のプロセスを図5に示す。

4.3.1 パッケージ搭載プロセス

印刷は従来のスクリーン印刷方式を用い、sTSOPは0.4mmリードピッチとリードが狭ピッチであるため、印刷抜け性を考慮して微細粒タイプのもを使用した。パッケージ搭載は、通常スタンドオフパッケージを搭載した後にハイスタンドオフパッケージを搭載しているが、ハイスタンドオフパッケージのリードが変形しやすいことを考慮し、搭載機の設定条件(押し込み量、押し込みばね圧、押し込みスピード)を最適化した。

4.3.2 モジュール化プロセス

この工程は、印刷、ボール搭載、リフロー工程を経てボール付け実装された下基板の反対面にペースト印刷を行い、上基板に搭載する。このとき、上下基板の搭載は、二また形状のノズルを用いて、上基板表面に実装された2個のパッケージ表面を同時吸着することによって実現した。

4.4 特殊構造に起因する問題点の対策

この製品の構造を決定するに当たり、小型機器への実装時の基板材料の違いによるはんだ接合部分のひずみ量につ

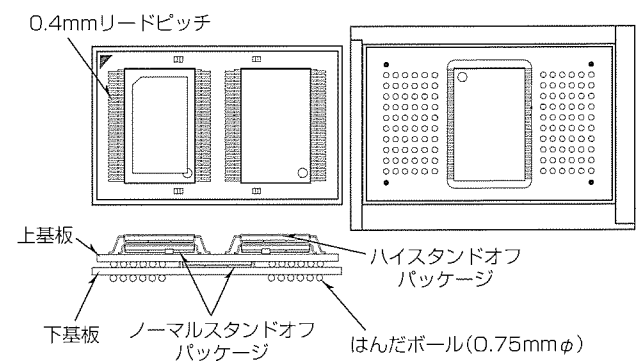


図4. 超小型・大容量モジュールの構造

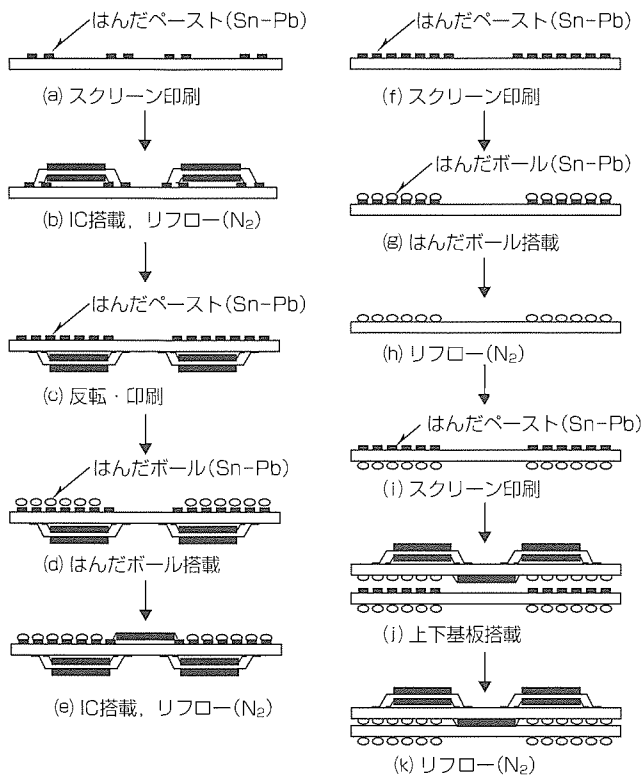


図5. 実装プロセス

いてシミュレーションを実施した。各部位のひずみ量の結果を図6に示す。小型機器の基板をFR4材と考えた場合、各接合部位(ハイスタンドオフ品の接合部, 通常スタンドオフ品の接合部, 上下基板の接合部, 機器の基板との接合部)のはんだひずみ量が小さくなる最適な上下基板材料の組合せは以下のとおりとなる。

- メモリを実装する上部基板は低熱膨張基板 (FR5材相当基板, 熱膨張係数13ppm)
- 下部基板は低熱膨張基板 (FR5材相当基板, 熱膨張

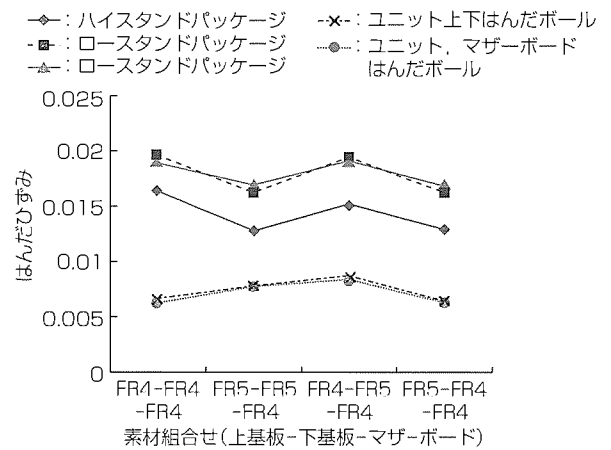


図6. はんだひずみシミュレーション結果

係数12ppm)

この上下基板材の組合せにより、この製品を実際に基板に実装し応力が掛かった場合でも、十分な製品信頼性を確保できるという結果が得られた。

5. む す び

今回、sTSOPの開発及びそれを搭載した各種モジュールの開発を行い、当社の大容量製品のラインアップを充実させることができた。また、新たな分野を開拓する目的で開発したBGA構造超小型・大容量モジュールにより、高密度実装技術及びモジュール自体の小型化技術を確立できた。

今後、更にシステムの小型化が進むと考えられ、当社も今回確立できた技術を応用し、様々な市場要求にこたえることのできる独自性を持った製品の開発を行っていく所存である。

混載DRAM用モジュールジェネレータ

諸岡毅*
渡邊直也*
小田学洋**

要旨

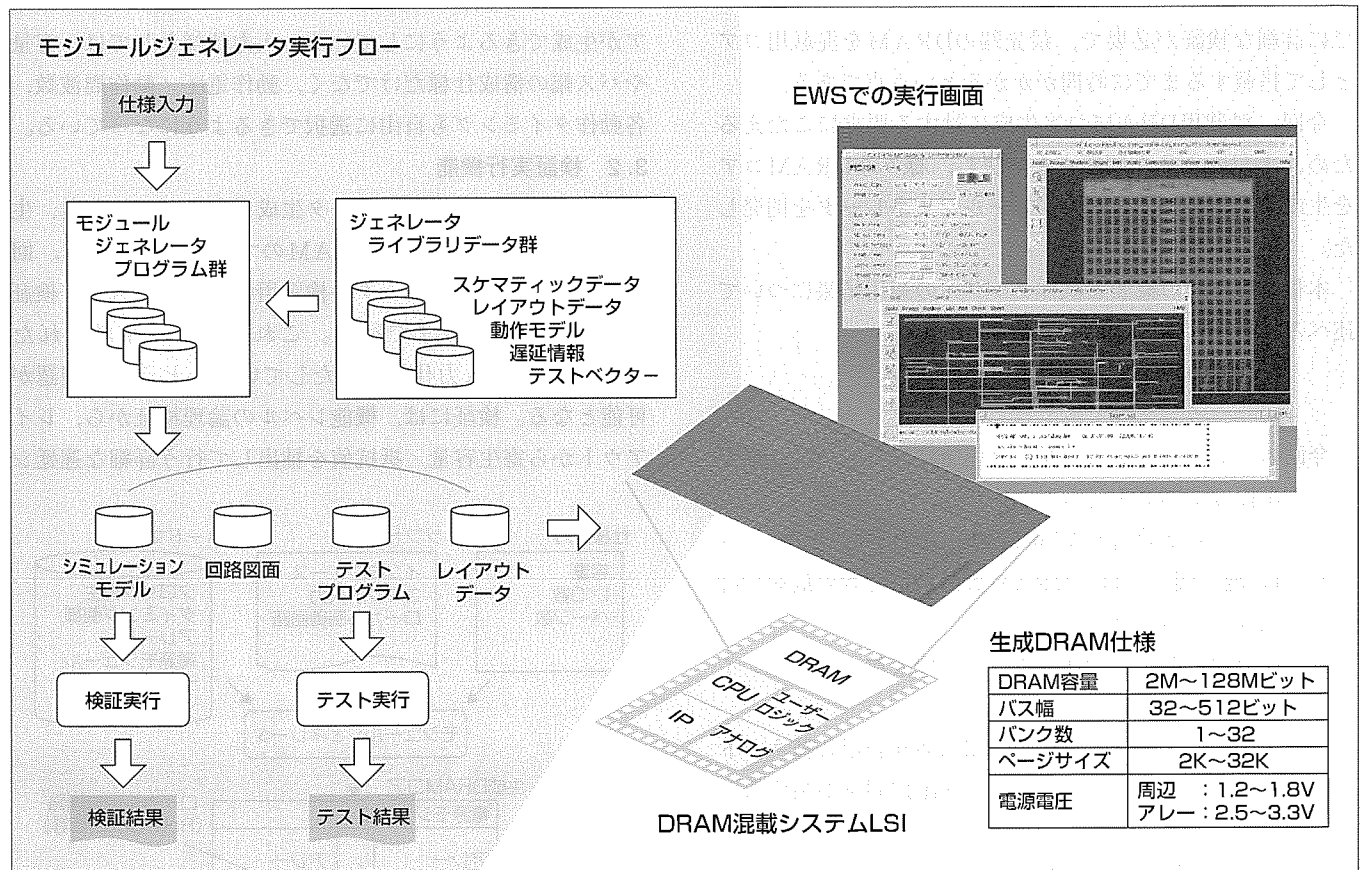
様々な要求仕様にこたえなければならないシステムLSIでは、搭載されるDRAMにも多岐にわたる仕様のものが必要となる。今回、仕様を入力することでDRAMコアを生成する混載DRAM用モジュールジェネレータを開発した。

DRAMをジェネレータで生成して供給する場合、回路図面やレイアウトデータ等は作成されても、生成されたDRAMコアが正常に動作することを検証するには、生成する仕様の設定や検証方法に対してDRAM内部の構造についての知識が必要であった。

今回開発した混載DRAM用モジュールジェネレータは、

レイアウト検証からタイミング検証やテストプログラムまで含めたDRAMをシステムLSIに搭載するために必要となる様々なデータベースを生成する。また、検証データを生成するだけでなく、その検証結果の自動判定まで行う機能を持っている。このため、DRAM設計経験のない設計者でも要求仕様に適した混載用DRAMの作成が可能となる。

このモジュールジェネレータを0.18μm混載用DRAMに適用した結果、2M~128Mビットまで10万通り以上の選択肢から生成仕様が選択でき、動作範囲も電源電圧1.2~1.8V、最高動作周波数200MHzの幅広い仕様で生成が可能であることを確認した。



モジュールジェネレータの実行フローと操作画面例

今回開発した混載DRAM用モジュールジェネレータでは、要求仕様を入力のみで、回路図面やレイアウトデータはもとより、検証用データやテストデータの生成から検証の自動判定まで行うことが可能となった。

1. ま え が き

DRAM混載システムLSIでは、その用途の広がりにつれて、搭載されるDRAMにも多岐にわたる仕様のものが必要となる。今回、仕様を入力することで混載用DRAMコアを生成するモジュールジェネレータを開発した。

モジュールジェネレータというのは、システムLSIに搭載されるメモリのように規則性のあるブロックでかつ数多くの要求仕様にこたえなければならないブロックの設計において、必要とされるメモリ容量やバス幅などの回路の仕様を入力することでその回路のマスクレイアウトを生成するEDAツールのことである。

DRAM混載のLSIに対しても、搭載するDRAMコアに対する要求仕様の多様化に対応していくためには、モジュールジェネレータによる生成がコア供給の有効な手段となることが予想される。しかしながら、DRAMをジェネレータによって供給するに当たっては、幾つかの課題がある。一つは、生成されたDRAMコアが正常に動作することを検証するためには、生成する仕様の設定や検証方法に対してDRAM内部の構造に対する知識が必要になること。もう一つは、大容量のDRAMをモジュールジェネレータで生成できるようにするためには、ジェネレータへ組み込むまでに詳細な検証が必要で、最先端のDRAMを混載用コアとして搭載するまでに時間がかかるという点である。

今回、混載用DRAMコア生成に対する要求にこたえるため、上記のような問題点を解決し、様々なDRAMコアを生成することのできるモジュールジェネレータを開発した。

本稿では、その概要と試作チップへの適用結果について述べる。

2. 開発のねらい

今回のモジュールジェネレータ開発に当たっては、下記の目標を掲げて開発を行った。

- (1) システム設計者が容易に使うことができ、かつDRAM性能に関しては、DRAM設計の熟練者の最適設計が手に入れられること。
- (2) 構成だけでなく、動作電圧／動作周波数、各動作タイミングも自由に選択できること。
- (3) マスクデータだけでなく、回路図面検証用各種ネットリストと検証用ベクターを生成し、検証期間を短縮すること。
- (4) テストI/F、テストプログラムも含めて生成しテスト開発期間を短縮すること。
- (5) メモリ開発環境における生成データのハンドリングを可能とすること。

これらの目標を実現することで、仕様に合致した

DRAMコアのマスクレイアウトの生成だけでなく、それをシステムLSIチップに搭載するための検証データやテストデータの準備など、DRAMコアを利用するための各種設計データまで含めたデータ生成がDRAMの設計経験のない設計者にも可能となる。また、生成データをメモリ設計環境でも取り扱えるようにすることで先端DRAMのジェネレータ対応をスムーズに進めることができるようになるため、上述の課題を解消することができる。

3. モジュールジェネレータの特長

3.1 レイアウト生成機能

生成DRAMコアの回路／レイアウトの生成方式としては、動作検証済みのハードマクロとソフトマクロによるハイブリッド方式を採用した。図1は、このハイブリッドマクロ方式によるDRAMコアの生成を示している。これは、当社のDRAM設計のノウハウをハードマクロ内に作り込んでおきながらソフトマクロによる合成を組み合わせることによって多種のDRAMコアが生成できるため、ジェネレータ化に適したDRAM設計手法である。

ジェネレータの操作としては、DRAM設計経験のない設計者でも要求仕様に合ったDRAM生成ができるよう、メニューから仕様を選択していくだけで最適のDRAMコアが生成できるようにしている。入力仕様としては、容量やバス幅の構成仕様だけでなく、動作電圧／動作周波数、各動作タイミングも自由に選択できるようになっている。

3.2 検証実行機能

仕様が入力されると、データ生成を行う。このとき、生成されるデータとして、DRAMのマスクレイアウト、回路図面のほか、生成データの検証用のネットリスト／検証用ベクターの生成まで行う。これにより、生成されたDRAMコアが入力仕様を満たしているかどうかの確認が可能となる。検証には、機能レベルの論理検証から、レイアウトから寄生容量／抵抗値を抽出して行う詳細な遅延シ

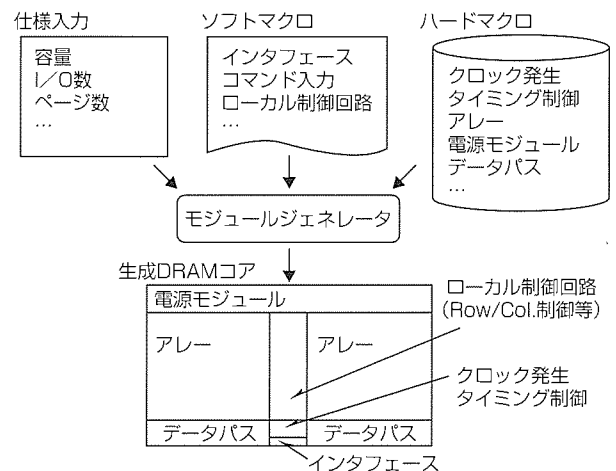


図1. モジュールジェネレータでのDRAMコア生成方法

ミュレーションも実行可能になっている。さらに、実行結果の判定機能まで含まれているため、検証ベクター生成、検証実行、検証結果判断という一連の検証がDRAM設計経験を必要とせずに実行可能となっている。図2に生成から検証までの実行フローを示す。

3.3 テストI/F生成機能

効率的な多品種少量生産が必要な混載チップにおいては、評価期間の短縮も重要な課題である。容量、アレー構成が異なると、冗長回路のプログラムや評価用/選別用テストプログラムも別のものが必要となる。また、生成コアに適した混載DRAMへのチップ上でのアクセス方法も様々になるため、今回のモジュールジェネレータでは、インタフェース方法の切換えにも対応し、選択肢の一つとしてBIST (Built-In Self Test)を選ぶことも可能とした。図3はBIST方式のテストインタフェースを組み込んだ場合のブロック図である。いずれの場合でも、テスターに入力可能なテスト用プログラムを生成する。複数の生産拠点で異なるテスターが使われている場合でも、それぞれのテスター用の言語に変換され、そのまま使用可能なプログラムを生成するので、テスト開発や移植の期間が不要となる。

3.4 メモリ開発環境への適応

生成されたDRAMコアはシステムLSIチップへの搭載を目的とするため、ASIC設計環境で用いるマクロモデルや高位言語のシミュレーションモデルを提供することができ

るが、同時に生成コアの詳細検証についてはメモリ設計環境で行うことが可能となっている。生成コアの検証をDRAMの設計環境で実行できることで、先端DRAMからのモジュールジェネレータによるDRAMコア生成をより迅速に行うことができるようになる。

モジュールジェネレータの生成選択肢には入っていない特別仕様のDRAMマクロの要求に対しても、メモリ設計環境を利用することで、要求に応じたチューニングを施すことができ、柔軟に対処することができる。

以上述べたように、今回開発したモジュールジェネレータは、

- (1) レイアウトデータの生成のみならず、シミュレーション用ネットリスト、各種検証用データからBISTを含むテ

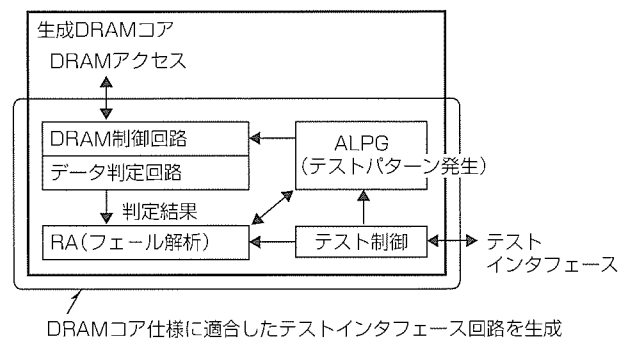


図3. テストインタフェース回路

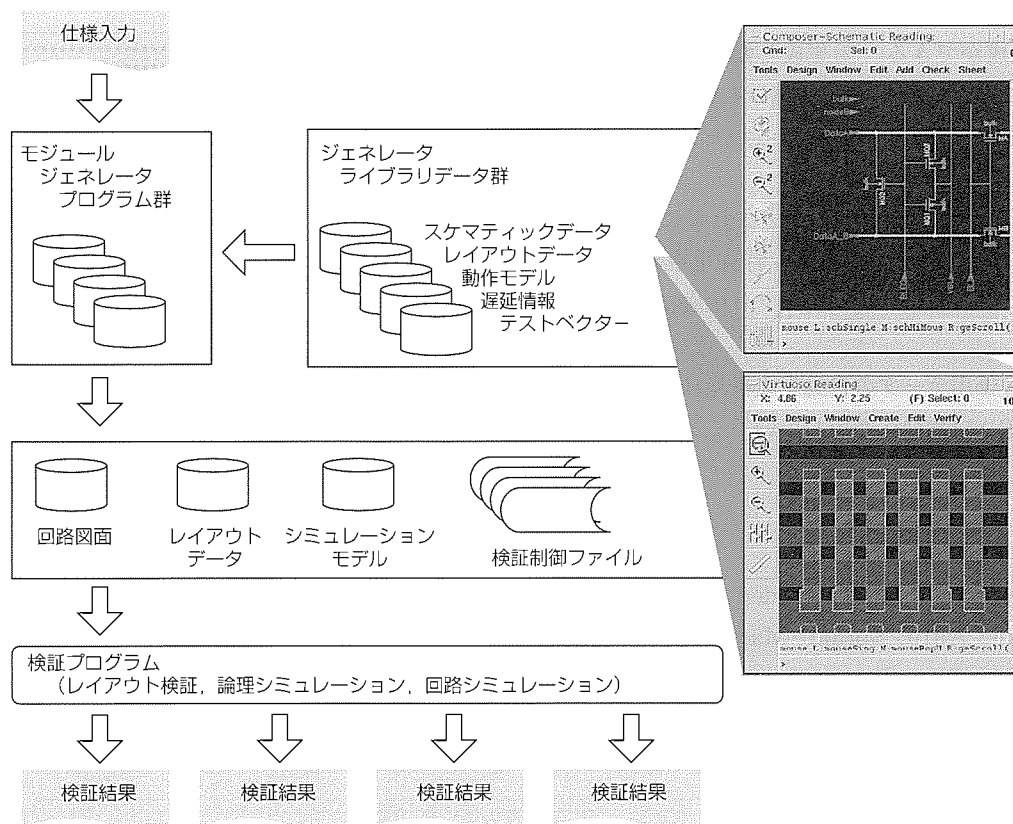


図2. モジュールジェネレータ実行フロー

スト用インタフェース回路，評価用データまで，チップ構築～評価までの間に必要となる設計データベースのほとんどを自動生成できる。

(2) メモリ容量，バス幅，ワード数の構成はもちろんのこと，動作周波数，電源電圧，動作タイミングまで含めた広範囲の仕様に適合した混載用DRAMマクロの生成を可能とした。

(3) DRAM開発に必要な詳細検証を可能とするため，生成データのシステムLSI設計環境への統合だけでなく，メモリ設計環境との親和性を考慮している。これにより，各種のメモリ設計用ツールの適用が可能となった。

最先端DRAMの設計時に必要なトランジスタ素子等のデバイスレベルの挙動を検証することも可能である。

4. 適用成果

このモジュールジェネレータを0.18 μ m混載DRAMに適用した結果，2M～128Mビットまで10万通り以上の選択肢から生成仕様が選択でき，動作範囲も電源電圧1.2～1.8V，最高動作周波数200MHzの幅広い仕様で生成が可能であることを確認した。

この0.18 μ m混載DRAMへ適用した場合の生成仕様を表1に，生成／試作した32MビットDRAMコアと動作特性を図4，図5に示す。

5. むすび

今回，①DRAM設計経験のない設計者でも要求仕様に合ったDRAM生成ができる。②生成したコアに対する検証も同様に行うことができる。③先端DRAMをすぐにコアとして搭載できる。という特長を持ったモジュールジェネレータを開発した。

メモリ設計環境との親和性が良くプロセスに合わせたDRAMマクロの最適化が可能という特長を生かして，0.15 μ m以降の先端DRAMの混載用マクロ生成にも適用が可能である。

また，検証／評価用データの自動生成機能は，カスタムDRAMや標準DRAM開発へ適用していくことも考えている。

参考文献

(1) Watanabe, N., et al.: An Embedded DRAM Hybrid Macro with Auto Signal Management and Enhanced-on-Chip Tester, International Solid-State Circuits Conference Digest of Technical

表1. 試作コア生成仕様

DRAM容量	2M～128Mビット
バス幅	32～512ビット
バンク数	1～32
ページサイズ	2K～32K
電源電圧	周辺 : 1.2～1.8V アレー : 2.5～3.3V
メタルレイヤ	3～5

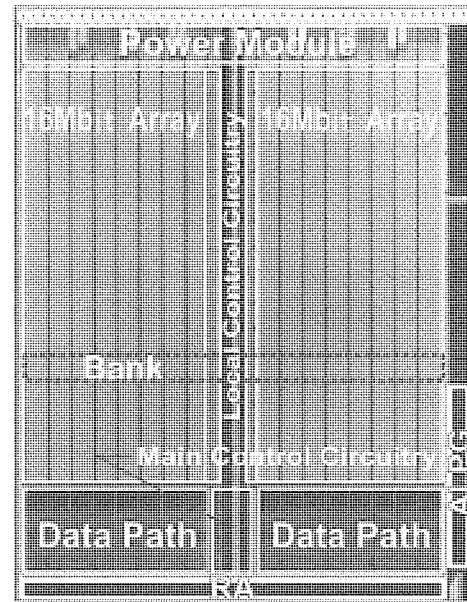


図4. 試作DRAMコア

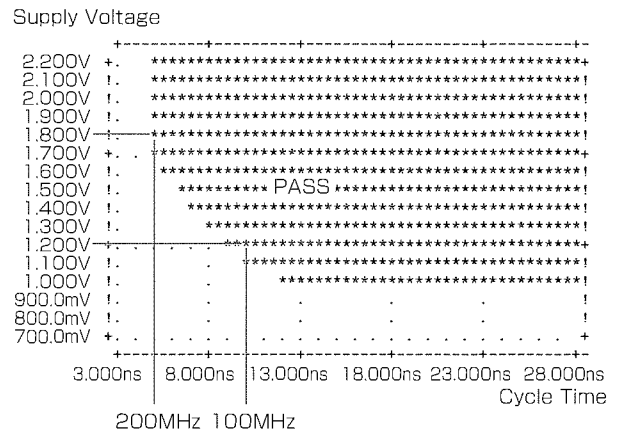


図5. 試作DRAMコアの動作特性

Papers, 388～389, 469 (2001)

(2) Nagura, Y., et al.: Testcost Reduction by at-speed BISR for Embedded DRAMs, International Test Conference (2001)

大規模高速システムLSI対応 設計システム

井上善雄* 岩永 純**
高橋一浩* 加賀谷達次***
古茂田道夫*

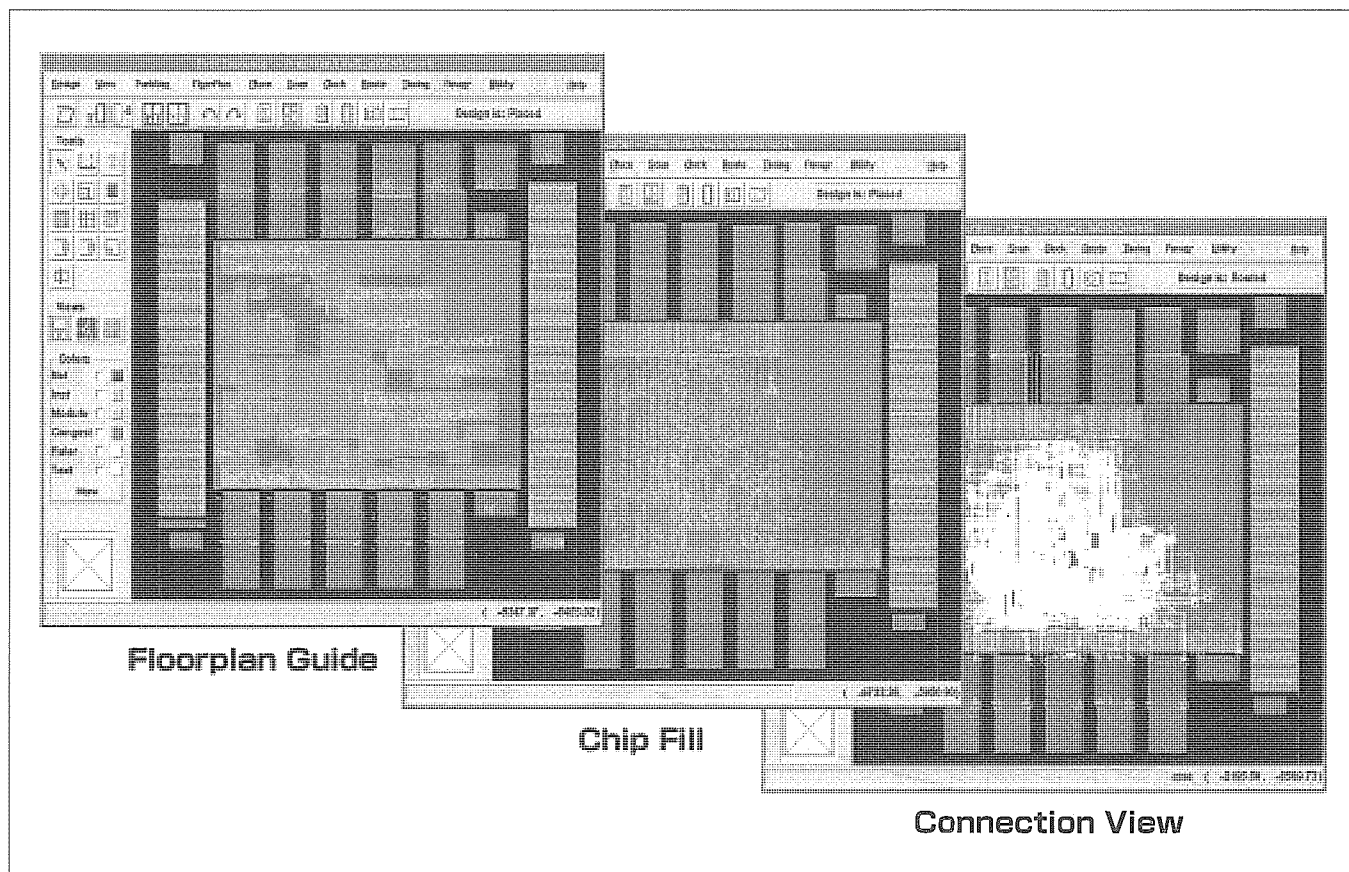
要 旨

年々大規模・高速化するシステムLSIの開発に向けた設計手法(Design Methodology)の開発とその手法を実現するEDA技術の開発を目指した特別プロジェクトDMT(Design Methodology Team)を2000年度に発足させた。

DMTは、システムLSI事業統括部・EDA推進プロジェクトGを主体とし米国MEUS(Mitsubishi Electric & Electronics USA, Inc.)のEDA部門によって構成されたメンバーによる特別開発プロジェクトであるが、社内技術の開発を行うとともに社外のEDAベンダーのR&D部門とパート

ナーシップを結ぶことによって開発リソースを確保するほか、開発の効率化、開発技術の標準化を併せて実現する。

DMTは複数年の活動を予定しているが、本稿では、2000年度、2001年度における成果である大規模高速システムLSI対応の自動フロアプランナ機能、シグナルインテグリティ(Signal Integrity: クロストーク解析・制御, IRドロップ解析)回避技術, それらを考慮した遅延精度向上のための最新技術を紹介する。



自動フロアプランナによる“Chip Filler”

構造的なネットリストからデータフローを解析し論理的ブロックダイアグラムとチップ上における(物理的な)ブロックダイアグラムの比較・検討を行い論理階層を変更する必要がない場合、自動フロアプランナで“Chip Filler”のステップを実行することで、チップサイズの見積りやパターショニングを行うことができる。

1. ま え が き

三菱電機のシステムLSI事業統括部では、年々大規模・高速化するシステムLSI開発に向けた設計手法の開発とその手法を実現するEDA技術の開発を目指した特別プロジェクトを2000年度に発足させた。特別プロジェクトでは、2000年度に目標の設定・分析を行い、2001年度には、技術開発を推進してきた。

このプロジェクトは今後も継続されるが、本稿では、2000年度、2001年度の成果である大規模高速システムLSI対応の自動フロアプランナ、シグナルインテグリティ、それらを考慮した遅延精度向上のための最新技術を紹介する。

2. Design Methodology Team (DMT)

大規模高速システムLSI対応設計システムの開発に当たり、システムLSI事業統括部のEDA部門であるEDA推進プロジェクトGを主体に、システムLSI第二部のライブラリ開発部門及び米国MEUSのEDA部門と協力体制を整え、通称DMTを発足させた。

DMTのターゲットは、EDA技術分野にとどまることなく多岐にわたる技術をターゲットとして競争力のあるシステムLSI開発を可能とすることにあるが、最初のステップとして大規模高速システムLSI開発の効率化をねらい、EDA技術に特化した部隊を構成した。それと同時に、DMTで開発した技術を標準化するとともに社内リソース・開発コストの削減をねらい、社外EDAベンダーとパートナーシップを結んだ。EDAベンダーとのパートナーシップ化によって開発リソースの確保とEDAベンダーから提供される標準ツールにDMT開発技術の組み込み(EDAベンダーR&Dとの開発実施によって実現可能な二つのメリット)を進め、トータルのコスト削減を図っている。

3. 開発目標の設定

図1は、DMTの発足時にターゲットとして定めたシステムLSIのゲート規模、動作周波数に対するロードマップを示している。これは、ITRS(International Technology

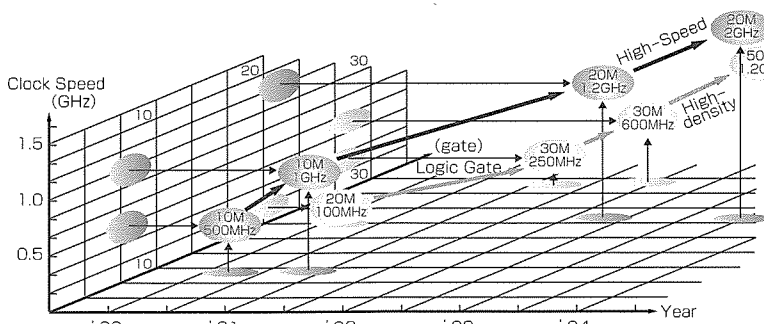


図1. ASICロードマップ

Roadmap for Semiconductors)が1999年11月に示したシステムLSIのロードマップと三菱ASICユーザーの品種動向から想定した上で定めたロードマップである。

このロードマップを実現していく上で、フルカスタム設計手法を極力排除し、セミカスタム設計手法を用いたLSIの開発ができるようにしていく。フルカスタム設計手法によってロードマップに示す動作周波数を実現していくことは現行の技術でも不可能ではないが、設計者に対する負荷は大きくなりすぎ、実際には設計不可能なレベルである。設計者の負荷削減のために可能な限り自動化を進めていくが、セミカスタム設計を採用する場合には、EDA技術の革新が必要となる。技術革新を実現し標準化するためにも、前に述べたEDAベンダーとのパートナーシップが大変重要になる。

図2は、もう一つのDMTによる開発目標となる技術を表したもので、システムLSIの中に取り込まれてくるであろうIP(Intellectual Property)を表現している。図1に示したロードマップが実現されていくことによって、システムセットレベルから組み込みが要求されるIPの種類・性能・数は変化し、実現しなければならないEDA技術に対するハードルもどんどん高くなっていく。

DMTとして前述の目標を実現していくに当たり、

- 設計効率の向上
- 0.18 μ mテクノロジー以降、特に顕著となってきた現象への対策

を最優先の開発項目とし、2000年度、2001年度には、自動フロアプランナ、タイミングクロージャ、シグナルインテグリティ、遅延精度向上技術に注目した開発を行った。

4. 自動フロアプランナ

図1のロードマップに示したとおり、先端のシステムLSIは、大規模化・高速化の一途をたどっており、数千万ゲート(数十ミリオンゲート)に達するような論理の大規模化が進むとともに、動作周波数は数百MHzの高速動作が必要で、大規模化と高速化が同時に進んでいる。

一方では、微細化が進むにつれLSI内の信号パス遅延の

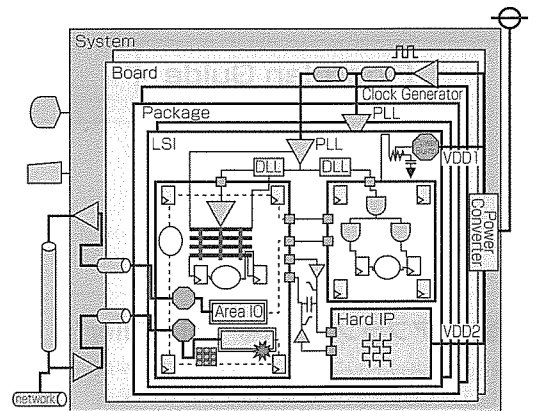


図2. SoCイメージ, IPインプリメンテーション

うちゲートに付く遅延に比べ信号配線によって生じる遅延が支配的になり、場合によっては、パス遅延値の7割もの値が配線によって生じる遅延となる。そのため、従来の仮想配線長の結果に合うように配置配線ツールへ制約を与えるタイミングドリブン配置配線を基本としたLSIの自動配置配線技術では、ディープサブミクロンプロセスによるシステムLSIの設計・開発で大規模化と高速化を同時に実現することは困難である。

EDA推進プロジェクトGでは、この問題を解決するEDA技術として、1994年には図3に示す“フロアプラン・ドリブン論理合成フロー”を開発し提唱してきた。しかし、フロアプラン・ドリブン論理合成フローにおける論理合成時に使用できる配線モデルは、品種ごとに統計処理を行い正規化した配線モデルであって、個々の信号配線では配線が短く見積もられたり長く見積もられたりしてしまうことで実際の配線と異なる。

実際の配線と異なるために何回か回路の最適化を行う必要があるが、回路規模が大きくなっているシステムLSIの場合では、1回の最適化に3、4日必要となっている。システム製品の開発サイクルがどんどん短くなってきている中で、システムLSIの開発工期は大きなインパクトを持っている。DMTでは、配線モデルが不要で品質の良いフロアプランを自動的に生成する技術を開発した。

自動フロアプランナの主な機能は、図4のとおりであり、

- ブロックダイアグラム解析機能
- ブロックサイズ決定機能
- パーティション生成機能

で構成されており、今まで人手によるカット アンド トライで最適化していたフロアプランをほぼ自動で作成できるようにした。

図5は、人手で最適化したフロアプランと自動フロアプランナで作成した結果を比較したものである。人手による

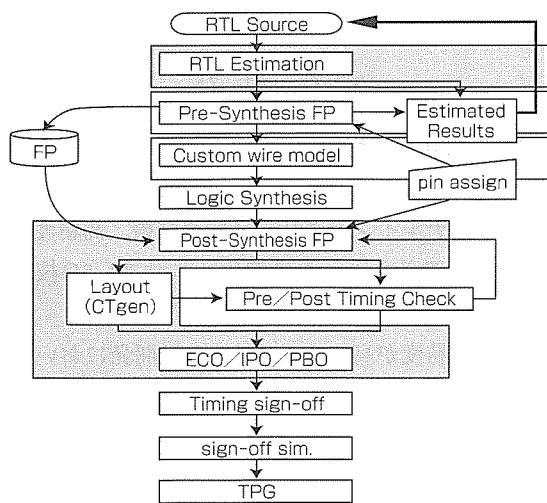


図3. フロアプラン・ドリブン設計フロー

従来の手法では4人月かかったフロアプランの最適化を7人日で実現している。

自動フロアプランナのベースになるツールとして、Silicon Perspective Corp.のFirst Encounterを選択している。First Encounterの基本機能に三菱が培ってきたノウハウを追加し、自動のブロックダイアグラム生成/解析機能、解析結果から実際に配置をする機能、配置結果からフロアプランとしてパーティションを生成する機能を実現している。

5. クロストーク対策

シグナルインテグリティ回避技術は、信号配線に発生するノイズによって信号遅延が変化する問題を解決する技術と、LSI内の電源電圧が降下(IRドロップ)することによってマクロセルの遅延が増加してしまう問題を解決するために開発を進めている技術である。

シグナルインテグリティにおいて、信号に発生するノイズによる問題を示す場合にクロストーク、電源電圧の低下による問題をIRドロップと呼んで区別している。

近年のように微細化プロセスが進み集積密度が向上すると、信号配線間の結合容量が大きくなり干渉(クロストーク)が増加する。結合容量によるクロストークの影響が無視できないくらい大きくなると、図6のように、マクロセルの遅延値に影響が出始めてくる。また元々が信号配線間

自動フロアプランナの機能

Block Diagram Analyzer :

- ネットリスト(RTL, ゲートレベル, 混在)から配置配線制約を考慮しつつブロック図を再現
 - ブロックボックス・フロアプラン機能
 - RTL, ゲート, 混在, 不完全なネットリスト
 - チップレベルの接続情報が必ず(須)(下位階層情報があれば品質向上)
 - ブロックごとのタイミングがあれば品質向上

Chip Filler :

- ブロック図解析結果に基づきブロックサイズ決定
- フロアプラン結果の解析ステップ
 - ネットリストの品質に結果依存(ネットリストの品質確認)
 - ネットリストの修正箇所確認(ネット混雑, クリティカルパス)

Block Partitioner :

- パーティション生成
 - 階層設計, フラット設計ともにサポート
 - CWL生成

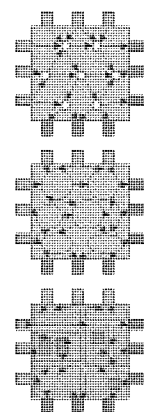
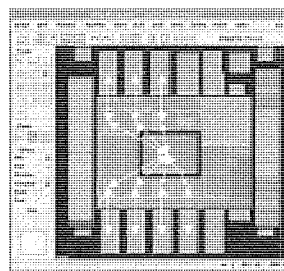
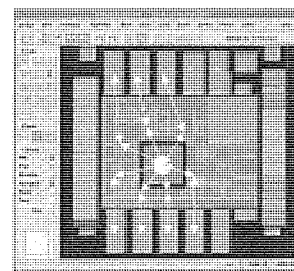


図4. 自動フロアプランナ



人手フロアプラン



自動フロアプラン

図5. フロアプラン比較(人vs.自動)

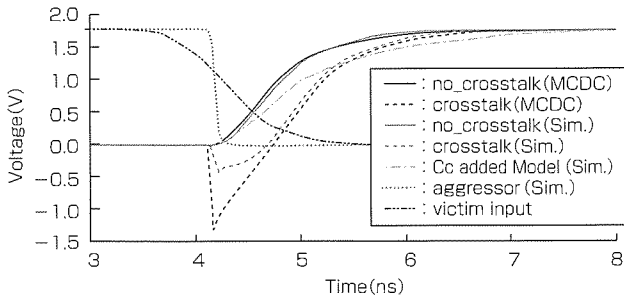


図6. クロストークノイズ

の干渉であるため、信号配線にノイズが発生しマクロセルの入力に誤った論理信号値を与えてしまう場合も出てきており、クロストークの影響は高速動作のシステムLSIほど影響が顕著になり、クロストークの検証・検出・修正を正確に行う必要がある。

DMTでは、EDAベンダーから提供される従来のクロストーク回避技術の詳細分析を行った上で、ノイズ計算の精度を向上させるとともに問題回避手法を自動化する技術を独自に開発した。

クロストークを解析した結果、特定の信号に大きなノイズが発生した場合、隣接する信号配線間の間隔を広げ、結合容量を減らすかノイズを抑えるようにバッファの挿入を行う。バッファの挿入に対しては、一般の市販ツールでもこのような回避機能を持ったツールがあるが、無闇に配線間隔を広げ一層の配線混雑を作り出してしまったり、解析精度が悪いため不必要なバッファを挿入してしまいタイミングを合わせられなくなる問題が多く発生している。図7はベースとなる解析アルゴリズムとテスト結果を示したもので、従来のツールに比べ最適な場所に問題回避用のバッファを挿入していることが分かる。

6. 遅延計算

一般的な遅延計算ツールは、テーブルルックアップ方式を用い、条件に応じて最適な遅延値をライブラリ内のテーブルから探し出す方式が使われている。この手法の問題は、遅延値の精度が高くてもLSI内部の配線信号に現れる電位の変化が分からないことにある。もしも信号に現れる電位の変化が正確に見積もれない場合は前章のクロストークによるノイズ解析が正しくできないが、市販ツールの多くが精度良くクロストークの解析ができない理由の一つにこの遅延計算方式の問題が影響を与えている。

これに対しDMTでは、三菱独自の遅延計算ツールであるMCDC(Mitsubishi Common Delay Calculator)を採用し前述の問題を回避している。MCDCが採用している遅延計算方式を我々は波形伝搬モデルと呼んでおり、単純にテ

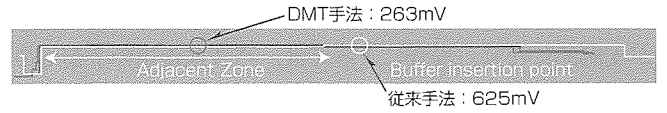


図7. バッファ挿入結果

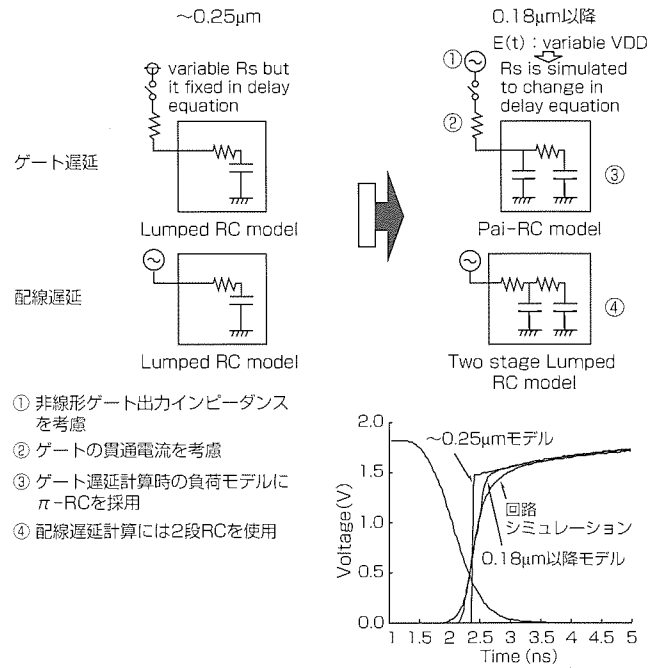


図8. MCDC遅延計算モデル

ブルから遅延値を計算するのではなく、各ノードに現れる電圧波形そのものを計算し求めることに特長がある。図8に示すモデルを用いて、遅延値は計算した電圧波形の変化から抽出し、あたかも回路シミュレータのSPICEを実行して遅延値の確認をしているような手法になっている。

このMCDCの高精度な信号波形計算機能を用いると、結合容量が存在した場合の波形の変化が計算できるばかりでなく、各マクロセル単位での電源電圧を与えることによって、IRドロップによる遅延値への影響が考慮可能になっている。

7. むすび

本稿では、2000年と2001年度の2年間に出した成果を簡単に述べた。DMTとしては、本稿で述べた自動フロアプランナ、シグナルインテグリティ回避技術、高精度遅延計算のほかに、設計フローの最適化、エリアI/O技術の実現を行っている。

より一層難易度が高まるシステムLSI開発において、アナログIP、機能IPの活用や階層設計手法の効率化等に向け、DMTで技術の開発を行っている。

システムLSIにおける超低コスト アナログテスト技術“Static Analog BOST”

花井寿佳* 森 長也**
船倉輝彦*
山下栄作*

要 旨

急速に進むLSIの高集積化とシステムLSIの多機能化に伴い、アナログ回路を混載した製品が増加する傾向にある。これらのシステムLSIには大規模なロジック回路と高精度のアナログ回路が混載されており、そのテスト要求も厳しいものとなっている。これらの製品テストに対しては、従来、以下のようなテスト手法で対応するのが一般的である。

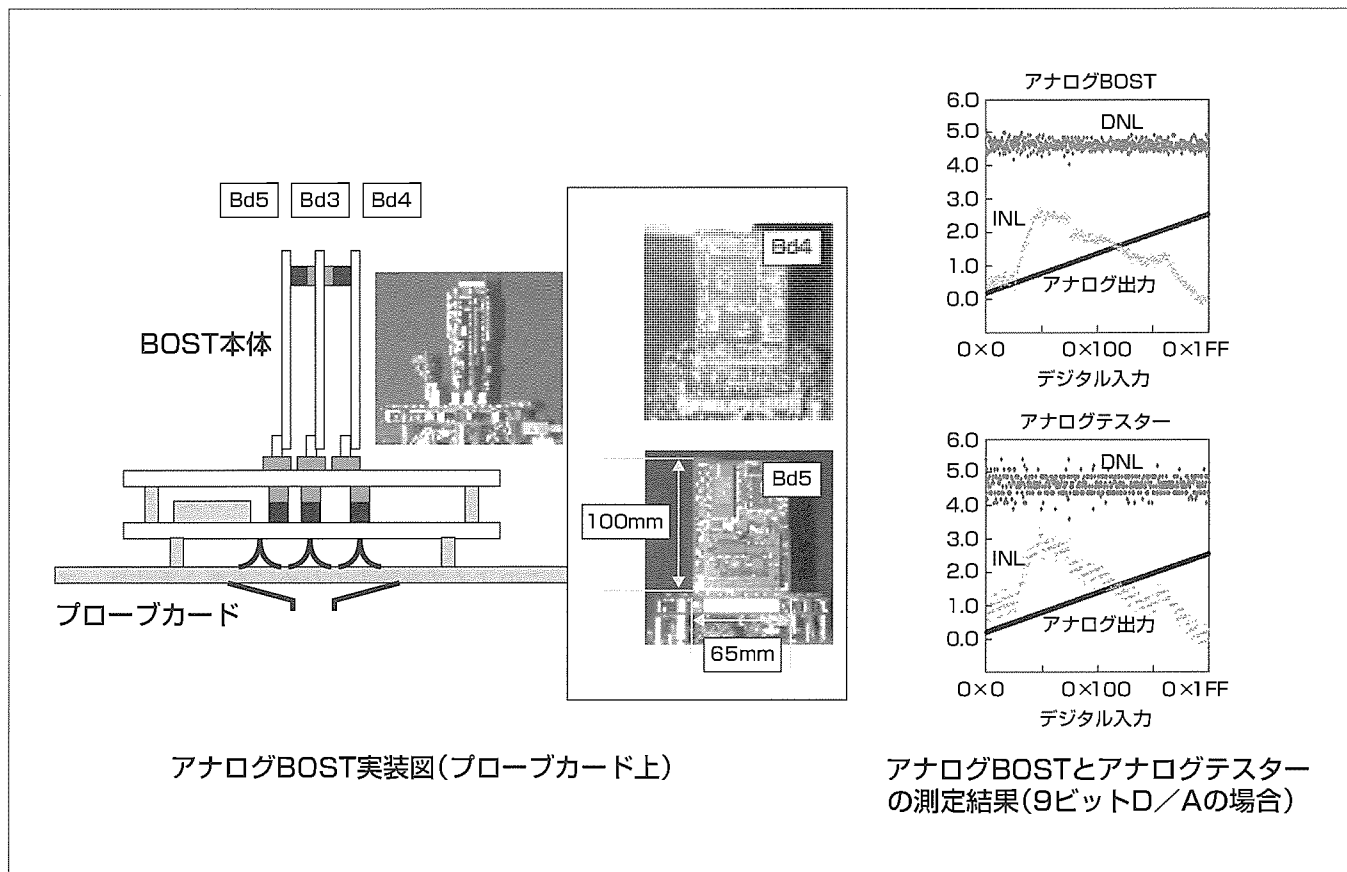
- 高機能なミクスドシグナルテスターの新規導入
- ロジックテスターとアナログテスターによる2工程分割テスト化

しかしながら、高機能なミクスドシグナルテスターを導入するには大きな投資が必要となり、またロジックテスターとアナログテスターの2工程分割テスト(以下“2パステスト”という。)では、テスト工程の複雑化やテスト技術者

の負荷が増すことによるテストコストの増大を招き、さらに、製品開発工期短縮の阻害要因の一つともなっている。

そこで、このようなシステムLSIのテスト手法として、BOST(Built Out Self Test)技術に着目し、安価な既設のロジックテスターとアナログ部のテスト用BOST(以下“アナログBOST”という。)でシステムLSIを高精度で短時間にテストする手法を提唱する。

本稿では、高機能なミクスドシグナルテスターと同等以上の性能を持つアナログBOSTを開発し、そのアナログBOSTを搭載した安価な既設のロジックテスターでこのようなシステムLSIを1パスでテストすることを可能とし、コスト低減を実現した例を紹介する。



システムLSIのテストにおけるBOST技術

アナログ混載システムLSIにおいて、アナログテスト工程のテストコスト低減手法の一つとして、アナログBOST技術を開発した。このBOST技術により、アナログ混載システムLSIのテストにおけるテスト設備投資、及び工程の削減による生産性の向上を実現した。

1. ま え が き

近年、システムLSIの多機能化の進展に伴い、D/AコンバータやA/Dコンバータ等のアナログ回路を混載した品種が増加する傾向にある(図1)。さらに、最終システム製品の高機能化に伴い、システムLSIに混載されるアナログ回路の高性能化(多ビット化・低電圧化)が進んでいる。これらの製品動向の中で、テストにおいても、大規模なロジック回路のテストに加え、高精度なアナログ機能のテストが要求されている。このような多機能・高精度システムLSIのテストは、高機能・高額なテスターの投資、テスト時間の大幅な増加、テスト工程の複雑化やテスト技術者の負荷が増すことによるテストコストの増大を招き、さらに、システムLSI開発工期短縮の阻害要因の一つになっている。以上のようにシステムLSIに対しては、特に、これまで以上に厳しい品質保証と、低コスト・高生産性を実現するテスト技術が必要になってきている。このような問題点を解決する手法の一つとして、既存のロジックテスター等のデバイス インタフェース ボード(ロード ボード)上に測定機能及び判定機能を持った簡易テスト装置を装備させるBOSTと呼ばれるテスト技術に着目し、特にD/A・A/Dコンバータの直線性等を高精度・短時間でテストすることにターゲットを絞ったアナログBOST回路を開発した。

本稿では、これらの技術について述べる。

2. BOST技術 — デバイス インタフェース ボード上の小さなテスター —

BOST技術とは、デバイス インタフェース ボード(ロード ボード)上に測定機能及び判定機能を持った簡易テスト装置を装備させる技術である。この技術はよくデバイス自体にテスト回路を内蔵させるBIST(Built In Self Test)技術と比較されるが、今回のデバイスのようにアナログ回路を混載したシステムLSIでは、そのLSIパッケージピンをも含めた精度保証が必要なため、LSIの外部から測定することのできるBOSTという手法を採用した。また、BOSTを採用することで、チップのエリア ペナルティがなく、

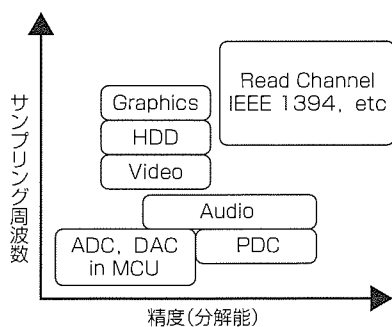


図1. アナログ回路の精度とサンプリング周波数

評価時における高い可観測性を保ちながら、従来の設計手法を変えることなく、テスト工程のみの工夫によって高精度のアナログテストを実現できる利点もある。

以下、三菱電機(当社)が開発したアナログBOSTを紹介する。

まず、アナログBOSTを実現するための大きな技術課題として、

- アナログテスター並みの測定精度の実現
- 測定・解析時間の短縮

が挙げられるが、以降その実現手段について述べる。

2.1 BOSTの基本構成

このアナログBOSTは、システムLSIの高分解能アナログ回路の静的電圧特性をテストする機能として開発した(以下“Static Analog BOST”という)。図2に概略構成ブロック図を示す。アナログBOSTは、“制御部”“データ解析部”“データ格納部”“測定部”の四つの機能ブロックに分けられる。

Static Analog BOSTのすべての機能は制御部によって制御される。まず、この制御部は、ロジックテスターからの少数の制御信号とスタート信号によって動作を開始する。この制御部の制御により、測定部は、アナログ信号の出力と取り込み及びデジタルデータの出力と取り込みを行う。ここで得られたデータはいったんデータ格納部に記憶され、このデータをデータ解析部で解析することによって直線性や非直線性誤差等の特性が得られ、規格値内に入っているか判定する。ロジックテスターには、この判定結果又は測定データそのものが制御部から返される。

2.2 BOSTの測定精度向上手段

測定精度の向上手段の一例を紹介する。

Static Analog BOSTにおける重要な課題の一つは測定精度であり、アナログテスターに匹敵する測定精度を持たせる必要がある。しかしながら、アナログBOSTを適用するロジックテスターは一般的にアナログテスターに比べて内部ノイズが大きく外部ノイズの影響も受けやすいことから、このノイズ除去が大きな課題であった。

まず、このノイズを除去のために重要な手法は、アナロ

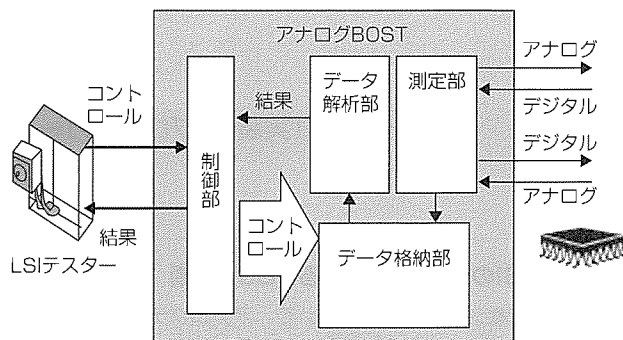


図2. Static Analog BOSTの概略構成

グ部とデジタル部の分離とアナログ部のシールドである。そこで、このBOSTでは、アナログ部の電源とGNDをデジタル部と分離したモジュールで構成することで、高レベルなアナログ部のシールドを実現した。さらに、測定精度を向上するのに効果を上げたのは、測定回路をデバイスインタフェースボード上に実装することにある(図3)。これにより、ロジックテスターの内部ノイズを遮断し、かつ、デバイス近傍に測定回路を配置することで、GNDセンシングライン等の配線長を最短にでき、外部からの放射ノイズの影響及び伝送路による位相誤差の影響等を最小限に抑制できた。また、デバイス出力であるアナログ信号をすぐにデジタル化することでも、ノイズの影響を抑制する効果を得た。

これらの対策により、アナログBOSTはアナログテスターと同等の測定精度を実現することができた。その結果を3.1節に示す。

2.3 測定・解析時間の短縮手段

一般的にアナログテストは時間がかかるため、テスト時間の増大によるテストコスト増を招いてきた。そこで、アナログBOSTの目的の一つとして、テスト時間の短縮によるテストコストを低減することが重要となった。この節では、このアナログBOSTで実施した測定・解析時間の短縮手段の一例を紹介する。

Static Analog BOSTは、少数の制御信号とスタート信号によって、ロジックテスターの基本機能のみで制御できる。かつ、BOST内部の動作はすべて制御部によって行われ、その制御は処理時間のかかるソフトウェア処理を削減し、専用のハードウェアの処理によって時間短縮を実現した。これにより、従来テスターの制御CPUが行うことによって発生していたソフトウェア処理によるオーバーヘッドを最小限に抑え、テスト時間を短縮することに成功した。

さらに、測定と解析の並列処理をすることによって解析によるオーバーヘッドを削減した。このStatic Analog BOSTは、データ格納部に測定用メモリと解析用メモリを持ち、測定と解析のインタリーブを行うことで、複数のア

ナログ回路をテストする際にあるアナログ回路を測定している間に一つ前に測定したアナログ回路を解析することができる構成としたことで、テスト時間の短縮を実現している。図4に、通常のテストフローとこのBOST回路によるテストフローを示す。

3. Static Analog BOST回路導入の効果

これまで述べてきたStatic Analog BOST回路とロジックテスターとの組合せにおいて、当社のシステムLSI製品に適用した場合の効果について以下に示す。

3.1 測定精度の向上効果

— アナログテスター比：同等以上 —

まず、図5に、システムLSIに内蔵される9ビットD/Aコンバータを測定・解析した結果を示す。このグラフは、出力電圧、直線性・非直線性誤差をプロットしたグラフであり、X軸が入力デジタルコード、Y軸が出力電圧、直線性・非直線性誤差の相対値を表している。このグラフによってアナログテスターによる測定ばらつきとこのBOST回路による測定ばらつきを比較すると、このBOST回路による測定ばらつきがアナログテスターのそれと同等以上であ

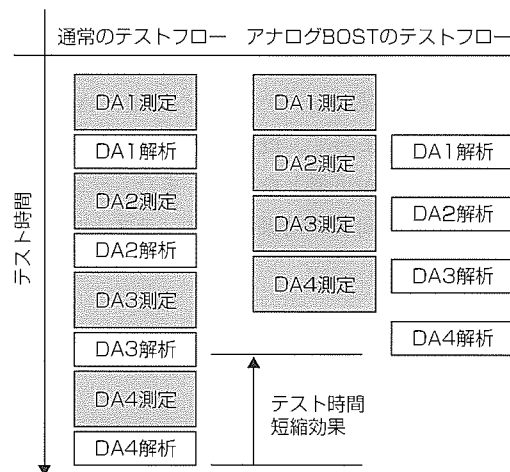


図4. Static Analog BOSTのテストフロー

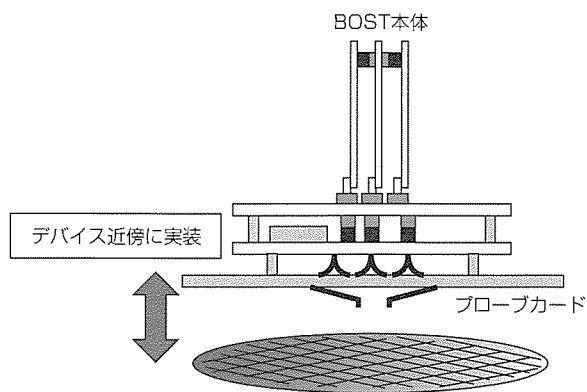


図3. Static Analog BOSTの実装図(プローブカード上)

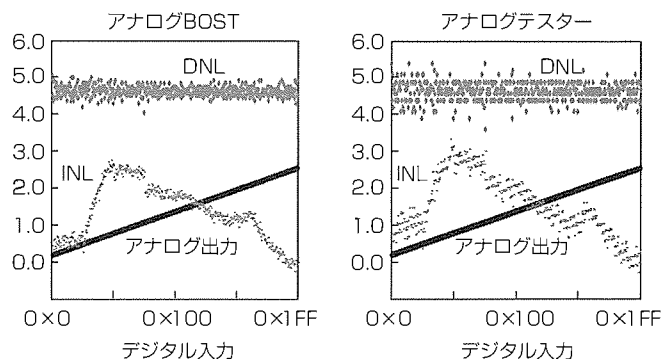


図5. Static Analog BOSTとアナログテスターの測定結果(9ビットD/Aの場合)

ることが分かる。

すなわち、このBOST回路の測定精度はアナログテスターに匹敵する測定精度を実現することができたと言え、これにより、BOST回路を適用した製品では、アナログテスターを適用した製品と同等のテスト品質を得ることができる。

3.2 テスト時間の短縮効果

— アナログテスター比：1/10 —

複数のD/AコンバータとA/Dコンバータが内蔵されているシステムLSIにおいて、アナログテスターによるテスト時間とこのBOST回路によるテスト時間とを比較したところ、1/10以下に短縮することができた。これにより、BOST回路を適用した製品での量産テスト時間を短縮し、ひいては当該製品のテストコストを大幅に低減した。

3.3 テスト工程のスリム化効果

前述のとおりStatic Analog BOSTは、アナログテスターと同等以上の高精度・高速測定が可能なることから、大規模なロジック回路と高分解能なアナログ回路が混在するシステムLSIのテストを既存の安価なロジックテスターで1パステストを可能にした。これにより、テスト工期の短縮による生産性の向上が実現できる。

4. む す び

アナログ回路混載のシステムLSIへStatic Analog BOSTを適用することによって、既存装置の有効活用による新たな設備投資の抑制が可能となった。また、テスト時間の短縮及び測定精度の向上の効果により、テストコストの大幅な低減が図られた。

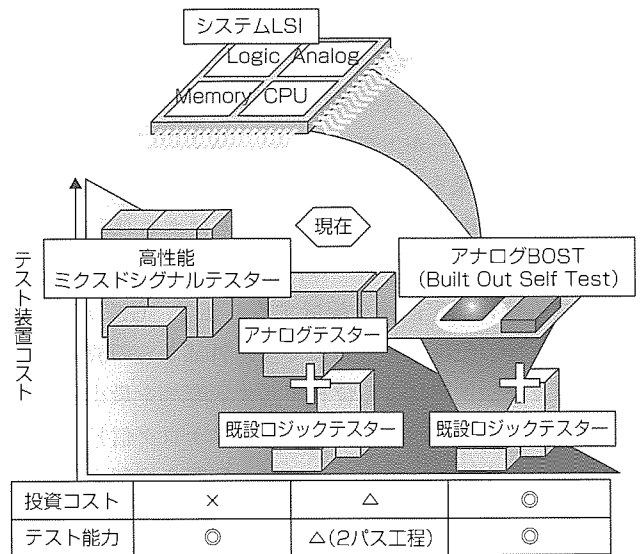


図6. Static Analog BOSTの適用効果

アナログ回路混載のシステムLSIの割合が増加する傾向にある昨今、テストコストを抑制する手段の一つとして、ロジックテスターとアナログBOST回路を組み合わせる手法が有効であると考えられる。

参 考 文 献

- (1) 山下栄作, ほか: システムLSIにおけるアナログBOSTテクノロジー, Semicon Japan 2000, 5_7~10 (2000)
- (2) 花井寿佳, ほか: 装置コストを従来の1/20~1/100に抑えるアナログBOST, Design Wave Magazine, No.3, 77~84 (2001)

0.1 μm 世代をにらんだ 半導体デバイスの評価技術

廣瀬幸範*
福本晃二*
益子洋治**

要旨

半導体デバイスの微細化が進行し、0.1 μm 世代のチップ製品化が近未来に迫ってきた。デバイス構造解析手段としてこれまでSEM(走査型電子顕微鏡)が主に用いられてきたが、今後の微細化デバイスに対応するためには分解能的に不十分で、TEM(透過型電子顕微鏡)による評価・解析の重要性がますます増大している。

本稿では、近年のTEM評価需要増大に対応するための短TAT(Turn Around Time)を実現するTEM試料作製技術、及び多層配線デバイスの評価するために開発したチップ裏面からのTEM試料抽出による不良解析技術について述べる。

(1) 短TATを実現するTEM試料作製技術

FIB(集束イオンビーム)加工とマイクロメータオーダーに位置制御可能なプローバを用いることによって、1~2

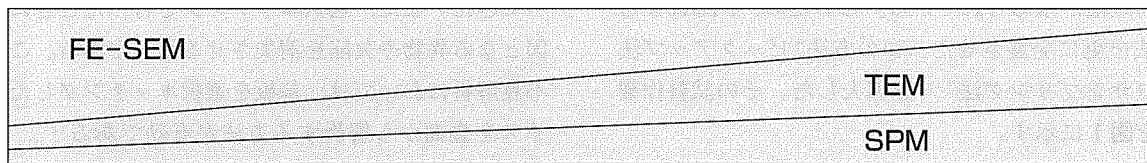
時間程度でTEM試料作製が可能となり、TEM評価のスループットを大幅に向上できる。また、この手法を用いたTEM試料でEDX(エネルギー分散型X線分析)測定を行うと、従来のFIB法による試料作製の場合と比較して、母材からのバックグラウンドが大幅に低減できるため、定量精度が向上する。

(2) チップ裏面からの試料抽出によるTEM解析技術

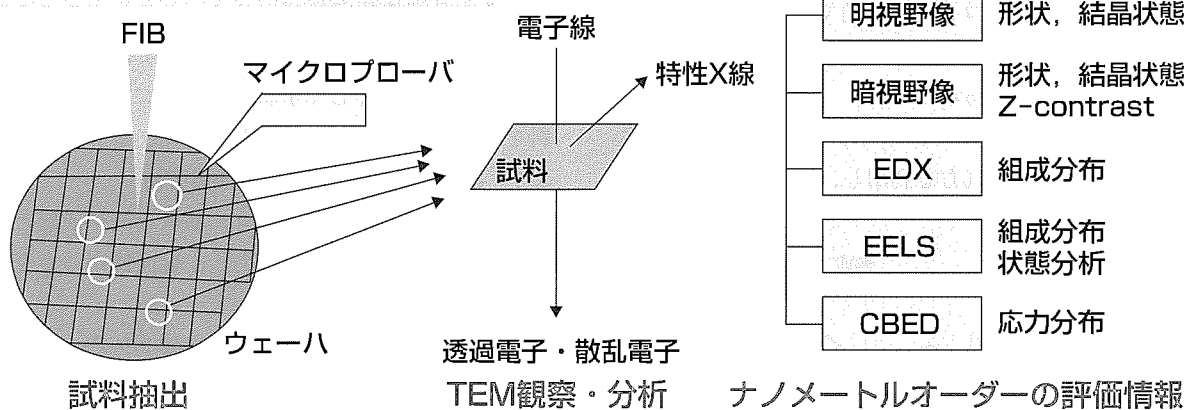
前記のTEM試料作製法を応用することによって、従来手法では困難であったデバイス裏面から微小領域のTEM試料作製が可能になり、裏面側から確認された微小異物等の断面構造解析や成分分析をナノメートルオーダーで達成できる。この技術は、多層配線化が進むデバイスの不良解析手段として、有効な技術である。

デバイス構造解析技術の動向

ULSIの微細化・多層化



0.1 μm 世代をにらんだTEM評価技術



FE-SEM: 電界放射型走査型電子顕微鏡 TEM: 透過型電子顕微鏡 SPM: 走査プローブ顕微鏡 EDX: エネルギー分散型X線分析
FIB: 集束イオンビーム EELS: 電子エネルギー損失分光法 CBED: 収束ビーム電子線回折法 Z-contrast: 原子番号に依存したコントラスト

微細化デバイスに対応するTEM評価技術

デバイスの微細化に伴い、構造解析手段はTEMが主流になっていく。TEM試料作製では、FIB加工とマイクロプローバを用いてウェーハからTEM試料となる部分のみを抽出する技術の導入によって、1~2時間での試料作製が達成できる。また、簡易操作の(S)TEMの導入などによって、ナノメートルオーダーの解析力を質・量ともに向上させ、TEM評価をSEM評価並みの汎用的な評価手法に築き上げていく必要がある。

1. ま え が き

半導体デバイスの微細化の進行によって、0.1 μm 世代のチップ製品化が近未来に迫ってきた。デバイスの構造解析手段としてこれまで主に走査型電子顕微鏡(SEM)が用いられてきたが、このような微細デバイスの構造解析では性能的に限界がきており、評価の主役は透過型電子顕微鏡(TEM)や走査プローブ顕微鏡(SPM)へと移りつつある。今までに、TEM評価技術の重要性について既に紹介し⁽¹⁾、原子レベルでの観察手段としてのみならず、エネルギー分散型X線分析(EDX)や電子線エネルギー損失分光法(EELS)、収束電子線回折法(CBED)等の応用手段を適用することによってデバイス特性に影響を及ぼすナノメートルオーダーでの組成変化や応力分布を検出することが可能であることを示した。

本稿では、0.1 μm 世代をにらんでその後開発中のTEM評価技術の進展にスポットを当て、近年のTEM評価需要増大に対応する試料作製技術、及び多層配線デバイスの評価に対応するために開発したチップ裏面からのTEM試料抽出による不良解析技術について述べる。

2. 短TATを実現するTEM試料作製技術

ダイサーと集束イオンビーム装置(FIB)を用いることによって約半日でのTEM試料作製が達成できているが⁽¹⁾、更なる時間短縮が求められている。このため、FIBによる試料作製法を更に発展させた二つの方法“ピックアップ法とマイクロサンプリング法”⁽²⁾を導入した。その試料作製法の概念を図1に示す。

いずれも、ウェーハ又はチップ状態の試料から、FIB加工によって、所望観察箇所の周り及び底面を母材から分離する。その後、数マイクロメートル角でしかも0.1 μm 厚の試料片を、極微細プローブを用いて移動し、TEM試料ホルダに固定させる方法である。

試料ハンドリング法として、ピックアップ法⁽³⁾では絶縁性プローブに働く静電気力を利用し、マイクロサンプリ

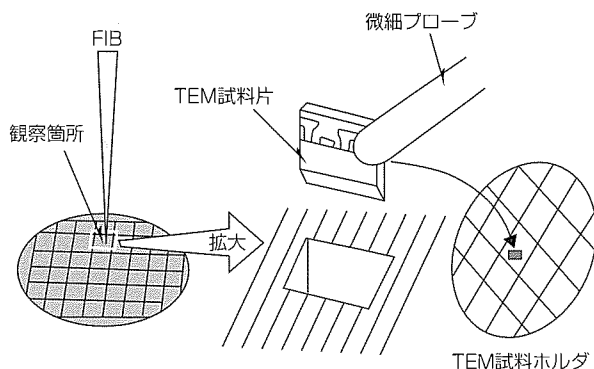


図1. 新しいTEM試料作製法の概念

ング法⁽⁴⁾ではFIB加工と金属膜デポジション、及びFIB装置に組み込んだ高精度に移動可能なマイクロプローブを利用する。

ここに紹介した新しいTEM試料作製方法では、ダイサーによる前処理加工を必要とせず、しかもFIB加工面積を大幅に縮小できるので、試料作製時間の大幅な削減(1試料当たりの所要時間は1~2時間)が可能である。また、その作製手順や試料の最終仕上がり形状の違いによる長所・短所があるため、それぞれの特徴を考慮した上で、目的に合った試料作製法を選択する必要がある。主な特徴を表1に示す。特筆すべき点として、TEM/EDX測定時の定量精度の向上が挙げられる。ダイサー加工とFIBを用いる従来の試料作製法では、試料母材部で大部分が肉厚となっているため、散乱電子が母材部に当たることによって母材材質の特性X線が励起され、バックグラウンドとして検出される。一方、マイクロサンプリング法やピックアップ法では、薄片として試料を取り出すため、母材からのバックグラウンドは大幅に低減できる⁽⁵⁾。

3. チップ裏面からのTEM試料抽出による不良解析技術

多層配線化が進行した先端デバイスの不良解析において、評価箇所となる特定の配線を選択的に露出することが困難であったり、除膜の最適化に膨大な時間を要するようになってきた。また、選択エッチングを行ったときに、不良原因となる異物や欠陥を消失させる場合がある。このような不良解析においては、基板を選択エッチングした後、デバイスを裏面から解析する方法が有効である⁽⁶⁾。しかし、デバイスの微細化に伴って故障原因を見極めるためには、裏面からSEM等で観察するレベルでの評価では不十分で、更なる高分解能観察及びナノメートルレベルでの成分分析に対する要求が高まっている。そこで、裏面から観察した異常箇所を更に詳しく解析するために、裏面からTEM試料を抽出する技術を開発した⁽⁷⁾。

3.1 裏面からのTEM試料の抽出方法

まず、評価チップのシリコン基板を機械研磨と選択ウェットエッチングによって除去し、裏面側から走査型電子顕

表1. マイクロサンプリング法とピックアップ法の比較

	マイクロサンプリング法	ピックアップ法
試料作製所要時間	約20時間	約0.5~1.0時間
成功率	ほぼ100%	80~90%
再FIB加工の可否	可能	不可能
同一試料での平面・断面観察	可能	不可能
近接異方向観察	可能	可能
TEM/EDX分析	従来のFIB法と比較すると、母材からのバックグラウンドを低減できるため、分析精度が向上する。ただし、試料支持台やメッシュのピークが出るので、使い分けが必要。	

微鏡(SEM)等で形状確認を行う。その後異常箇所のTEM試料作製を行うが、基板が除去されている試料では機械的強度が弱く、ダイサー加工を用いたTEM試料作製法を行うことは困難である。そこで、前述のマイクロサンプリング法又はピックアップ法を応用して、裏面側からTEM試料の抽出を行う。

その概要を、マイクロサンプリング法を例にとって図2に示す。まず、チップ裏面からSEM等で形状異常が確認された部分に対し、異常部の周り及び底部にチップ裏面からFIB加工を行い、TEM試料片を切り離す。その後、微小プローブを利用してTEM試料を抽出し、TEM試料ホルダに固定する。

図3はチップ裏面からTEM試料を抽出した際のTEM像である。表面側からの試料抽出の場合と同様に、チップ裏面から微小な試料を抽出できている。

3.2 解析事例

この手法による解析事例を以下に示す。図4は、不良となっているトランジスタをシリコン基板を除去した後、裏面側から観察したSEM像である。ゲート電極側壁部に微小な形状異常が見られる。この形状異常部を詳細に調べるため、裏面側からTEM試料を抽出して断面TEM評価を行った。その結果、図5に示すように、ゲート電極は正常に形成されているものの、その側壁部に異物が混入されていることが確認できた。さらにこの異物の成分分析をEELSを用いて行った結果、異物はポリシリコンであることが判明した。これらのデータから、この不良原因となるプロセス工程を絞り込むことができ、スムーズに対策を立案することができた。

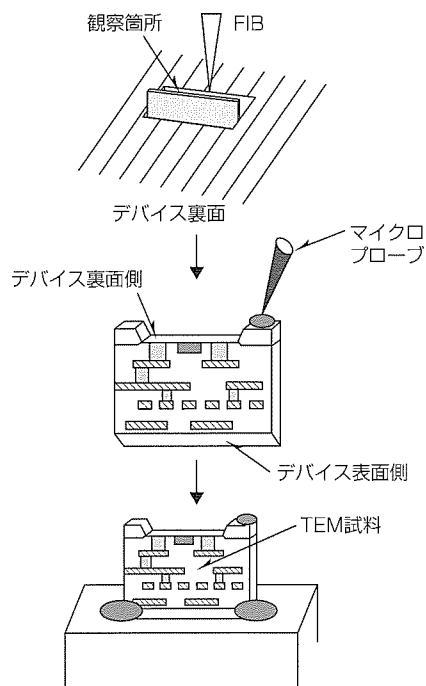


図2. LSI裏面側からのTEM試料抽出方法の概略説明

3.3 解析手法の利点

裏面からのアプローチによる物理分析技術は、配線の多層化や配線や層間絶縁膜に新材料を導入する際に解析フローをほとんど変更する必要がなく、除膜条件出しに労を費やす必要がない。また、フリップチップなど構造上デバイス表面側からの物理解析が困難なチップに対しても適用できる。さらに近年進展が著しいデバイス裏面からの故障診断技術⁽⁸⁾で不良位置を同定した後、そのまま裏面から物理解析を行うことができる。

裏面からの解析で得た評価情報に加え裏面からTEM試

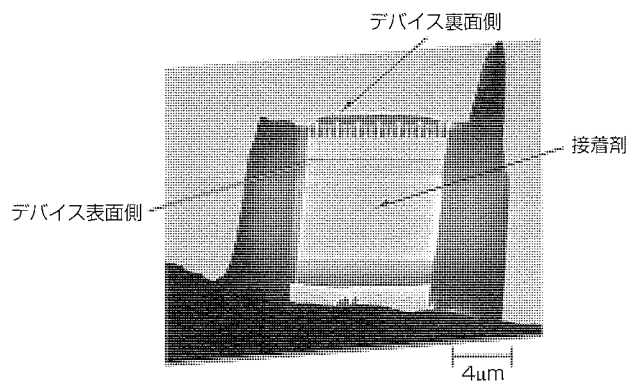


図3. マイクロサンプリング法によるチップ裏面から抽出したTEM試料(TEM像)

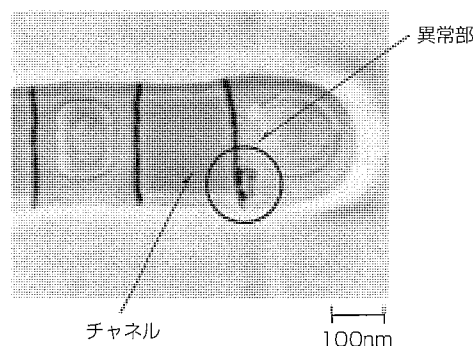


図4. 不良トランジスタの裏面SEM像

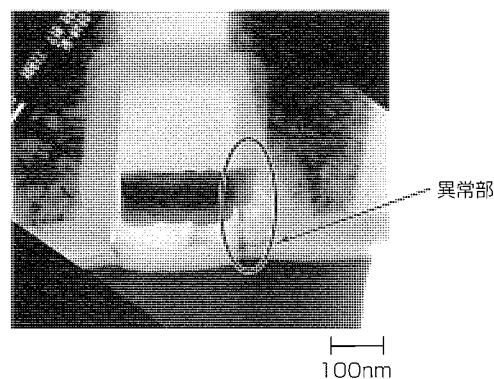


図5. 不良トランジスタの裏面からの試料抽出による断面TEM像

料を抽出して評価・解析を行うことによって、より豊富な評価情報を得ることができる。すなわち、TEMを用いることによって、原子レベルでの形状情報や結晶情報を得ることができる。また、EDXやEELSを併用することによって、ナノメートルオーダーでの元素分布情報も得ることができる。

以上のことから、この解析手法は、今後の先端デバイスの不良原因究明に有効なツールになる。

4. む す び

0.1 μ m世代のデバイス開発・量産を目前に控えて、デバイスの早期開発と量産立ち上げのために、評価・解析の重要性はますます大きくなっていく。その中でもTEM評価技術は、構造解析技術の中心的な存在になっていくと予想される。

本稿では、今後のTEM評価需要の増大に対応するためのTEM試料作製技術、及びデバイスの多層配線化に対応するためのチップ裏面側からTEM試料を抽出する技術について紹介した。

TEM解析の短TAT化のためには、試料作製技術のみならず、試料作製装置と観察装置のインタフェースやデータ処理技術も含め、トータルとしてのスループットを考慮していく必要がある。また、SEM並みに速く、簡単操作で、TEMに匹敵する評価情報が得られるSTEM(走査透過型電子顕微鏡)の導入・汎用化が必要である。

今後も、微細・多層配線化が進行するデバイス評価に対応するため、TEMの試料作製技術開発、評価技術開発、応用技術開発に注力していく。

参 考 文 献

- (1) 福本晃二, ほか: 透過型電子顕微鏡による半導体デバイスの評価解析技術, 三菱電機技報, 73, No.2, 124~129 (1999)
- (2) 古田正昭, ほか: 短TATを実現するTEM試料作製技術, 電子情報通信学会研究報告, SDM2000-168, 7~13 (2000)
- (3) Herlinger, L. R., et al.: TEM Sample Preparation using Focused Ion Beam and A Probe Manipulator, Proceedings from the 22nd International Symposium for Testing and Failure Analysis, 199~205 (1996)
- (4) 小池英巳, ほか: FIBマイクロサンプリング技術を用いた特定箇所のTEM観察用試料作製方法, LSIテストインギンシボジウム2000会議録, 86~91 (1999)
- (5) 古田正昭, ほか: TEM試料作製方法によるTEM/EDX定量分析精度の向上, 第48回応用物理学関係連合講演会講演予稿集, 802 (2001)
- (6) Corum, D., et al.: Practical Applications of Backside Silicon Etching, Proceedings from the 21st International Symposium for Testing and Failure Analysis, 263~268 (1995)
- (7) 廣瀬幸範, ほか: LSI裏面からのTEM試料抽出による不良解析技術, LSIテストインギンシボジウム2001会議録, 209~213 (2001)
- (8) 二川 清: LSIの故障解析手法とその動向, LSIテストインギンシボジウム2001会議録, 187~192 (2001)





特許と新案***

三菱電機は全ての特許及び新案を有償開放しております

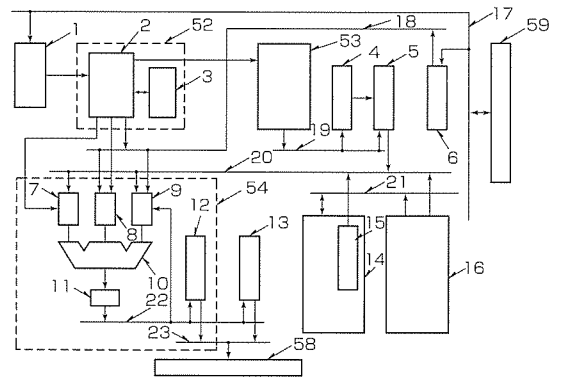
有償開放についてのお問合せは
三菱電機株式会社 知的財産渉外部
電話(03)3218-9192(ダイヤルイン)

データ処理装置 (特許 第2054852号, 特開平1-237837号)

発明者 渡邊哲也, 吉田豊彦

この発明のデータ処理装置では、高機能なアドレッシングモードである多段間接アドレッシングモードを持っている。オペランドのアドレス指定が多段間接アドレッシングモードで指定された命令の場合の処理は、まず、デコード段階では、2バイトの命令基本部がデコードされ、一つのパイプライン処理単位としてアドレス計算を行う段階へ送られる。そして、(多段間接モード+0~4バイトのアドレッシング拡張部)がデコードされ、一つのパイプライン処理単位としてアドレス計算を行う段階へ送られる。このとき、(多段間接モード+0~4バイトのアドレッシング拡張部)が複数個存在するときは、複数個のパイプライン処理単位がアドレス計算を行う段階へ送られることとなる。次に、アドレス計算を行う段階では、2バイトの命令基本部のパイプライン処理単位が処理され、これに続く(多段間接モード+0~4バイトのアドレッシング拡張部)のパイプライン処理単位が処理され、(多段間接モード+0~4バイトのアドレッシング拡張部)のパイプライン処理単位が複数個存在する場合には次々と処理をし、その処理が終了したとき、つまり、一つのオペランドのアドレス計算が終了したときに、これらの処理結果が一つのパイプライン処理単位として、オペランドのフェッチを行う段階へ送られる。

このように、この発明のデータ処理装置は、命令フェッチ部、命令デコード部、アドレス計算部、オペランドフェッチ部、命令の演算実行部からなるパイプライン処理方式であり、一つの命令をデコード段階で複数のパイプライン処理単位に分けて処理を行い、その命令のアドレス計算に関する情報のパイプライン処理単位は上記多段間接アドレッシングモード指定ごとに行い、アドレス計算終了後、その命令のオペランドに対する演算情報のパイプライン処理単位に吸収するような手段を備えたものである。したがって、それ以降のパイプラインステージで無駄なパイプライン処理単位が流れることがないので、各ステージの処理の負荷が均衡し、処理速度が向上する効果がある。

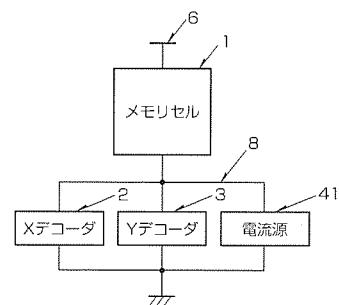


ガリウム砒素半導体集積回路 (特許 第2515020号, 特開平3-30187号)

発明者 牧野博之, 松江秀一

この発明は、ガリウムひ(砒)素半絶縁性基板上に形成される記憶装置の低消費電力化と動作の安定化に関するものである。従来のガリウム砒素記憶装置は、大きく分けてメモリセル部、Xデコーダ部、Yデコーダ部の三つの部分に分けることができ、これらはいずれも電源とGNDとの間に並列に接続される。したがって、チップに流れる電流は、これらの総和となる。しかしながら、ガリウム砒素基板に形成される電界効果型トランジスタは、ゲートと基板間にショットキダイオードが形成されるMESFET構造であるために、ゲートに流れ込む電流が常に存在し、シリコン上に形成されるMOSFETに比べて定常的に流れる電流が多い。したがって、従来の構成では、定常電流が大きいため電源線の抵抗による電圧降下が生じ、誤動作しやすいという欠点があった。

通常はメモリセルの電流が他のものよりも大きいので差分を保証するために電流源(4)を接続している。ガリウム砒素の回路は定常電流が支配的であり、時間的な電流変動がほとんどないので、このような接続を行っても安定に動作させることができる。この構成により、トータルの電流値を低減することができ、低消費電力化及び動作の安定化を実現することができる。



この発明は、これを解決するためになされたもので、図に示すように、メモリセル(1)とXデコーダ(2)及びYデコー



特許と新案 * * *

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 知的財産渉外部
電話(03)3218-9192(ダイヤルイン)

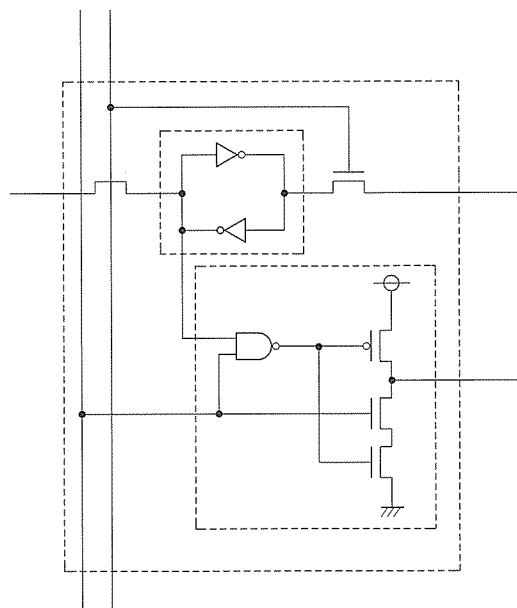
メモリセル回路 (特許 第2667941号, 特開平6-103774号)

発明者 新居浩二

この発明はマルチポートメモリのメモリセル回路に関するものである。マルチポートメモリでは、複数ポートから同時に一つのメモリセルをアクセスしようとする、誤読み出しや誤書き込みをしてしまうという問題がある。これを避けるためメモリセル内に読み出し用バッファ回路を追加する方法があるが、従来のバッファ回路では、①読み出しビット線のプリチャージ動作が必要であるためサイクルタイムが長くなる、②アクセストランジスタをN型MOS-FETで構成するため電源電圧の下限マージンが悪くなる等の問題があった。

この発明は、これらを解決するためになされたもので、図に示すように、メモリセル内の読み出しバッファ回路をNANDゲートと一つのP型MOSFET及び二つのN型MOSFETで構成する。読み出しビット線はワード線が選択されると電源レベル又はGNDレベルに完全にドライブされる。この構成により、読み出しビット線をプリチャージする必要がなくなり、読み出しビット線の遅延時間を短くすることができるため、サイクルタイムの短縮化が図れ

る。また、電源電圧が低下しても安定して動作することができる。



〈本号記載の商標について〉

- “Bluetooth” 米国 Bluetooth SIG, Inc.の商標である。
- “Dolby Digital” ドルビーラボラトリーズライセンスコーポレーションの登録商標である。
- “DTS” デジタルシアターシステムズ社の商標である。
- “S-Master” ソニー(株)が開発したデジタルアンプの技術名称で、S-Masterのロゴタイプ及びS-Masterの文字は、ソニー(株)の商標である。
- “Seamless CVE” 米国 Mentor Graphics Corp.の登録商標である。
- “イーサネット” 富士ゼロックス(株)の商標である。

そのほか、本号に記載されている会社名、製品名はそれぞれの会社の商標又は登録商標である。

〈次号予定〉三菱電機技報 Vol.76 No.4 「情報セキュリティ」特集

三菱電機技報編集委員 委員長 井手 清 委員 中村 治樹 畑谷 正雄 吉原 孝夫 楽原 幸志 村松 洋 松本 修 浜 敬三 安福 正樹 西谷 一治 中島 克人 荒木 政敏 河内 浩明 山木 比呂志 幹事 名加 健之助 3月号特集担当 岩出 秀平	三菱電機技報 76巻 3号 (無断転載・複製を禁ず)	2002年 3月22日 印刷 2002年 3月25日 発行
	編集人 井手 清 発行人 名加 健之助 発行所 三菱電機エンジニアリング株式会社 ドキュメント事業部 〒105-0011 東京都港区芝公園二丁目4番1号 秀和芝パークビルA館9階 電話 (03) 3437局2692 印刷所 株式会社 三菱電機ドキュメンテクス 発売元 株式会社 オーム社 〒101-0054 東京都千代田区神田錦町三丁目1番地 電話 (03) 3233局0641 定 価 1部735円(本体700円) 送料別	
URL http://www.melco.co.jp/giho/	三菱電機技報に関するお問い合わせ先 cep.giho@ml.hq.melco.co.jp	

現在、車載用途を中心に、M32R/ECUシリーズの展開をしています。車載用途という高信頼性/高品質が求められる分野での実績を背景に、他の分野でも広くご使用いただけるようにコンパクトなマイコン製品のラインアップの充実を図りました。40MIPSという高性能にかかわらずtyp.75mAの低消費電流を実現し、また、144LQFPの小型パッケージに封入し、お客様の様々なニーズに対応できるフィーチャを持っています。拡張性や将来性も約束された、お客様が安心してご使用いただけるマイコン製品群です(図1)。

■特長/主な仕様

(1) 豊富なDMA(Direct Memory Access)(10ch)を介したPSM(Programmable State Machine)機能の構築が可能で、マイコン内蔵周辺機能の致命的欠陥だったリアルタイム制御の制限から解放されます。割り込み応答時間と、そしてそのばらつきを気にすることはありません。M32R/ECUの周辺機能は初期設定で複数のリソースをDMAイベントバス経由で接続でき、CPUの介在なしに各種の高度な処理が実現可能です。

このPSM機能で各種シーケンス制御がCPUの演算処理と並列実行可能となり、いわゆるMIPS値では判断できない高い処理能力を發揮します。通信/信号出力/データ収集等タイマ機能との組合せで時間マネジメントができます。見掛け上CPUを停止させた自動実行ではなく、正にCPUと並列実行可能な画期的フィーチャです(図2)。

(2) 高性能/高信頼性DINORフラッシュを内蔵し、フラッシュメモリを使用することで、様々なメリットを享受することが可能です。また、フラッシュメモリのメリットを最大限に生かすため、オンボード書き込みを容易に実現するための機能も内蔵しています。外部からは規格内の電源供給のみで、E/W(Erase/Write)に必要な他の処理はすべてフラッシュモジュールが独自に実行します。

(3) 整備されたツールチェーン(図3)により、上位から下位まで、他のマイコンでは類を見ない充実した開発環境を提供します。

■用途

今後新たな市場となるACC(Adaptive Cruise Control)分野や、車載/一般産業機器、その他民生市場など幅広い分野にご使用可能です。

■今後の展開

超高速動作(80MHz)対応や、浮動小数点演算器を内蔵した次世代M32R/ECUを開発中です。

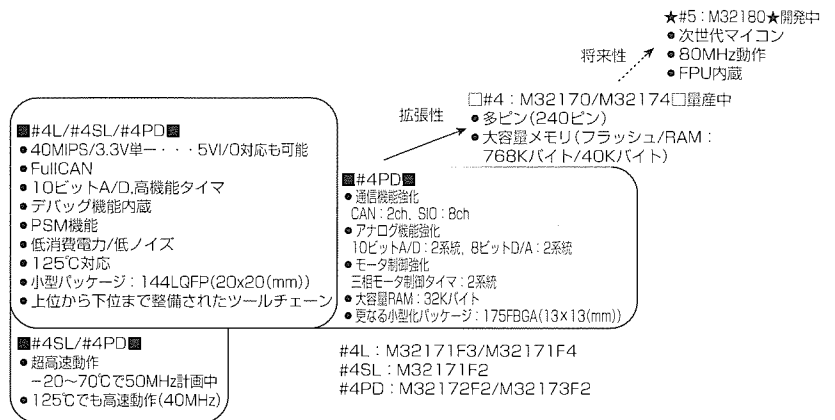


図1. M32R/ECU ロードマップ

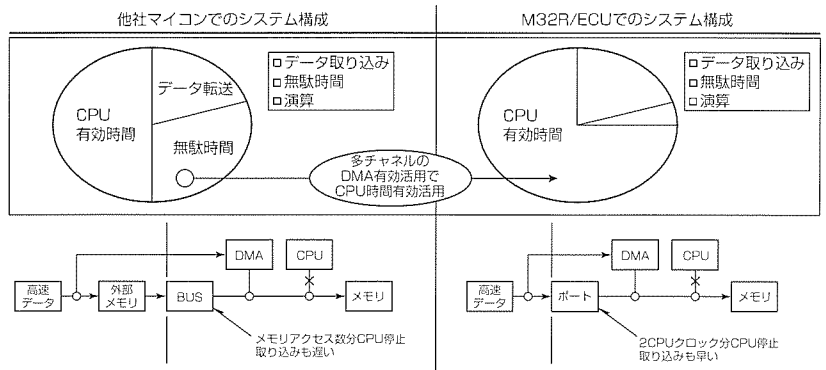


図2. PSM応用例: 高速外部パラレルデータ取り込み

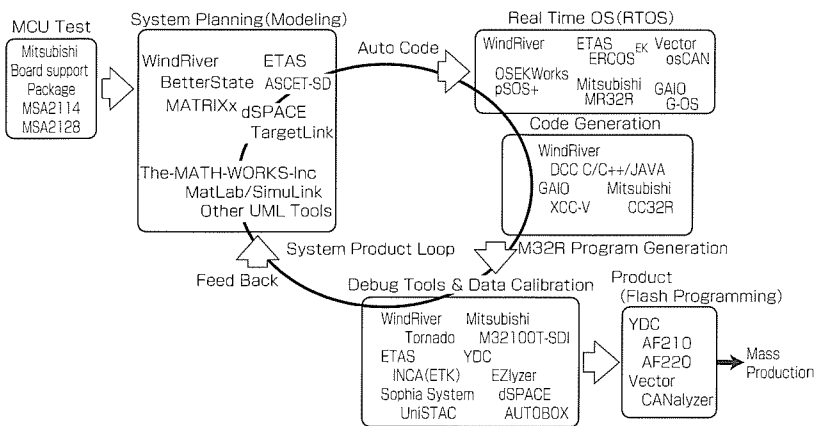


図3. M32R/ECU ツールチェーン