

高性能パワーIC - BiC-DMOS -

寺島知秀*
畑迫健一*
日根史郎**

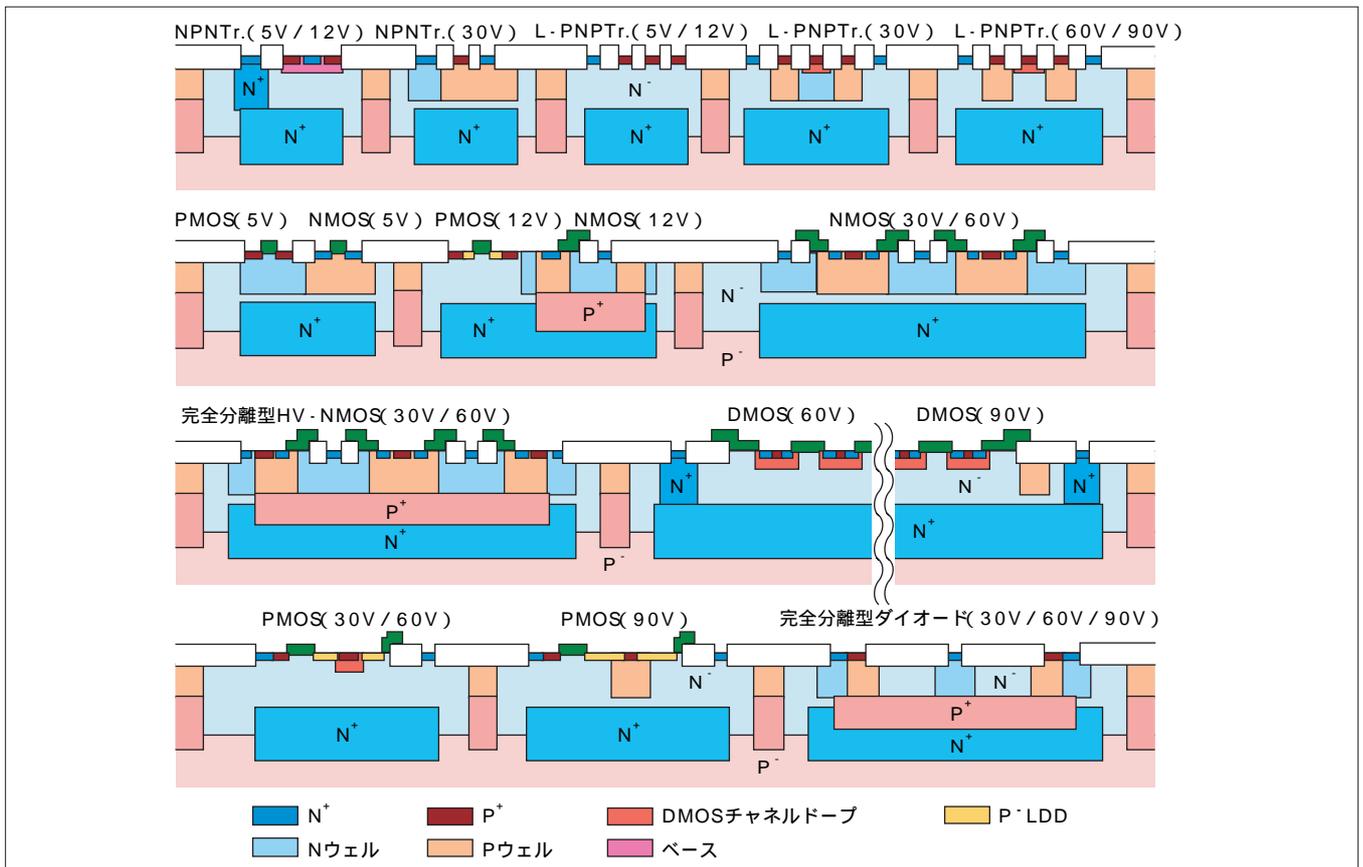
要旨

BiC-DMOSとは、CMOSプロセスにBipolarトランジスタ、高耐圧大電流のMOSトランジスタを付加したものであり、アナログ/デジタル信号処理とパワー制御を1チップで実現するものとして約20年前から各社で開発が進められてきた。特にここ数年間の微細化による全面的な性能向上と携帯機器に代表される小型化及び低消費電力化への要求による相乗効果により、プロセス開発が世界的に加速しており、その適用範囲も急速に広がっている。

今回、この分野で最も競争力のあるプロセスを目標として、0.5 μ m BiC-DMOSプロセスを開発した。このプロセスでは、埋め込み拡散エピタキシャル基板構造の最適化、RESURF(Reduced Surface Field)技術の適用、DMOS(Double Diffused MOS)セル微細化技術、オフセット拡散最適化、35nmゲートオプションにより、NMOSトランジスタ

の実効オン抵抗を広い耐圧範囲で最適化している。これによって、このプロセスは、ポータブル機器に代表される30Vクラスのパワー制御から42Vバッテリーシステムの次世代自動車電装品、プラズマディスプレイドライブに対応する90V系のパワー制御まで対応可能とし、さらにPMOSトランジスタ、Bipolarトランジスタも、各拡散の最適化により、NMOSと同じ耐圧バリエーションを実現している。

また、これらの素子を低コストで実現するために、各拡散の共通化の追求により、プロセス工数を最少に抑えている。このプロセスでは5Vから90VまでのMOSトランジスタ、Bipolarトランジスタを1プロセスで実現可能としたため、各アプリケーションへの対応が容易となり、コストと性能面での競争力だけでなく、応用製品分野が極めて幅広いものとなった。



BiC-DMOSプロセスに内蔵される主要デバイスの断面図

90V耐圧に最適化したN⁻エピタキシャル層、N⁺埋め込み拡散層を基本構造とし、各拡散の最適化と多重適用によって最少のプロセスコストで極めて多種類のデバイスを内蔵可能としたため、5Vから90Vの用途においてBiC-DMOSとしての全機能を実現できるものになっている。