

MITSUBISHI

三菱電機技報 Vol.75 No.6

特集「新たな飛躍段階を迎えたパワーデバイス」 **2001 6**



目次

特集「新たな飛躍段階を迎えたパワーデバイス」

スイッチング電源とパワー半導体デバイス 1 二宮 保	21世紀を迎えたパワーデバイスの展開 2 塚本克博・川上 明・森 敏	次世代IGBT (CSTBT) 7 高橋英樹・佐藤克己・友松佳史	1,200V NPTトレンチIGBT 11 中村勝光・楠 茂・中村秀城	高性能パワーIC — BiC-DMOS — 15 寺島知秀・畑迫健一・日根史郎	低オン抵抗第六世代低圧MOSFET 19 橋崎教司・瓜生勝美・守谷純一	小容量モータ駆動用トランスファモードIPM 23 岩崎光孝・岩上 徹・戸田 均	第四世代低損失IGBTモジュール“Fシリーズ” 27 山田順治・松岡 徹	S-DASHサーボIPM“CBシリーズ” 31 五十嵐 尚・船久保信昭	HEV用IPMの技術展開 35 深田雅一・ゴープラフ・マジウムダール・前川博敏	4.5kV HVIGBTモジュールシリーズ 39 石井一史・近井 智・望月浩一	GCTサイリスタのシリーズ開発 43 徳能 太・倉地和博・山口義弘	パワーモジュールパッケージの技術動向 47 篠原利彰・榊田久雄・太田達雄	パワーデバイスの信頼性試験動向 51 内田 誠・井上和美	パワーモジュール高信頼性設計のための解析・シミュレーション技術 55 菊永敏之・大井健史・碓井 修	SiC-MOSFET素子技術 59 大塚健一・樽井陽一郎・今泉昌之
-------------------------------------	---	---	--	--	--	--	---	--	--	--	--	---	---------------------------------------	--	--

特許と新案

「半導体パワーモジュールおよびその製造方法」	
「半導体装置およびその製造方法」 63	
「混成集積回路装置」 64	

スポットライト

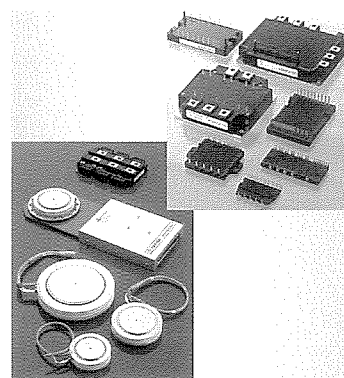
飽和電圧と電磁ノイズ低減を目指したS-DASH IPMシリーズ (表3)
--

表紙

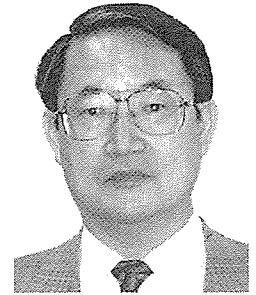
三菱パワーデバイス

パワーデバイスは、地球環境保護に貢献する各種パワーエレクトロニクス機器のニーズにこたえ、電流・電圧定格の拡大と高周波化及びパッケージの小型化を進めてきた。表紙に三菱パワーデバイスの一例を示す。現在パワーデバイスの主流を占めるパワーモジュールは、IGBTを使用したIGBTモジュールで、低損失・高速化が進行中である。また高耐圧IGBTモジュールは、4.5kV系列までの品ぞろえを完了した。

一方、トータルシステムの小型化を追求したIPMは年々普及率を上げ、汎用第四世代IPMに加え、産業用ASIPMや家電用DIP-IPM等が急成長している。電力用には6kV/6kAの大容量GTOが実用化され、また、これを高速化したGCTも大容量化が進展中である。



スイッチング電源とパワー半導体デバイス



九州大学 大学院
システム情報科学研究院

教授 二宮 保

今日、携帯機器はもちろんのこと、あらゆる電気・電子・情報機器が小型化され我々はその恩恵をこうむっているが、更なる小型化の要求はとどまることがない。このような機器の小型化の実現に半導体集積回路が主役を演じていることは一般に周知のことであるが、それら集積回路の駆動に必要な高品質の電気を供給している電源部分の小型化も貢献度が高いことは電気技術者の間では周知のことと思われる。

電源部分の小型化は1960年代に端を発したスイッチング電源の採用によるものであり、その進展に最高に寄与したものが、数百kHzの高周波スイッチングを可能にしたパワー半導体デバイスである。トランスやインダクタ等の磁気部品はある条件下で試算するとスイッチング周波数の3/5乗に逆比例して小型化され、パルス電流を平滑化するコンデンサも高周波化に伴って小型化できる。5V/20A出力のスイッチング電源を例に過去の実績を見ると、'70年から'80年の10年間でスイッチング周波数が50倍(2kHzから100kHz)に高周波化された結果、体積が1/10に小型化されたデータが報告されている。しかし、それ以上の高周波化では、パワーデバイスのスイッチング損失による著しい温度上昇のため、小型化が困難となった。その後スイッチング損失対策として共振回路技術を用いた共振形コンバータが提案されたが、パワーデバイスのオン抵抗が耐圧のべき乗で増加することから効率向上が困難となり、当時、実用化はごく一部に限られた。この問題に対し再び回路技術による解決が図られて部分共振技術(Edge Resonance)が提案され、今日、1MHz近い高周波化が実現し、多くのオンボード電源モジュールに実用化されている。これには

通常2個のNチャネルMOSFETが用いられているが、それらのゲート駆動回路が少々複雑となる。私どもが現在研究を進めている段階ではあるが、PチャネルとNチャネルのコンプリメンタリMOSFETパワーモジュールを用いて両スイッチのソースを共通接地することによって、ゲート駆動回路が簡単で高効率・低ノイズ特性のスイッチング電源を構成することができる。これを広く実用化するためには、両スイッチが共に低オン抵抗・低ゲート容量・高耐圧の性能を持ち、しかも低コストであることが要求される。また、この部分共振技術はIGBTを用いたハイパワーの分野にも適用されており、高効率・低ノイズ化に効果を発揮しているが、ゲート駆動回路については上記と同様な問題が考えられる。

一方、複雑な制御回路や駆動回路もASIC等の集積回路で構成できれば、回路の複雑性に対する評価も変わってくる。このように、デバイス技術と回路技術はお互いに相手の欠点を補いつつ全体の高性能を達成するためにコンビを組んでいる。最近、スイッチング電源回路の研究に少々閉そく(塞)感があるが、新しいデバイスが出現すると、また新たに回路技術も進展する。

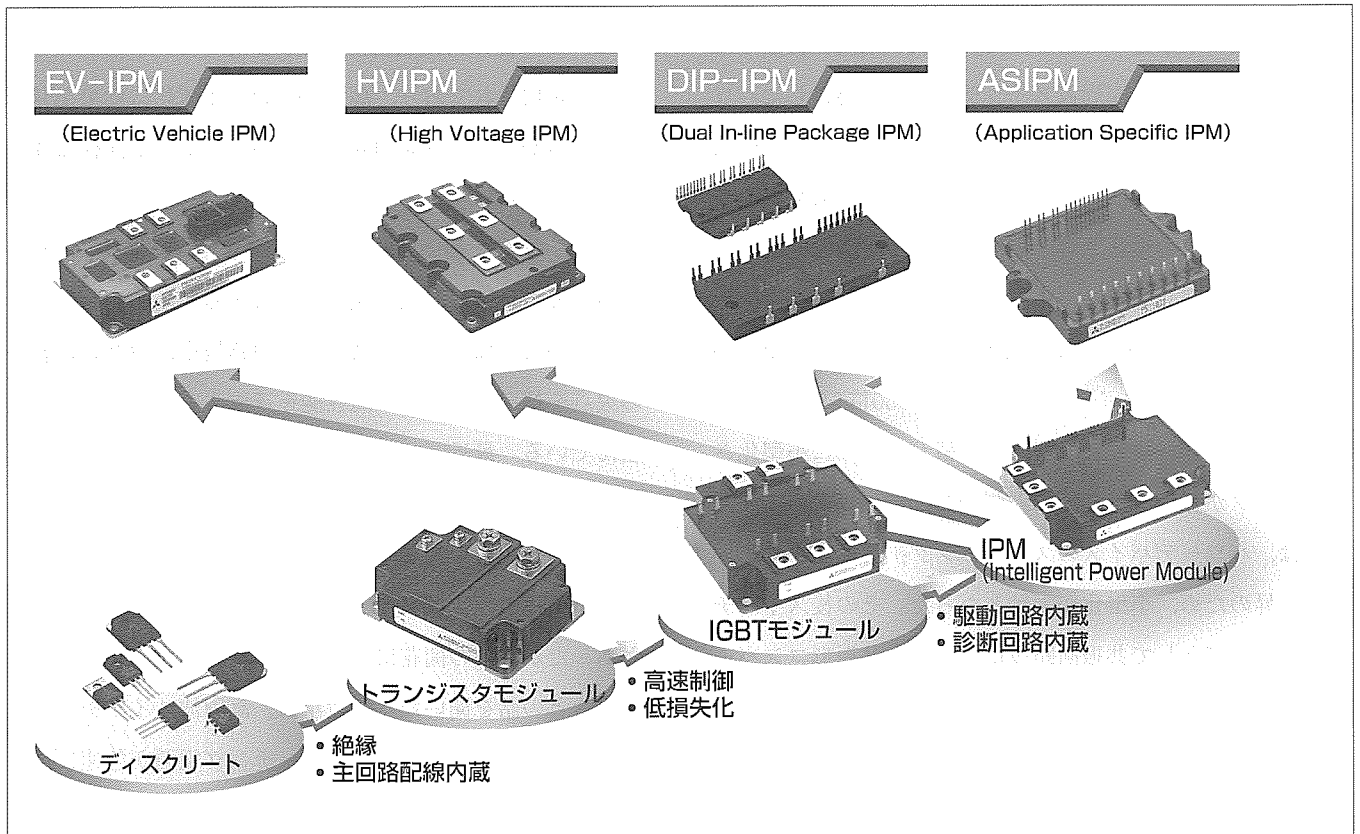
今年の桜の開花は九州よりも関東の方が早いという異変があったが、桜の開花には冬の間の厳しい寒さが有効に作用するとの話を聞いた。十数年前、高周波スイッチング技術や共振回路技術の導入でスイッチング電源が急速に進展したが、現在、再度の開花のために、半導体デバイスに何らかの春の兆しを期待しつつ厳しい試練の模索を続けている時期である。従来のデバイスの性能向上とともに、学会等で最近話題に上っているSiC素子の展開を見守りたい。

21世紀を迎えたパワーデバイスの展開

要 旨

1957年にサイリスタが発表されて以来、パワー半導体デバイス(以下“パワーデバイス”という。)の発展とともに、これを用いて電力の変換・制御とその応用を取り扱うパワーエレクトロニクス産業も著しい発展を遂げてきた。21世紀を迎え、地球の有限性を強く認識して資源とエネルギーを高度利用する循環型社会への転換を図る技術革新とIT(情報技術)を駆使した技術普及の動きが活発化し、パワーエレクトロニクスとそのキーパーツであるパワーデバイスが果たすべき役割はますます重要になってきた。このような背景の下に、パワーデバイスはインバータ制御を主目的にサイリスタ、GTO(Gate Turn-off Thyristor)、バイポーラトランジスタ、MOSFET(Metal Oxide Silicon Field Effect Transistor)からIGBT(Insulated Gate Bipolar Transistor)へと進展し、その応用分野も家電製品からOA、産業、医療、電気自動車、電鉄、電力に至る幅広い分野へ

と拡大した。現在、パワーデバイスの取り扱う電力の範囲は数Wのスイッチング電源からGW級の直流送電までの9けたにも及び、広範囲な電力の制御が可能になった。一方、応用の中心となるIGBTは、高速化と低損失化及び破壊耐量の向上を目指した改良を繰り返して第五世代製品が見えてきた。さらに、IGBTに駆動・保護・診断回路等を組み込みモジュール化したIPM(Intelligent Power Module)が、その至便性と小型化を特長にしてパワーデバイスの主役の座に定着した。家電・産業・自動車・電鉄の各分野では、市場ニーズに最適設計されたIPMが開発されるようになり、更なる市場拡大が期待される。また、従来のSi(シリコン)に代わる半導体材料としてのSiC(シリコンカーバイド：炭化けい素)への期待が高く、MOSFETやSBD等のパワーデバイスへの早期実用化への取組も盛んになってきた。



パワーモジュールの進展

ディスクリートからスタートしたパワーデバイスは、使い勝手を重視したパワーモジュールや、さらには駆動回路、保護回路、自己診断回路を内蔵したインテリジェントパワーモジュール(IPM)へと進化した。最近では産業・家電・自動車・電鉄の各用途向けに最適な特性・機能・パッケージを提供できる各種IPMが実用化され、省エネルギーやパワーエレクトロニクス製品の小型化、高信頼度化への貢献度は高い。

1. ま え が き

21世紀はIT (Information Technology) とEcology (環境) の時代として幕を開けた。もちろんこれらの技術を支えるのはLSIを中心とした半導体技術であることは言うまでもないが、パワーデバイスもこれらの産業のけん(牽)引役として大きなかかわりを持っている。IT関連では各種通信装置の電源や無停電電源(UPS)、またマルチメディア、携帯端末などIT関連装置の製造装置との関連が深い。一方、環境関連では、CO₂削減対策としての省エネルギー機器、太陽光・風力発電等の新エネルギー関連機器及び電気自動車関連機器にはパワーデバイスは欠かせない。さらに、EMC(Electro-Magnetic Compatibility)や高調波電流を抑制する面から環境問題にも大きなかかわりを持っている。このように社会の繁栄を支える最も基本的な要素であるエネルギーの有効利用の切り札であるパワーデバイスは、電力変換・制御機器の高効率化を図る半導体電力用スイッチとしての理想を追求し、理論限界に迫りながら発展を遂げている。

本稿では、目覚ましい進歩を遂げるパワーデバイスのこれまでの足跡をたどりつつ、最近の技術動向及び将来動向について展望する⁽¹⁾。

2. パワーデバイスの目覚ましい進歩

2.1 パワーデバイスの歴史

1957年に発表されたサイリスタは、従来の真空管に代わり半導体の持つ利便性と高耐圧、大電流、高速スイッチングの特長を発揮し、'70年初頭には整流ダイオードとともにパワーエレクトロニクスの主役の座を占めるに至った。'70年代には2度に及ぶオイルショックの影響で省エネルギーに対するニーズが高まり、'80年代の初めには各種インバータ装置がパワーエレクトロニクスの牽引役に成長した。これを契機にパワーデバイスも従来のサイリスタの代わりに自己消弧機能を持つバイポーラトランジスタでかつ配線の簡素化と絶縁が図れるパワートランジスタモジュールに移行し、急激に普及した。さらに'90年代に入ると、インバータ装置の小型化・高性能化・高機能化を目指し、その主役の座は、IGBTモジュール等のMOS系パワーモジュールと、IGBTモジュールに駆動回路・保護回路・自己診断回路を内蔵したIPMへ移った。これらのパワーデバイスを利用し、'90年代後半になるとインバータの応用が更に拡大し、従来の汎用インバータ、サーボ、UPS等の産業用途のみにとどまらず、エアコン・冷蔵庫・洗濯機等の家庭電化製品、電気自動車、新幹線・電気機関車等の電鉄市場まで広がった。このような市場拡大とともに市場ごとのニーズにきめ細かく対応した専用IPMが登場してパワーデバイス製品の多様化がますます進んできた。図1に汎用インバー

タの小型化ニーズの歴史とそれに貢献したパワーデバイスの歴史を示す。

2.2 パワーモジュール技術

最近のパワーデバイスを論ずるに当たり、まずパワーモジュールについて言及する。パワーモジュールとは、複数個のパワー半導体チップを用途・目的に応じて結線し、一つのパッケージに収めた複合半導体を指す。内蔵する主要チップに応じてサイリスタモジュール、ダイオードモジュール、トランジスタモジュール、IGBTモジュール等がある。また、IGBTモジュールに駆動回路・保護回路・自己診断回路を内蔵したIPMもパワーモジュールとして分類される。パワーモジュールは、'78年ごろから実用化が始まり、現在3Aから1,800Aの広範囲で製品化されるに至った。このようにパワーモジュールは、パワーデバイスをチップ状態で用途に合った回路に配線したことと絶縁構造採用による装置の組立ての省力化と小型化に貢献できるようになったことから、パワーデバイスの代名詞と言われるまでに成長を遂げた。

2.3 MOS系パワーデバイス技術

2.3.1 MOSFET

パワーMOSFETは、スイッチング素子に必要な高耐圧、大電流、低損失、高速の各機能を兼ね備えた素子として開発が進んでいる。パワーMOSFETは、従来のバイポーラトランジスタに比べて駆動回路の簡素化が図れる電圧駆動型であることと、数百kHzでの高速スイッチング動作でも損失が小さいのでセットの小型化・高効率化に優れていることにより、最近バイポーラトランジスタに代わりその応用分野を拡大している。特にパソコンや携帯電話の普及によって低耐圧・低オン抵抗のパワーMOSFETの貢献は大きい。パワーMOSFETの低損失化の技術としてはLSIの微細化技術の応用とトレンチゲート構造の採用がある。またリサーチ技術を活用したCool MOSやスーパージャクションMOSFET等も開発されるようになり、従来のデバイス構造の特性限界を破る大幅な改善が実現している。

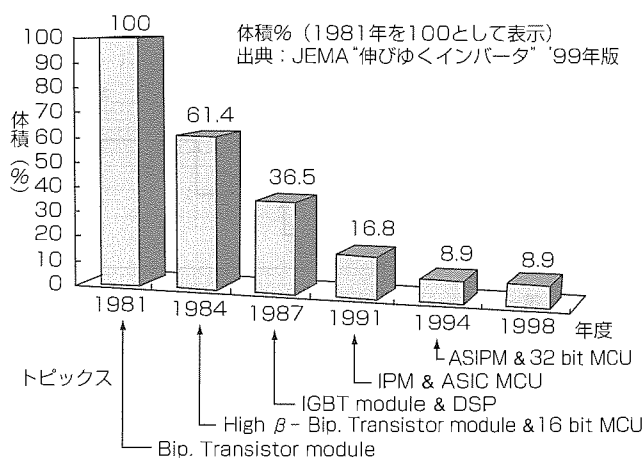


図1. インバータの変遷

2.3.2 IGBT

IGBTは、その名の示すとおり、パワーMOSFETの持つ高速スイッチング性能と電圧駆動性能、及びバイポーラトランジスタの持つ大電力性能とを兼ね備えたパワーデバイスである。したがって、IGBTに対する市場の要求は、大電力(高耐圧、大電流)と低損失性能である。図2にIGBTモジュールの大容量化の変遷を示す。現在までに4.5kVまでの高耐圧化と1,200Aまでの大電流化を実現しており、これらの並列接続によって従来のバイポーラトランジスタやGTOの定格範囲を包含できるようになったため、工業用インバータや電鉄市場にまで採用されるようになった。一方、図3にIGBTの低損失化の変遷を示す。普通IGBTの損失特性の優劣は、インバータ動作を前提とするため、飽和電圧とターンオフ下降時間とのトレードオフの関係で示される。IGBTの低損失化の技術は、LSI技術を活用したシリコン表面の微細加工技術とパワーデバイス特有のバルク内のキャリア密度分布制御技術との両面からの改善がなされてきた。これまでに世代交代が重ねられ、第四世代製品が実用化されている。また現状のIGBTでは、低損失・低コストを実現するため、1 μ mのデザインルールに基づく微細加工とトレンチ構造が採用されている。また低騒音インバータ駆動に必要な15kHz以上の高速スイッチング特性が要求される一方、EMC対策として高速スイッチング特性と相反する低 di/dt 、 dv/dt 特性が要求されており、これらの最適化も重要な技術要素となっている。

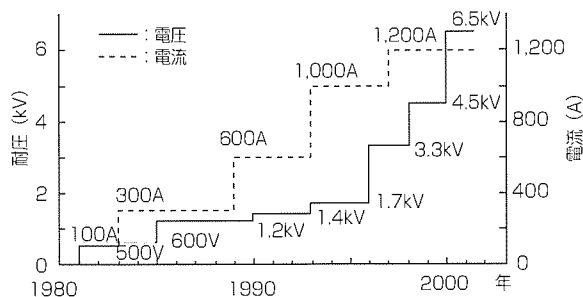


図2. IGBTモジュールの大容量化の変遷

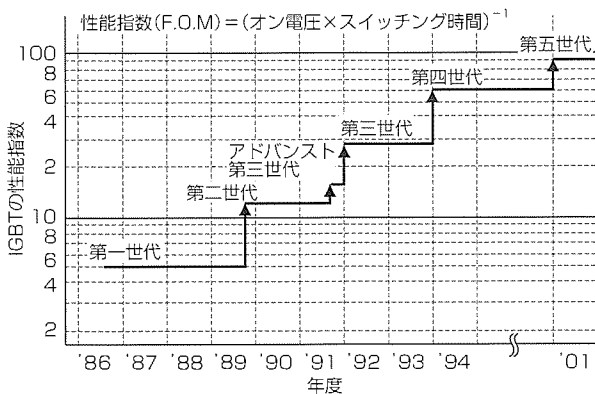


図3. IGBTの低損失化の変遷

2.4 インテリジェント化技術

2.4.1 IPM

IPMは、前述のようにIGBTモジュールに駆動回路・保護回路・自己診断回路を内蔵したパワーモジュールで、インバータ装置やサーボアンプ、UPS等の装置の小型化、組立ての省力化、購買の簡素化にも役立ち、さらにパワーチップと制御用IC及びパッケージの最適化によってパワーデバイスの信頼性を向上させ、マイコン等の制御側におけるソフトウェアとの整合をとることによって、非常に壊れにくいパワーデバイスになった。現在、エアコン・冷蔵庫・洗濯機などの家電インバータ用としては、3A~25A/600VのトランスファモールドのDIP-IPM(Dual In-line Package)が多数使用されるようになった。産業用では600V/1,200V耐圧で4~800AのIPMが採用されている。50A以下の領域では、制御用ICに後述する高耐圧IC(High Voltage Integrated Circuit: HVIC)を採用しマイコンとのインタフェース回路の絶縁用フォトカプラの省略とインバータ回路の制御用電源の単電源化を図ったASIPM(Application Specific Intelligent Power Module)も実用化されている。また、IPMの高信頼性を活用してハイブリッド電気自動車や新幹線のインバータ装置にもIPMが採用されるようになった。

2.4.2 HVIC

三相インバータ回路の制御回路では上アームと下アームとの絶縁が必要であり、IC内部に高圧の絶縁分離機能を持つICをHVICと呼ぶ。この絶縁分離には、AC200V系のインバータ回路の場合600V、AC400V系では1,200Vもの高耐圧が必要である。絶縁分離の方法としてpn接合分離と誘電体分離の2種類がある。pn接合分離は通常のICやLSIを製造するのと同じ方式で、分離用のp⁺層で形成した島の中に素子や回路を構成する。ここでは、高耐圧にした場合に空乏層の広がりを抑えるためリサーフ(Resurf)構造の採用などの工夫が必要であったり、寄生サイリスタによるラッチアップを軽減する設計にも工夫が必要となる。一方、誘電体分離は各素子や回路を構成する単結晶の島を誘電体(シリコン酸化膜)で囲む方式で、ICの高集積化や高性能化に優れている。通常、シリコンの張り合わせ技術によるSOI(Silicon On Insulator)基板が用いられるが、単位面積当たりのコストが高くなる。これらの技術を用いたHVICは、IPMの制御用のみならず、小型モータ制御やインバータ蛍光灯、PDP(Plasma Display Panel)等にも応用分野を広げている。図4に最高耐圧の1,200V接合分離HVICの例を示す。

2.5 パッケージ技術

最近のパワーモジュールのパッケージは、シリコンチップを外部雰囲気から保護するという従来の考え方から大きく変わってきた。すなわち、パッケージの持つ特性を積極

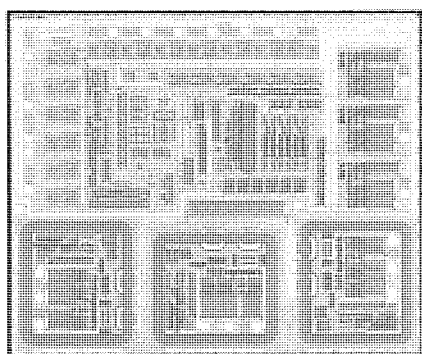


図4. 1,200V接合分離HVIC

的に活用しようとする動きであり、特に、パワーモジュール自身と応用装置の生産性向上やパワーモジュールの小型化が求められている。このような動向の中、パッケージの開発項目として、熱抵抗と絶縁の両立・信頼性・構造及びコストの各視点から用途に応じた開発が進められている。産業用の汎用IGBTモジュールでは、高速のIGBT動作に対応し、ターンオフ時のサージ電圧を抑制した低インダクタンス内部配線のモジュールが定着した。また、低熱抵抗絶縁基板として、従来のアルミナ(Al_2O_3)に代わり窒化アルミ(AIN)が大容量のモジュールに使用されている。絶縁基板の接合方法も、DBC(Direct Bond Copper)技術が採用されたり、50A以下のモジュールは低熱抵抗の樹脂を絶縁材料に使用した金属基板も採用されている。民生用市場での低価格要求にこたえ、ICの組立て技術を使用したトランスファモールド構造のモジュール(DIP-IPM)が普及した。図5にDIP-IPMの構造を示す。自動車や電鉄など高信頼性が求められる用途にはシリコンと膨張係数が近いSiCAlやCuMo等の基板材料が用いられる。環境保護の観点から鉛フリーはんだの検討も進められている。

2.6 大電力化技術

パワーデバイスの大電力化は、これまでサイリスタやGTO等の高耐圧化・大電力化への挑戦であった。既に、直流送電用サイリスタバルブには、6インチシリコンウェーハで8kV/3.5kAの光トリガサイリスタが採用されている。同径のGTOでは6kV/6kAの定格が得られ、鉄鋼用等の工業用インバータに使用されていたが、最近では、GTOの弱点を解決し、高速でスナバレス化が実現できる新しい大電力デバイスとしてGCT(Gate Commutated Turn-off Thyristor)が登場した⁽²⁾。一方、IGBTの大電力化も進み、4.5kV/900Aや3.3kV/1,200Aクラスの高耐圧IGBT(High Voltage IGBT: HVIGBT)モジュールや高耐圧IPM(High Voltage IPM: HVIPM)及び圧接型IGBTも実用化されている。さらに6.5kVのIGBT開発も発表され、これらの並列接続によってGTOやGCTが得意とする高電力領域へも適用されようとしており、この分野でも各種デバイス技術が主役の座を競っている。

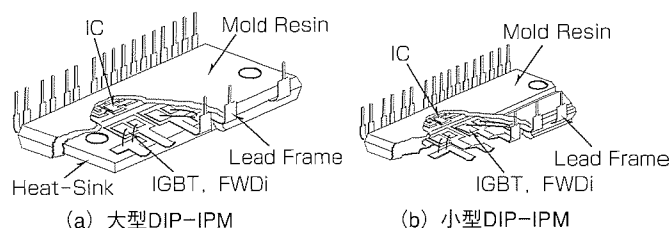


図5. DIP-IPMの構造図

3. パワーデバイスの課題と将来展望

社会環境の変化に伴い、パワーエレクトロニクス機器は、今後ますます装置のコスト低減、低損失化の方向に進みながら応用分野が拡大していくものと思われる。さらに、正弦波の波形により近づけたマルチレベルインバータや、負荷側と電源側の双方向に電力を変換できるマトリックスコンバータ、従来のハードスイッチングに代わってソフトスイッチングによる高周波化等の新技術への挑戦が期待される。したがって、パワーデバイスもこれらの動きへの対応が将来必ず(須)となる。

3.1 低ロス化技術革新

MOS系パワーデバイスの使命の一つに低損失化への飽くなき挑戦がある。これに対し、ユニットセルの高集積化技術と縦方向のキャリア分布制御技術及びシリコンの薄型化技術のアプローチが進んでいる。ユニットセルの高集積化ではLSIの微細化加工技術とともに進展し、低圧MOS-FETで0.35~0.25 μ mのデザインルールへの挑戦が始まっている。また、トレンチ型セル構造やリサーフ技術を応用したスーパージャンクション構造の採用による低損失化にも期待がかかる。縦方向のキャリア分布制御技術を応用したCSTBT(Carrier Stored Trench-Gate Bipolar Transistor)⁽³⁾やIEGT(Injection Enhanced Insulated Gate Bipolar Transistor)⁽⁴⁾は低損失化をねらった新しい素子構造として注目される。当社では、特に低ロス化で有利であるCSTBTを次世代IGBTとして位置付けて開発を進めている(詳細は後述の“CSTBT構造第五世代IGBT”を参照)。シリコンの薄型化技術は、1,200V以上のNPT(Non Punch Through)IGBTで採用されたのを皮切りに改善が進んでいる。1,200VのIGBTでは、新NPT技術と前述のCSTBTを融合し、1,200VのPTトレンチIGBTと同様の飽和電圧が得られるようになった(詳細は後述の“1,200V NPTトレンチIGBT”を参照)。また、還流ダイオードについてもEMCノイズ低減のためにリカバリー特性改善が課題となる。この対策としてヘリウム(He)によるライフタイム制御技術等が期待される⁽⁵⁾。

3.2 パッケージ技術革新

パワーチップの革新に伴って、パワーデバイスパッケージも、パワーチップの特性を十分に引き出すような技術革新

が求められている。まず、パワーチップの低オン抵抗化に伴う課題として、パッケージの配線インピーダンスの低減がある。現在アルミ線の増加、太線化等の対応がとられているが、将来的にはワイヤレス接合等の技術革新が望まれる。またIGBTやMOSFET等のチップの高速化に伴うスイッチング時のサージ電圧抑制や配線の引き回しに起因する波形振動対策としての技術進歩が求められ、電磁界解析シミュレーションを活用したパッケージ開発が精力的に進められている。パワーモジュールのパッケージで最も重要な技術課題として、熱抵抗の低減と絶縁性能のトレードオフの改善がある。これまでに窒化アルミDBC基板、金属基板の熱抵抗改善が行われているが、絶縁基板の一層の性能向上が期待されている。小容量領域のモジュールとしてトランスファモールドのDIP-IPMが家電インバータに普及しているが、生産性向上を目指して、現状の3~25Aの電流領域を更に拡大した機種展開が望まれている。

3.3 システム化の潮流

パワーデバイスは、従来のディスクリットからパワーモジュール、IPMへと移行し、さらにはHVICを搭載したASIPMやDIP-IPMへとシステム化への志向を強めている。この背景としては①パワーチップを効率的に使うこと、②コンパクトに装置をまとめ上げること、③高電圧・大電流の環境下でも壊れない、などの市場ニーズによるもので、更にこの潮流を推進するためには、LSIの技術を活用したシステム化を推進する必要がある。その対応として、パワーチップ側では各種検出・保護回路の内蔵が課題になる。現状ではIPMに過電流や短絡電流を検出するための電流センサやパワーデバイスのチップ温度を検出するための温度センサが内蔵できるようになっているが、将来に向けては過電圧・過電流・温度に対する保護回路と通信の機能を持ったパワーチップの開発が挙げられる。一方、制御側では、LSIの集積化技術を結集し、CPUやMCU等を含むより高度な制御システム、電源及びセンサの内蔵など、ニーズの多様化に対応する技術課題がある。

3.4 新しい半導体材料デバイスへの期待

既に述べたように既存のSi(シリコン)を用いたパワーデバイスでは低損失・高速動作・高温動作において物理的限界に迫ってきており、更なるパワーデバイスの飛躍のためには、半導体材料のブレークスルーが必要である。最近、Siに代わる半導体材料として、SiCやGaNなどワイドバンドギャップ半導体への熱い期待が寄せられている。特にSiCは、Siに比べ、絶縁破壊強度が約10倍、飽和電子速度が約2倍、熱伝導度が約3倍の優れた物性値を持ち、古くから注目されていたにもかかわらず高品質の単結晶が得られなかったため、パワーデバイスへの応用が大幅に遅れていた。最近、結晶成長技術や半導体プロセス技術の著しい進展により、6H-SiC、4H-SiCで2インチのウェーハが

市販され、3C-SiCの6インチウェーハが開発されるようになった。SiCはビルトイン電圧が約2.5Vと高いためバイポーラデバイスには適さず、MOSFET等のユニポーラデバイスから開発が始まっている。当社もNEDOプロジェクトに参画しSiC-MOSFETの開発を進めている⁽⁶⁾(詳細は後述の“SiC-MOSFET素子技術”を参照)。SiCを使ったパワーデバイスへの期待としては高耐圧で低損失が求められ、一般的にSiとの比較をBaliga's Figure of Merit(BFOM: $\epsilon\mu E_b^3$)で示され、約620倍の性能を得ることができる。このほか、SiCは高温での動作範囲がSiに比べて大幅に拡大するので、例えば自動車への応用では、エンジンルームでの冷却系が著しく簡素化され、スペース効率が飛躍的に向上するなど大きな夢が膨らんでくる。

4. む す び

21世紀に入り、地球環境保護にパワーエレクトロニクスがますます重要な役割を果たす。パワーデバイスは、これをリードするため、大電力化・高速化・低損失化・システム化が一層進展する。また市場ニーズの多様化に伴って応用製品に最適な性能、システム、パッケージを備えたパワーデバイスが求められてくる。これらの要求にこたえるためパワーデバイスも多方面での研究開発が進んでおり、更なる発展が期待される。

参 考 文 献

- (1) 萩野浩靖：パワーデバイスチップの技術動向と展望，三菱電機技報，73，No.12，848~852（1999）
- (2) Yamamoto, M., Satoh, K., Nakagawa, T., Kawakami, A. : GCT (Gate Commutated Turn-off Thyristor) and Gate Drive Circuit, IEEE 29th Power Electronics Specialists Conference Record, 2, 1711~1715 (1998)
- (3) Takahashi, H., Haruguchi, H., Hagino, H., Yamada, T. : Carrier Stored Trench-Gate Bipolar Transistor (CSTBT) - A Novel Power Device for High Voltage Application -, Proceedings of ISPSD '96, 349~352 (1996)
- (4) Kitagawa, M., Omura, I., Hasegawa, S., Inoue, T., Nakagawa, A. : A 4500V Injection Enhanced Insulated Gate Bipolar Transistor (IEGT) Operating in a Mode Similar to a Thyristor, IEEE IEDM Tech. Digest, 679~682 (1993)
- (5) Iwamoto, H., Kawakami, A., Takahashi, H., Nakaoka, M. : New Generation 1200V Power Module with Trench Gate IGBT and Soft Recovery Diode and its Evaluations, IEE Proc-Electr. Power Appl., 147, No.3, 153~158 (2000)
- (6) 杉本博司，樽井陽一郎，今泉昌之：SiC素子技術，三菱電機技報，73，No.12，869~872（1999）

次世代IGBT(CSTBT)

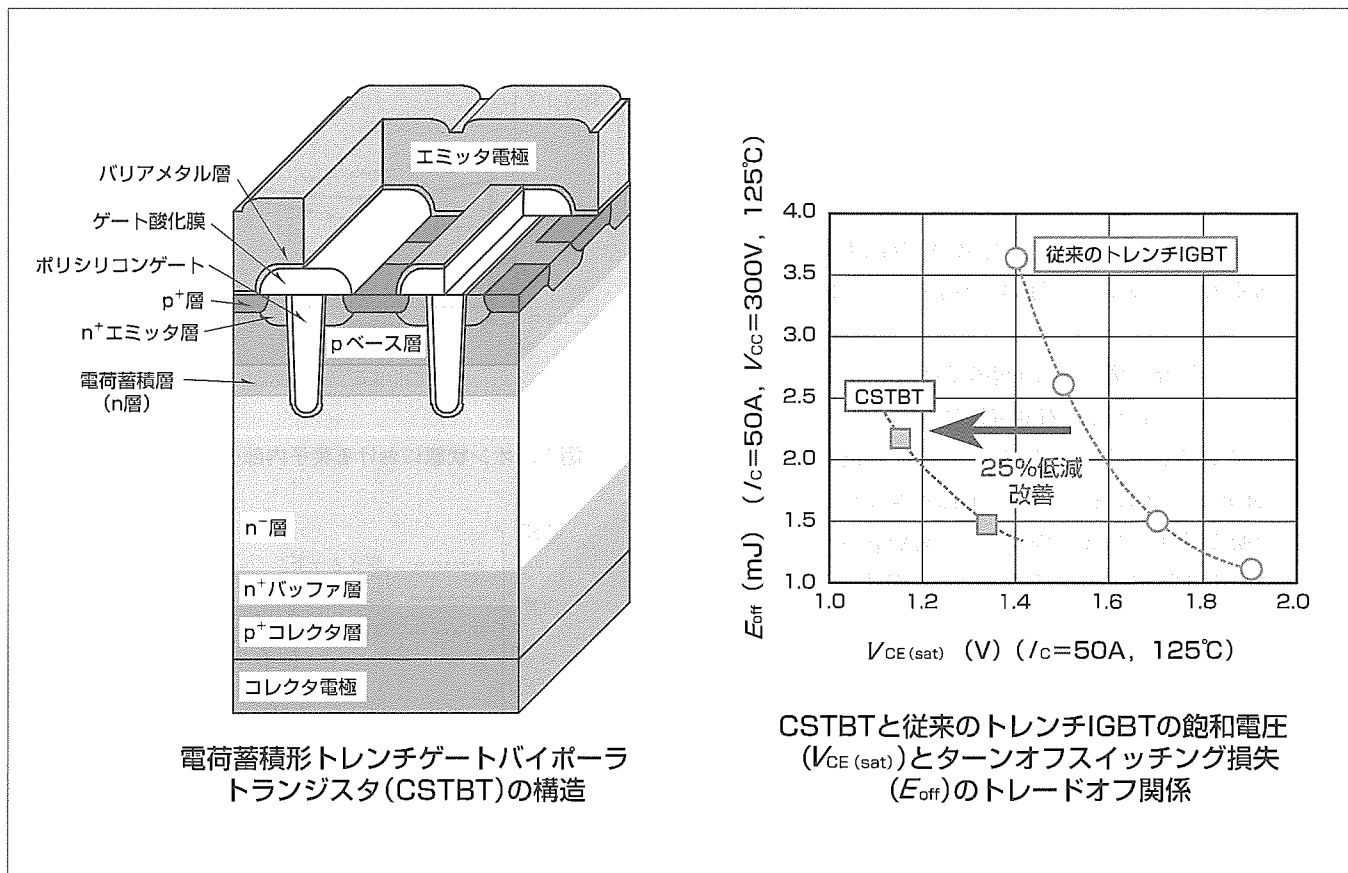
要 旨

パワーデバイスは社会情勢を反映しながら産業・電力・交通・情報等の分野に使用されており、それらの機器の性能はパワーデバイスによって大きく左右される。現在のパワーチップは、600Vを境にして、低圧の領域はMOSFETに、高圧の領域はIGBT(Insulated Gate Bipolar Transistor)に住み分けされている。

インバータ应用到主に用いられるIGBTモジュールが市場に導入されて以来、IGBTチップは数年ごとに世代交代が図られ、世代交代ごとに損失の指標である飽和電圧とスイッチング損失のトレードオフ曲線が改善されてきた。第三世代まではセルの微細化技術によって改善が進められたが、第四世代においては、微細化に加えてトレンチゲート構造という革新的な構造の導入がなされ、飛躍的に改善された。

第四世代IGBTの飛躍が余りにも大きく、多くのメーカーが次世代IGBTを打ち出せていない中、三菱電機は、更なる省エネルギー化を指向する市場の要求にこたえるために、電荷蓄積形トレンチゲートバイポーラトランジスタ(Carrier Stored Trench Gate Bipolar Transistor: CSTBT)を1996年に発案し、次世代パワーチップと位置付けて、構造と製造プロセスの両面から研究・開発を進めてきた。

今日、600V級のPT(Punch Through)形CSTBTは、第四世代IGBTと同等のスイッチング性能を維持し、かつ、飽和電圧の25%低減できる目処が得られるまでに至った。この性能は現在発表されているIGBT系デバイスの中で最も優れたものであり、CSTBTは次世代IGBTとしての期待に十分こたえることができる。



CSTBTの構造上及び特性上の特長概要

電荷蓄積層を持つCSTBTは、オン状態時にダイオードに近いキャリア密度分布を持ち、従来のトレンチIGBTよりも更に低オン電圧化を実現できるので、従来のトレンチIGBTに比べて主要なトレードオフ関係にある $V_{CE(sat)}$ と E_{off} の関係を大幅に改善でき、市場の低損失化要求にこたえることができる。

1. ま え が き

MOSFETとバイポーラトランジスタの複合素子である絶縁ゲート形バイポーラトランジスタ(IGBT)は、600V以上の領域の主要パワー素子として、産業・電力・交通・情報等の分野で使用されている。IGBTの代表的な特性であるコレクター-エミッタ間飽和電圧($V_{CE(sat)}$)とターンオフスイッチング損失(E_{off})にはトレードオフの関係があり、このトレードオフ性能がパワー素子及びパワーエレクトロニクス機器の損失に大きく影響する。そこで、微細加工技術を用いてセル密度の高密度化を図る低 $V_{CE(sat)}$ 化を中心に、平面ゲート構造を持った第三世代IGBTまで開発が進められてきた⁽¹⁾。第四世代IGBTは、トレンチゲート構造が採用され、平面ゲート構造に比べてMOSゲート部で発生するオン電圧の大幅低減を実現している^{(2)~(4)}。現在、パワー素子製造各社は、更なるトレードオフの関係改善を目指し、次世代IGBTを模索している。

三菱電機は、トレンチIGBT(TIGBT)のキャリア分布を大幅に改善することで低オン電圧化を成し得る電荷蓄積形トレンチゲートバイポーラトランジスタ(CSTBT)を提案し、次世代IGBTと位置付けて開発してきた⁽⁵⁾。今回、次世代パワーチップとしての期待にこたえ得る性能に達したので、試作評価結果を交えてCSTBTを紹介する。

2. CSTBTの構造と特徴

CSTBTは、従来のトレンチIGBT(TIGBT)のpベース層とn⁻層の間に比較的高不純物濃度のn層を付加したことを構造上の特徴としている。従来のTIGBTでは、オン状態にある場合、コレクタ側のp⁺層からn⁻層に正孔が注入され、エミッタ側へ通り抜けていく。一方、CSTBTの場合、pベース層と接合するn層の濃度がn⁻層よりも高いため、pベース-n接合の内蔵電位はTIGBTのpベース-n⁻接合の内蔵電位よりも約0.2V高い。この高い内蔵電位が、p⁺層からn⁻層に注入された正孔のエミッタ側への通り抜けを妨ぐ障壁となる。つまり、n層がpベース層への正孔の移動を制限することにより、素子内部に正孔が蓄積されることになる。この電荷蓄積機能によってCSTBTの少数キャリアである正孔分布がpinダイオードの正孔分布に近づき、CSTBTのオン電圧特性はTIGBTに比べて大幅に低減される。

デバイスシミュレータ“MEDICI”を用いてpinダイオード及びCSTBT、TIGBTのオン状態の素子内部での正孔密度分布をシミュレーションした結果を図1に示す。デバイス構造には幅1 μ m、深さ5 μ mのトレンチ構造を与え、n⁻層厚み及びnエミッタ層厚みをそれぞれ60 μ m、1 μ mとした。少数キャリアのライフタイムは、TIGBTのターンオフ下降時間(t_f)が200nsとなる値をすべてに与えている。

CSTBTは、電荷蓄積機能によってエミッタ側でTIGBTに比べてより多くの正孔が存在し、pinダイオードの正孔分布に近づいていることが分かる。

図2はそれぞれの構造を持つ600V級素子の出力特性をシミュレーションした結果である。pinダイオード、CSTBT、TIGBTの電流密度(J_c)が200A/cm²時のオン電圧はそれぞれ0.98V、1.12V、1.40Vであり、CSTBTはTIGBTに比べて大幅に低減改善され、出力特性はpinダイオードに近いことが分かる。

3. 600V級CSTBTの性能

CSTBTの性能確認をするため、TIGBTと同じウェーハ及び同じ1 μ mデザインルールを用いて阻止電圧600V、電流容量50AのCSTBTチップを試作し、評価を実施した。試作したCSTBTチップの外観を図3に示す。CSTBTチップ寸法は6.2mm \times 6.2mmであり、電流センスを内蔵している。ウェーハ製造プロセスでは、ターンオフ性能の改善を

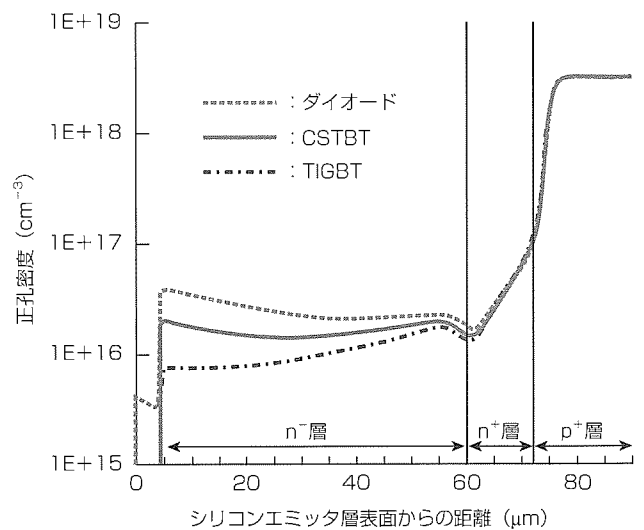


図1. オン状態における素子内部の正孔密度分布

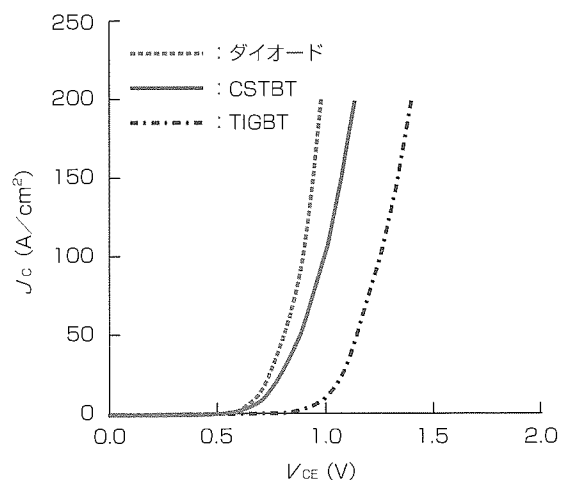


図2. pinダイオード、CSTBT、TIGBTの出力特性

目的に、pベース層形成工程で高エネルギーボロン注入技術を適用した。

CSTBTはキャリアを蓄積するための比較的の不純物濃度が高いn層で主接合を形成するので、電圧阻止能力を確保することがTIGBTに比べて難しいが、電荷蓄積層の不純物濃度と厚みを最適選定し、かつ高精度制御することで耐圧確保に成功した。

図4に定格電圧600VのCSTBTの電圧阻止状態における電圧-電流波形を示す。横軸はゲート-エミッタ間を短絡した条件下でのコレクタ-エミッタ間電圧(V_{CES})であり、縦軸はコレクタ遮断電流(I_{CES})である。図から明らかなように、600V定格のCSTBTは720Vの電圧阻止能力を持っており、定格電圧に対して20%の余裕度を持っている。

図5は少数キャリアのライフタイムを制御するためにTIGBTと同等の電子線照射を行ったCSTBTの接合温度(T_j)が25℃及び125℃時の出力特性である。横軸がコレクタ-エミッタ間電圧(V_{CE})、縦軸がコレクタ電流(I_C)であり、ゲート条件は、ゲート-エミッタ間電圧(V_{GE})が15Vとしている。定格電流のときの V_{CE} は、 $T_j=25℃$ で1.22V、

$T_j=125℃$ で1.15Vであり、従来のTIGBTに比べてそれぞれ0.3V程度小さい。

図6及び図7は $V_{CE(sat)}$ が1.15VのCSTBTのL負荷スイッチングでのターンオン時及びターンオフ時の電流と電圧の

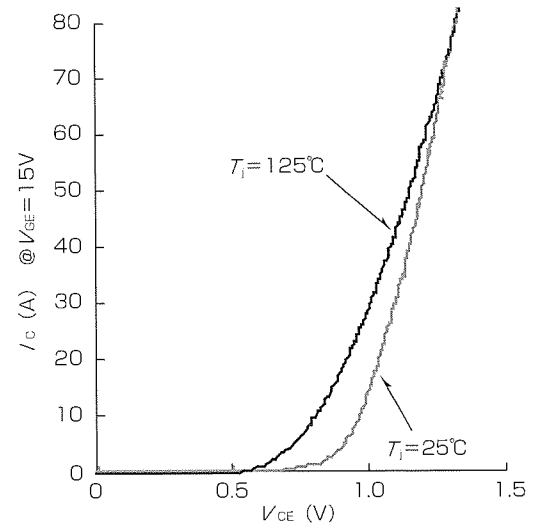


図5. 600V/50A定格のCSTBTの出力特性

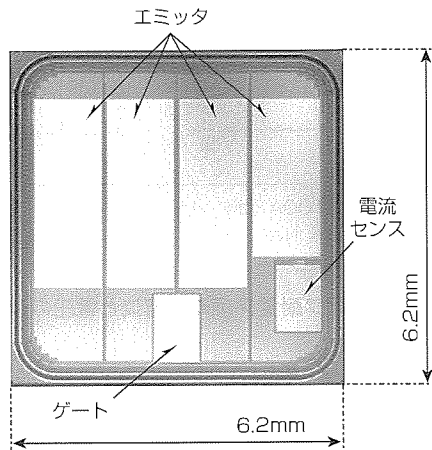


図3. 試作した600V/50A CSTBTチップの外観

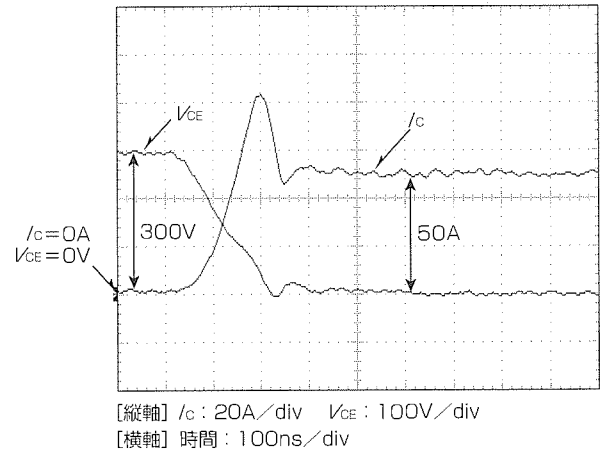


図6. ターンオンスイッチング時の電流と電圧の波形

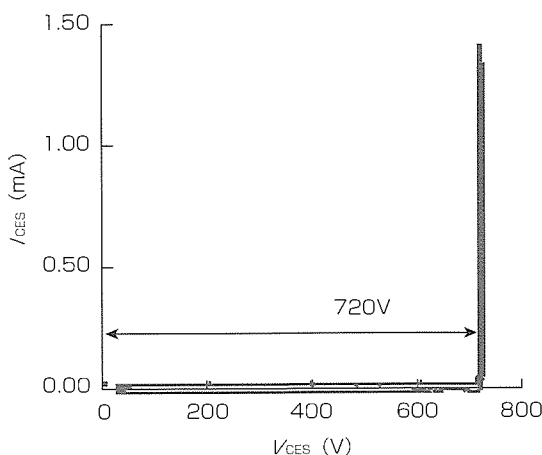


図4. CSTBTの電圧阻止状態における電圧-電流波形

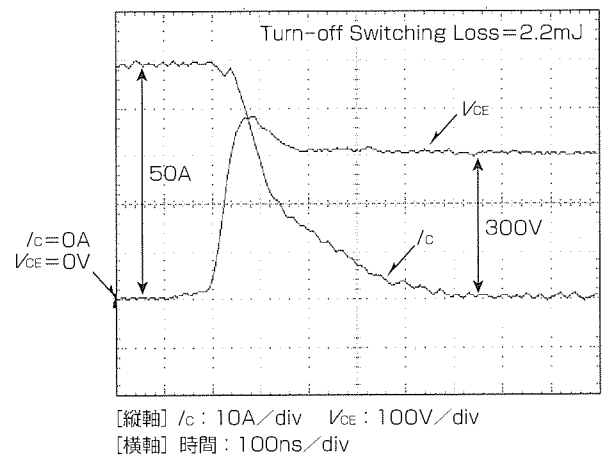


図7. ターンオフスイッチング時の電流と電圧の波形

波形である。試験条件は $T_j=125^\circ\text{C}$ 、電源電圧を300Vとした。50Aの定格電流値におけるターンオンスイッチング損失(E_{on})は0.5mJであり、ターンオフスイッチング損失(E_{off})は2.2mJである。これらの値は従来のTIGBTの E_{on} 、 E_{off} と同等であり、スイッチング波形にも変化は見られない。これより、コレクタ-エミッタ間に数百Vの電圧が印加されるスイッチング動作においては、電荷蓄積層による0.2V程度の内蔵電位の増加は影響しないことを示唆している。また、CSTBTは従来のTIGBTと同等のスイッチング性能を維持しながら $V_{CE(sat)}$ を大幅に低減改善できることが分かる。

図8はスイッチング損失とともにスイッチング性能の指標となる t_f と $V_{CE(sat)}$ のトレードオフ曲線である。CSTBTはTIGBTと t_f が同等であるが、 $V_{CE(sat)}$ で約0.3Vの優位性を持つので、トレードオフ曲線を大幅に改善している。 $V_{CE(sat)}$ と E_{off} や t_f 等のスイッチング性能のトレードオフ関係は、現在報告されている600V以上のMOSゲート素子の中でCSTBTが最良である。

図9は、インダクタンス負荷の試験回路を用いスナバレス条件下でCSTBTのターンオフスイッチング耐量を評価したときの電流と電圧の波形である。 $T_j=125^\circ\text{C}$ であり、 $V_{CE}=450\text{V}$ としている。この評価により、実用化されている従来のTIGBTと同等レベルである定格電流の10倍の500A(電流密度 $2,100\text{A}/\text{cm}^2$)をターンオフスイッチングできることが分かる。

4. む す び

三菱電機が発案したCSTBTをTIGBTの次世代パワーチップと位置付け、その実現に向けて電圧阻止能力の確保技術の開発や電荷蓄積層の設計技術の確立を進めるとともに、600V/50AのCSTBTの性能検証を行ってきた。その結果、阻止電圧が600V級では、CSTBTはスイッチング耐量や阻止電圧等の性能を損なうことなく、 $V_{CE(sat)}$ と E_{off} のトレードオフ関係を従来のTIGBTに比べて約25%改善できるまでに到達した。このトレードオフ関係は、現在報告されている600V以上のMOSゲート素子の中で最良である。現在、省エネルギー化を指向する市場に貢献するために、CSTBTチップを搭載した高性能モジュール製品の開発を進めている。

参 考 文 献

(1) Harada, M., Minato, T., Takahashi, H., Nishihara, H., Inoue, K., Takata, I.: 600V Trench IGBT in Comparison with Planer IGBT - An Evaluation of the Limit of IGBT Performance, Proceedings of ISPSD 94,

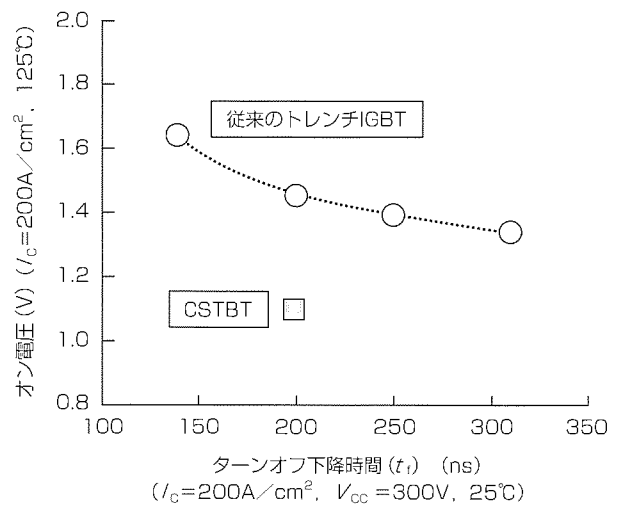


図8. オン電圧とターンオフ下降時間(t_f)のトレードオフ関係

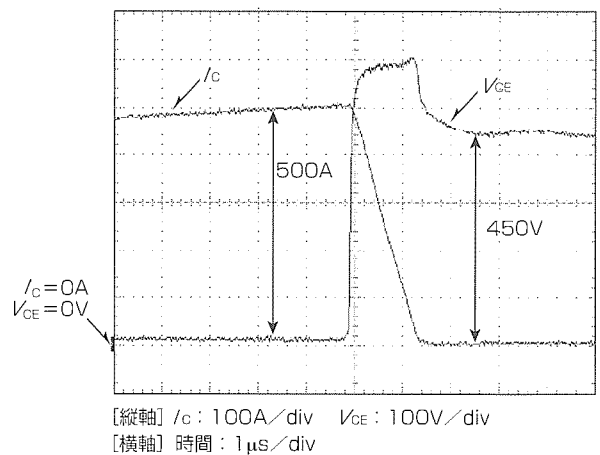


図9. ターンオフ耐量評価時の電流と電圧の波形

411~416 (1994)

(2) Iwamoto, H., Tabata, M., Takahashi, H., Thal, E.: Feature and Application of New 1200V Trench Gate IGBT Modules, PCIM Proceedings, 227~231 (1999)

(3) Hierholzer, M., Laska, T., Munzer, M., Pfirsch, F., Schmidt, T.: 3rd Generation of 1200V IGBT Modules, PCIM Proceeding, 221~226 (1999)

(4) Aliabadi, T., Sasada, Y., Takano, H., Tsunoda, T.: 100A 600V New IPM, PCIM Proceedings, 379~385 (1998)

(5) Takahashi, H., Haruguchi, H., Hagino, H., Yamada, T.: Carrier stored Trench-gate Bipolar Transistor - A Novel Power Device for High Voltage Application, Proceedings of ISPSD 96, 349~352 (1996)

1,200V NPT トレンチIGBT

要 旨

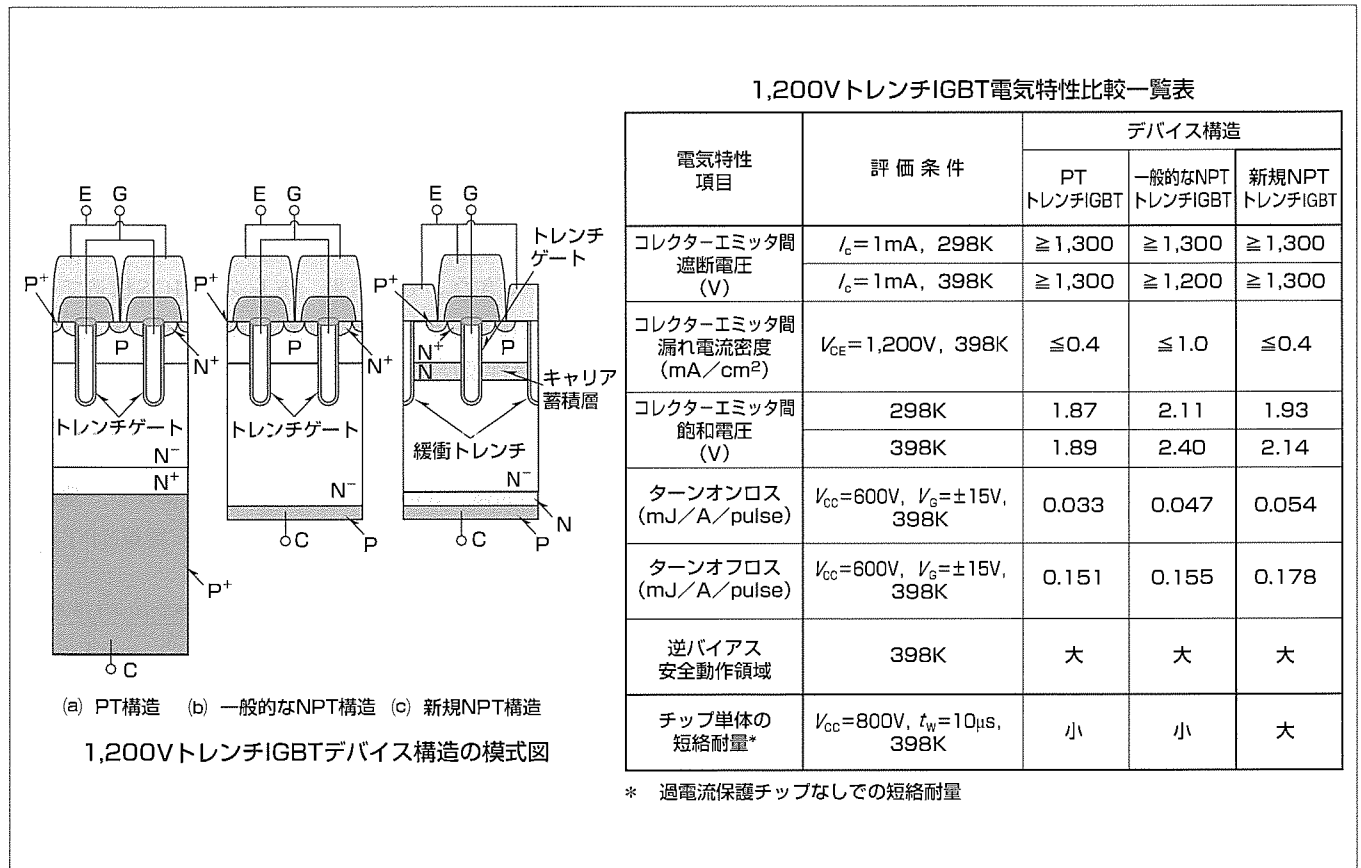
近年、パワーエレクトロニクス機器に対する高性能化、小型化及び省エネルギー化の要求が高まっている。このような背景を受け、パワーエレクトロニクス機器に用いられるパワーデバイスに対しては、低損失、高破壊耐量、容易な制御性がますます求められるようになってきた。

IGBT(Insulated Gate Bipolar Transistor)は、ゲート駆動回路を小型化可能なMOS駆動型デバイスとして、600～4,500V耐圧クラスで幅広い用途に用いられている。上記デバイスは、低損失を実現するため、平面型IGBTに代わりMOS部を高集積化したトレンチIGBTへの移行が進み、劇的な低損失特性を達成した。

今回、次世代トレンチIGBTとして、従来のトレンチ

IGBTの低損失特性を損なうことなく破壊耐量、制御性を更に向上させる目的でデバイス構造開発を行い、コスト耐力の向上を目的に、NPT(Non Punch-through)化の検討を行った。

今回開発した1,200V NPT トレンチIGBTは、単位面積当たりの電流と損失を従来のトレンチIGBTとほぼ同等に保ったまま平面型IGBTに匹敵する高い短絡耐量と小さなゲート容量を備えているため、ゲート駆動回路の更なる簡素化・小型化が可能なデバイスである。また、今回の開発に当たり、ゲート絶縁膜の信頼性をより向上する新ゲートプロセス技術も開発したので、併せて紹介する。



1,200V PT, NPT トレンチIGBT デバイス構造及び電気特性比較一覧表

今回開発した1,200V NPT トレンチIGBTは、従来のPT(Punch-through) トレンチIGBTの低損失(定常損失+スイッチング損失)特性という優れた特性を保ちながら短絡耐量を高くできた。

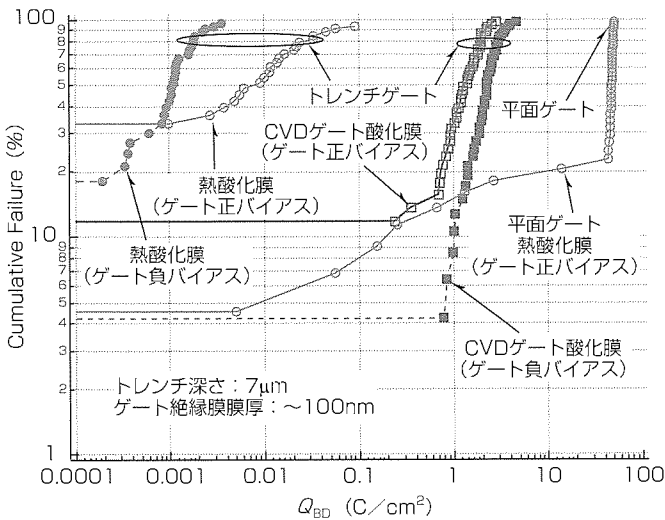


図3. ゲート絶縁膜の定電流TDBB特性 (@298K)

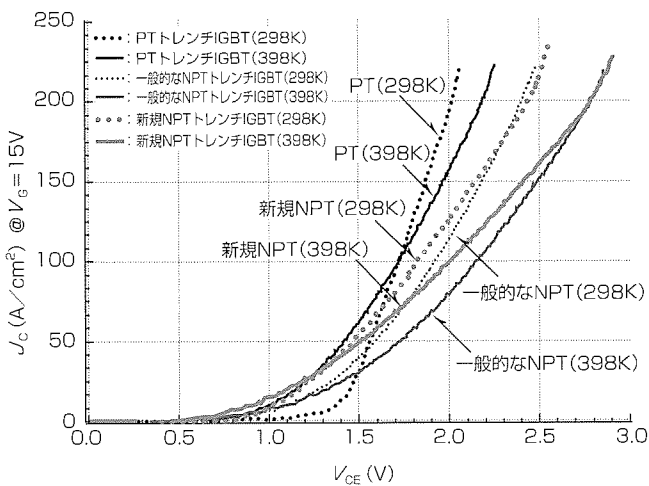


図4. 出力特性のデバイス構造依存性 (@298K, 398K)

では、CS層を形成しているため、キャリア密度が増加し、一般的なNPT構造に比べて低いオン電圧を達成することができた。

図5は、398Kにおける主接合リーク特性のデバイス依存性である。図より、一般的なNPT構造ではPT構造に比べて二倍以上ものリーク電流($J_{c, Leakage}$)が発生していたが、新規NPT構造ではコレクタに浅く低濃度のN層を形成することによってPTに迫るリーク特性を実現し、高温・高電圧下での熱暴走も防止できる。

3.3 スイッチング特性

図6は、図1に示した各デバイスの398K、600Vでのハーフブリッジ回路における誘導負荷スイッチング波形である。図より、一般的なNPT構造はPT構造に比べ、ターンオフ時のテール電流が増加することが分かる。しかし、新規NPT構造では、コレクタ構造の変更により、一般的なNPT構造で発生する巨大なテール電流を抑制し、低いターンオフロスを実現した。また、新規NPT構造は、Wide

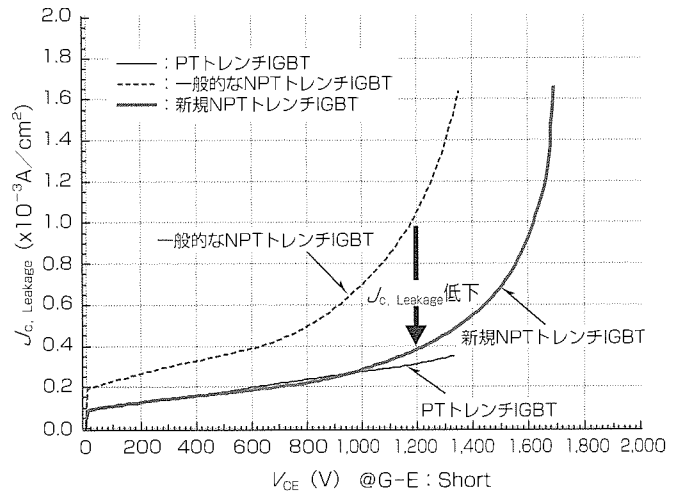
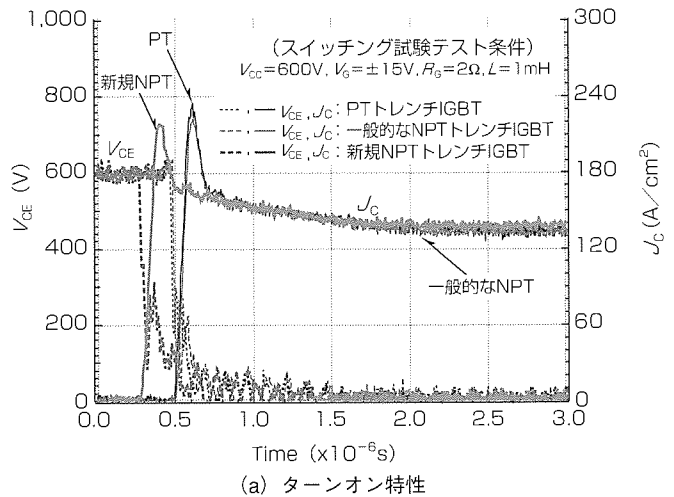
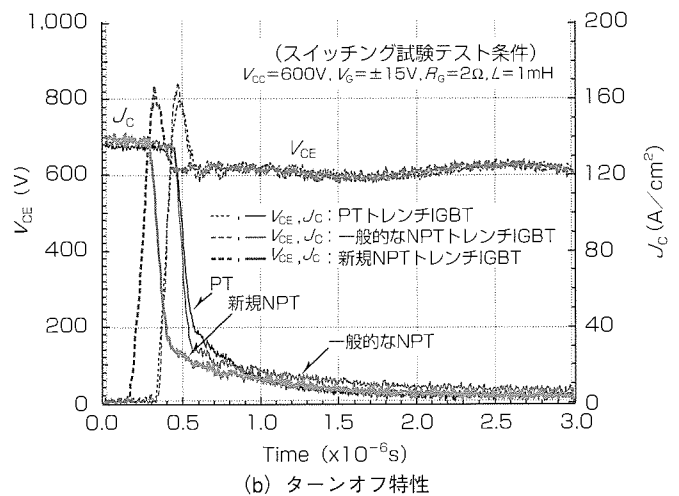


図5. 主接合リーク特性のデバイス構造依存性 (@398K)



(a) ターンオン特性



(b) ターンオフ特性

図6. 誘導負荷スイッチング特性のデバイス構造依存性 (@398K)

Cell Pitch構造の採用により、ゲート容量が低減した結果、スイッチング時のディレイタイムが短縮するという良好な結果が得られた。

3.4 RBSOA及び短絡耐量

図7は、ハーフブリッジ回路における398K、1,200V、

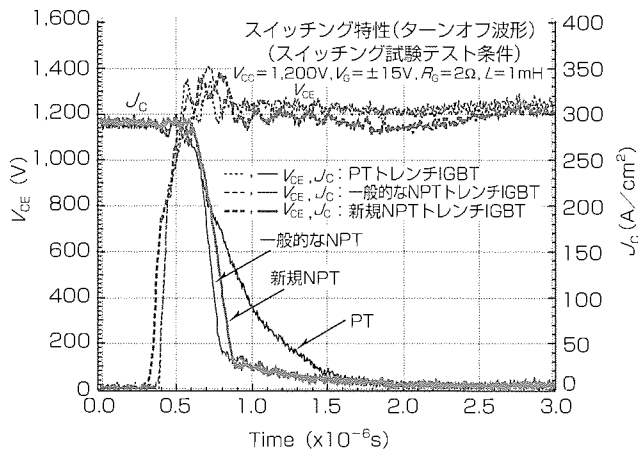


図7. RBSOAのデバイス構造依存性 (@1,200V, 280A/cm², 398K)

280A/cm²でのターンオフ波形である。新規NPT構造は、1,200V, 750A/cm²でもターンオフが可能であった。つまり、定格電圧で定格電流の5倍以上のRBSOA (Reverse Bias Safe Operating Area: 逆バイアス安全動作領域) を確保できた。また、PT構造では、NPT構造と比較して高電圧、高電流下でスイッチングさせると大きなテール電流が発生するが、NPT構造では、テール電流は抑制されている。

図8は、新規1,200V NPTトレンチIGBT単体のV_G=19Vにおける短絡波形である。従来のPTや一般的なNPT構造では、過電流によって素子単体では短絡破壊を生じるため、過電流保護回路が必要である。しかし、今回開発した新規NPTトレンチIGBTは、Wide Cell Pitch構造によるMOS飽和電流の低減により、従来のトレンチIGBTに比べてチップ単体での高い短絡耐量を実現した。また、図での短絡破壊時の破壊エネルギー(E_{sc})は、E_{sc}=8.15J/cm²である。

3.5 トレードオフ特性

図9に、図1に示す種々のトレンチIGBTのE_{OFF}-V_{CE(sat)}トレードオフ特性を示す。新規NPT構造では、高い破壊耐量を保ちながら一般的なNPT構造と同等の損失特性を得ることができた。また、新規NPT構造では、更なる改善を行うことで図中に示すようにトレードオフ特性の改善が可能な見通しが得られており、PTトレンチIGBTの特性に迫るデバイス特性が実現できると予想している。

4. むすび

今回開発した1,200V NPTトレンチIGBTは、新規デバイス構造と新規プロセス技術の採用により、従来のトレンチIGBTと同等の損失特性と平面型IGBT並みの高破壊耐量、低ゲート容量を実現した。その結果、上記デバイスは、低損失であるトレンチIGBTの特長を損なわず、ゲート駆動回路の小型化・簡素化が可能となり、高い総合性能を備えていることが分かった。

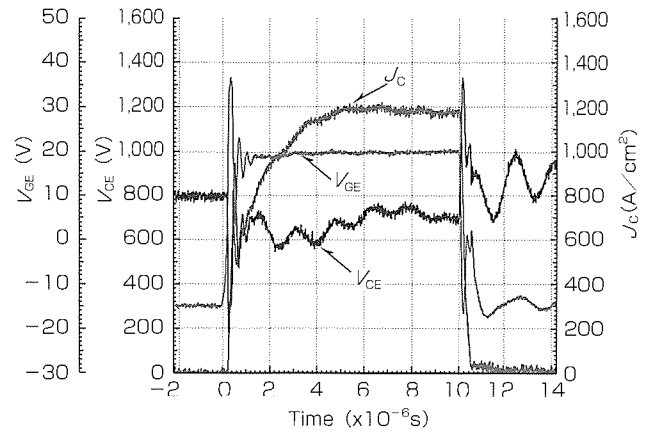


図8. 新規1,200V NPTトレンチIGBTの短絡特性 (@398K)

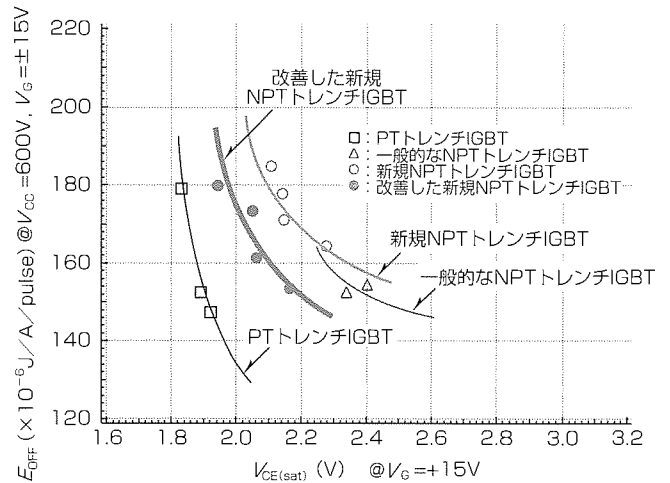


図9. E_{OFF}-V_{CE(sat)}トレードオフ特性 (@398K)

参考文献

- (1) Takahashi, H., Haruguchi, H., Hagino, H., Yamada, T.: Carrier Stored Trench-Gate Bipolar Transistor (CSTBT) - A Novel Power Device for High Voltage Application -, Proc. ISPSD'96, 349~352 (1996)
- (2) Nitta, T., Uenishi, A., Minato, T., Kusunoki, S., Takahashi, T., Nakamura, H., Nakamura, K., Aono, S., Harada, M.: A Design Concept for The Low Forward Voltage Drop 4500V Trench IGBT, Proc. ISPSD'98, 43~46 (1998)
- (3) Nakamura, K., Minato, T., Takahashi, T., Nakamura, H., Harada, M.: Evaluation of Thick Silicon Dioxides Grown on Trench MOS Gate Structure, Proc. ISPSD'96, 79~82 (1996)
- (4) Nakamura, K., Kusunoki, S., Nakamura, H., Harada, M.: Advantages of Thick CVD Gate Oxide for Trench MOS Gate Structures, Proc. ISPSD'2000, 83~86 (2000)

高性能パワーIC —BiC-DMOS—

寺島知秀*
畑迫健一*
日根史郎**

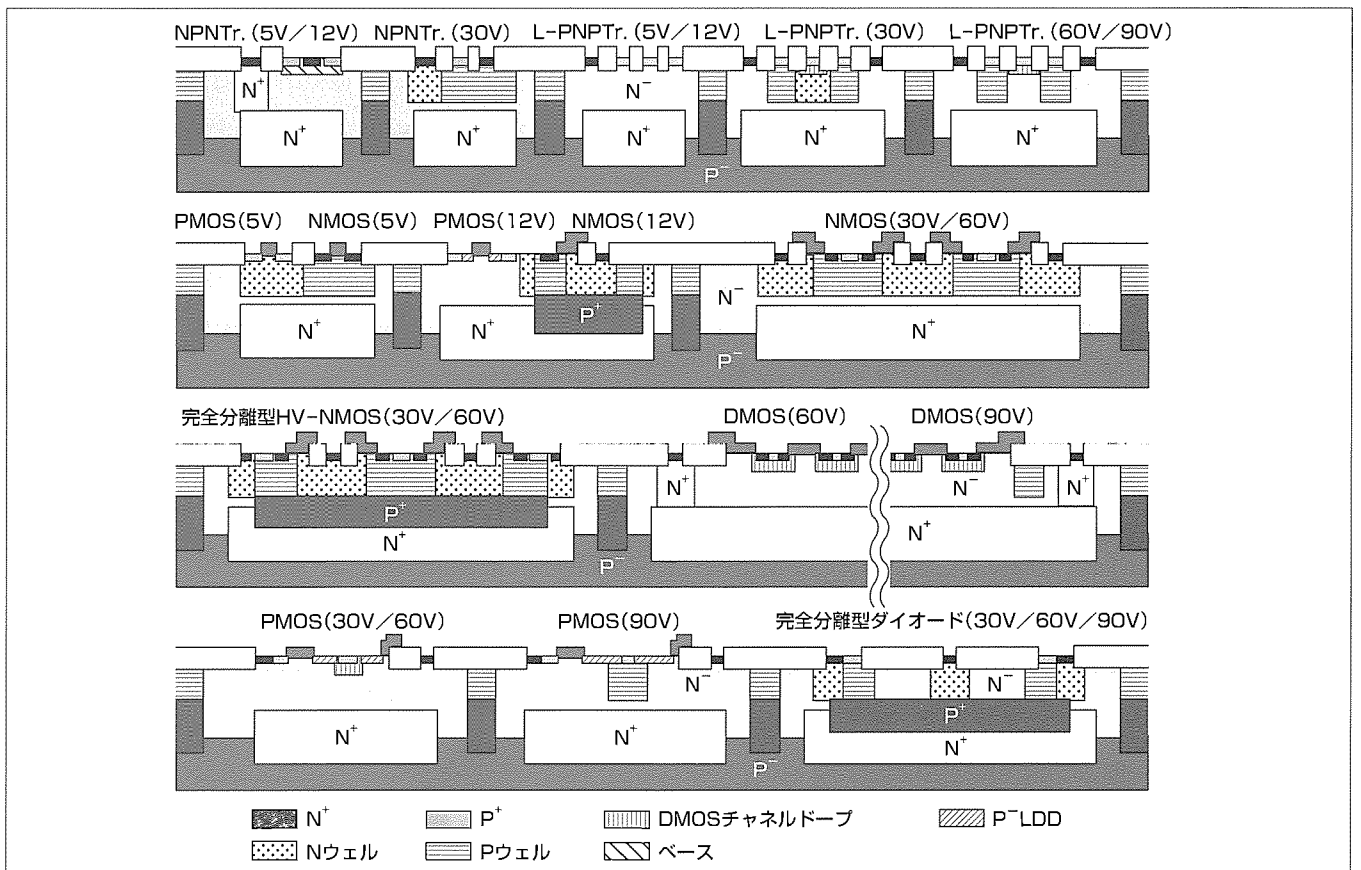
要旨

BiC-DMOSとは、CMOSプロセスにBipolarトランジスタ、高耐圧大電流のMOSトランジスタを付加したものであり、アナログ/デジタル信号処理とパワー制御を1チップで実現するものとして約20年前から各社で開発が進められてきた。特にここ数年間の微細化による全面的な性能向上と携帯機器に代表される小型化及び低消費電力化への要求による相乗効果により、プロセス開発が世界的に加速しており、その適用範囲も急速に広がっている。

今回、この分野で最も競争力のあるプロセスを目標として、0.5 μ m BiC-DMOSプロセスを開発した。このプロセスでは、埋め込み拡散エピタキシャル基板構造の最適化、RESURF(Reduced Surface Field)技術の適用、DMOS(Double Diffused MOS)セル微細化技術、オフセット拡散最適化、35nmゲートオプションにより、NMOSトランジ

スタの実効オン抵抗を広い耐圧範囲で最適化している。これによって、このプロセスは、ポータブル機器に代表される30Vクラスのパワー制御から42Vバッテリーシステムの次世代自動車電装品、プラズマディスプレイドライブに対応する90V系のパワー制御まで対応可能とし、さらにPMOSトランジスタ、Bipolarトランジスタも、各拡散の最適化により、NMOSと同じ耐圧バリエーションを実現している。

また、これらの素子を低コストで実現するために、各拡散の共通化の追求により、プロセス工数を最少に抑えている。このプロセスでは5Vから90VまでのMOSトランジスタ、Bipolarトランジスタを1プロセスで実現可能としたため、各アプリケーションへの対応が容易となり、コストと性能面での競争力だけでなく、応用製品分野が極めて幅広いものとなった。



BiC-DMOSプロセスに内蔵される主要デバイスの断面図

90V耐圧に最適化したN⁻エピタキシャル層、N⁺埋め込み拡散層を基本構造とし、各拡散の最適化と多重適用によって最少のプロセスコストで極めて多種類のデバイスを内蔵可能としたため、5Vから90Vの用途においてBiC-DMOSとしての全機能を実現できるものになっている。

1. ま え が き

BiC-DMOSプロセスでは出力素子となるNMOSの面積が大きいことNMOSの実効オン抵抗の低減が最も重要な技術目標であるが、このプロセスでは、広い耐圧範囲での低減を行うことが要求される。これは、斜め注入を利用したDMOSとNウェルをオフセットドレインとして利用したHV-NMOS(High Voltage N Channel MOS)にRESURF技術を組み合わせる方法で実現した。一方、PMOSはこれらのNMOSとペアとして、また前段として使われるため同等の最大耐圧が望ましいが、これは、P⁻LDD(Lightly Doped Drain)拡散とPウェルを組み合わせることによって達成した。また、Bipolarトランジスタにおいても同様の技術を適用することによってNPNT_rで30V系、PNPT_rで90V系を実現しているが、本稿では、主力デバイスである高耐圧MOSトランジスタの各構造と特性について説明する。

2. DMOS

2.1 DMOSセル

90V系DMOSとして、ディスクリート素子で使われている縦型DMOSを採用した。図1に示すように、低オン抵抗化にはDMOSセルをなるべく高密度に配置し単位面積当たりのゲート幅を長くすることが有効であるが、同時にDMOSセル間のJFET抵抗を抑制しなければならない。したがって、DMOSチャネルドーパの拡散深さを浅くしながらパターンの微細化を進める必要がある。このため、DMOSの形成方法として、不純物の横拡散長の差を制御して形成する従来の方法ではなく、斜め回転注入+高エネルギー垂直注入により、専用の熱処理を行わずにDMOSセルを形成する方法を採った。その結果、図2に示すように、DMOSチャネルドーパが従来(約1.5~2.0μm)に比べて1μm以下と極めて浅くなり、最適配置でのDMOSセルピッチを8.2μmと90V系ではほとんど最小と言えるものを実現した。

2.2 DMOSの電気的特性

実効オン抵抗は耐圧とトレードオフの関係にあるため、DMOSセル微細化による実効オン抵抗の低減とともに耐圧を理論限界近くまで引き上げることも同様に重要である。

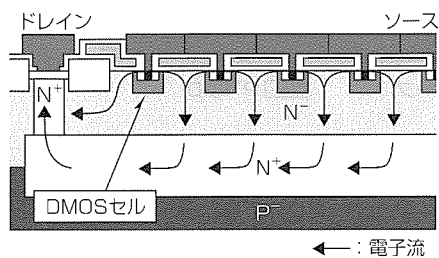


図1. DMOSの断面構造

プレーナ接合の耐圧は一般的に終端部分での電界集中によって制限されており、DMOSでは最外周のフィールドプレート部分で耐圧が制限される。図3にPウェルリングの付加による耐圧改善効果を示す。Pウェルリングがない場合はLOCOS(Local Oxidation of Silicon)酸化膜端部において電界集中が発生するが、Pウェルリングを付加することによってこの部分の電界を大幅に緩和しDMOSとしての耐圧をDMOS内部(DMOSセル領域)で決まる状態にまで改善することに成功した。このため、実力95V程度での実効オン抵抗として、DMOSセル領域で130mΩ・mm²、寄生抵抗と外周部面積を含めても230mΩ・mm²と90V系として極めて優れた値を実現している。

2.3 完全分離型DMOS

BiC-DMOSでは電力制御としてL負荷駆動に対応する必要があるが、この場合、寄生トランジスタによる誤動作、電力ロスを防ぐことが要求される。この寄生トランジスタを完全に除去できる素子として完全分離型DMOSを開発した。素子構造を図4に示す。N⁺埋め込み上に更にP⁺埋め込みを形成することによってドレインとN⁺埋め込みの間をP拡散で完全分離し、DMOSセルとドレインが交互

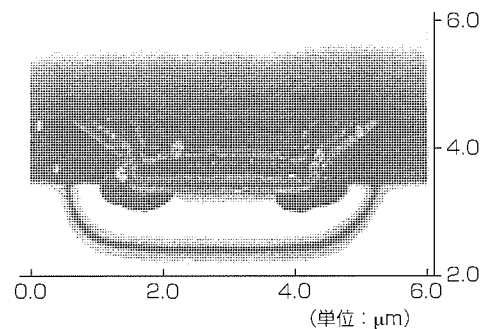


図2. DMOSセルのSCM像

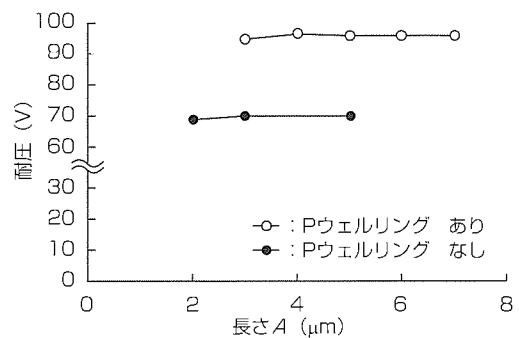


図3. DMOSの電界緩和構造と耐圧の関係

に連続して配置されているものである。この構造では、ドレインとソースが順バイアスになった場合、ドレインからP⁺埋め込みに注入された電子の一部がN⁺埋め込みに到達するのみで、原理的にP⁻基板へのリーク電流がない。実測においても、主電流に対しほぼ1/10⁷の比率以下にリーク電流が抑制されていることを確認している。

一方、耐圧についてはこの構造によるメリットは大きい。なぜならば、P⁺埋め込みから上方に伸びる空乏層がLOCOS端部での電界集中を緩和するRESURF効果によって大幅に耐圧を改善するからである。このため、PウェルリングがなくNウェルがドレイン直下に形成されているにもかかわらず、約90Vの耐圧が実現されている。また、この構造では、DMOSセル密度については大幅に低下するが、N⁺埋め込み抵抗がなくNウェルによる低抵抗化が極めて有効で、トータルとして従来の縦型DMOSと同等の実効オン抵抗が得られる。また、もう一つの利点は、ソースドレイン間の距離を狭めることによって耐圧低下とともにオン抵抗も低下するため、90V系以下の耐圧クラスにおいても優れた実効オン抵抗を持つ素子が得られることである。

3. HV-NMOS

3.1 HV-NMOSの素子構造

高耐圧NMOSを作るもう一つの方法として、NウェルをドレインとしたHV-NMOSの構造がある。これは、図5に示すように、PウェルとNウェルの間の高耐圧pn接合を利用したデバイスであり、このウェル間の耐圧が基本的に高いことにより、N⁻層領域を小さくしたままで高耐圧素子を実現することができる。さらに、P⁺埋め込みを追加することによってDMOSと同様の利点を持つ完全分離型

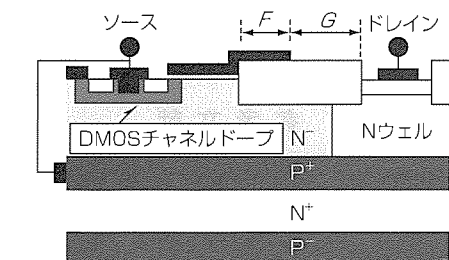
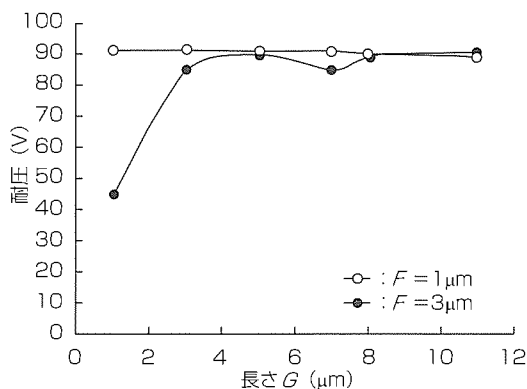
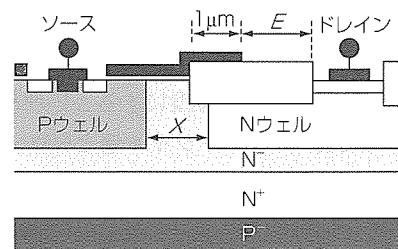


図4. 完全分離型DMOSの断面構造と耐圧

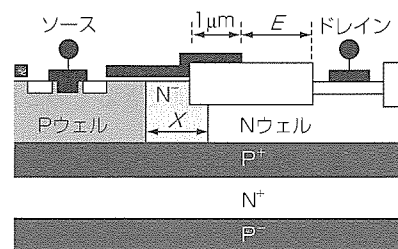
HV-NMOSを作成することも可能である。

3.2 HV-NMOSの高耐圧化

図6に、図5の各構造における距離Xと耐圧の関係を示す。このデバイスは両ウェル拡散の濃度傾斜が緩やかであることからN⁻エピタキシャル層が狭い場合でも高耐圧が得られるため、特に低オン抵抗化に有効である。実際、60V耐圧としてDMOSではN⁻エピタキシャル層幅が7 μm必要であるが、HV-NMOSでは2 μm程度にすることができる。また、HV-NMOSは、DMOS構造と異なりゲート長が可変であるため、高いアーリー電圧を要するようなアナログ回路に対しても高耐圧素子が適用できることは大きな利点である。HV-NMOSにおいても完全分離型において約20Vほど耐圧が上昇しており、P⁺埋め込みによるRESURF効果はDMOSと同様顕著である。しかし、P⁺埋め込みを付加することによって逆にN⁻エピタキシャル層、Nウェル領域の抵抗が上昇し実効オン抵抗が上昇するため、実効オン抵抗-耐圧でのトレードオフ評価が必要である。



(a) HV-NMOS



(b) 完全分離形HV-NMOS

図5. HV-NMOSの断面構造

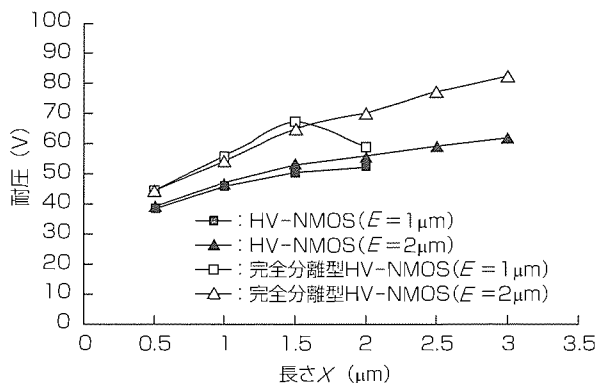


図6. 各HV-NMOSの距離Xと耐圧の関係

4. 実効オン抵抗-耐圧のトレードオフ

今まで述べたようにDMOS, HV-NMOSのそれぞれについて標準と完全分離型としたものがあるため, 合計4種類の高耐圧NMOSがある。実使用では使用耐圧に対して最も優れた実効オン抵抗を示す素子が適用される。図7に, これらすべての素子についての実効オン抵抗と耐圧のトレードオフを示す。

各素子ごとの線は耐圧保持構造の変更(ソース-ドレイン間距離等)に伴う特性変化に沿ってプロットしており, これから各素子ごとに最適な耐圧領域があることが分かる。N⁻エピタキシャル層が90V系に最適化されているため, 従来のDMOSは, 90V系として最も優れた性能を持っている。完全分離型DMOSは, 少し低い電圧領域(80V付近)で最も優れており, RESURF構造の改善によって更に高耐圧を実現すれば, 耐圧可変, 基板リーク抑制機能によって極めて有望な素子になる。さらに, 60V以下の領域では, N⁻エピタキシャル層幅を抑えることができるHV-NMOSが有利である。そのなかでも, 完全分離型HV-NMOSが40V以上, 通常のHV-NMOSが40V以下でそれぞれ優れた特性を示す。これは, 完全分離型にするとP⁺埋め込みの浮き上がりによってN⁻エピタキシャル層とNウェルの抵抗が上昇するため, 40V以下でこれが不利に働くことが原因である。実効オン抵抗はそれぞれ, 127mΩ・mm²(完全分離型HV-NMOS, BV_{ds}=74V), 60mΩ・mm²(HV-NMOS, BV_{ds}=33V)という優れた値を得ており, 少なくとも60V系ではDMOSを上回っている。以上のように, このBiC-DMOSプロセスでは, 30~90Vの広い耐圧範囲において優れた実効オン抵抗を持つ素子を提供できるものとなっている。

5. PMOSの高耐圧化

PMOSの高耐圧化は, バックゲートをNウェルからN⁻エピタキシャル層に変更し, ドレインにP⁻LDDを適用したオフセットゲート構造とすることによって実現した。また, ドレイン直下に, 60V系はDMOSチャンネルドープ, 90V系はPウェルを重ねて形成し, ドレイン-バックゲート間の耐圧を改善した。それぞれの断面構造を図8に, P⁻LDD長Bと耐圧の関係を図9に示す。図9から, Pウェルに置き換えることで約25Vの耐圧上昇が得られており, 耐圧は約100Vに達していることが分かる。また, B=4μmで95V以上ということはP⁻LDD内部の平均電界が2.3×10⁵V/cm以上とほぼ限界電界に近い値であることを意味しており, ほぼ限界性能を得ている。

6. むすび

0.5μm BiC-DMOSで実現した5Vから90Vまでの極めて多種類の素子について, 内蔵する技術の概要と各素子の特

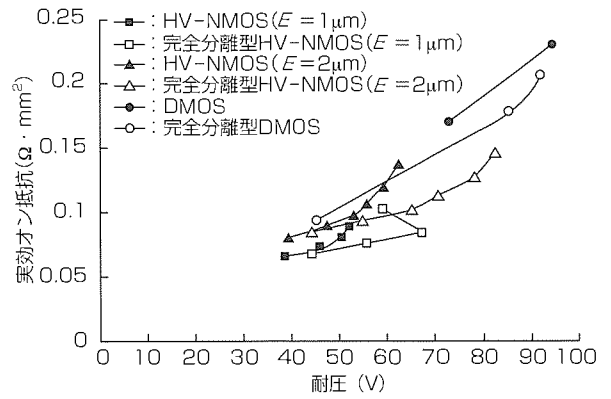


図7. 実効オン抵抗と耐圧のトレードオフ

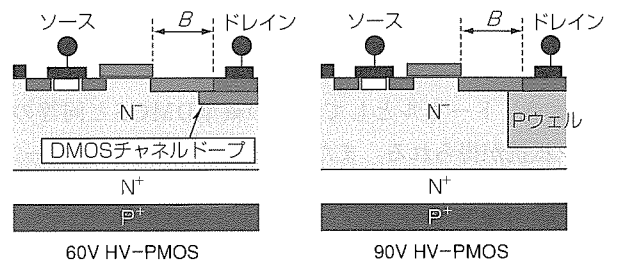


図8. HV-PMOSの断面構造

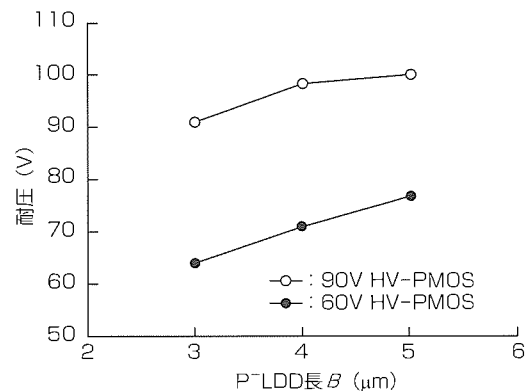


図9. HV-PMOSのP⁻LDD長Bと耐圧の関係

性を紹介した。特に出力素子として重要であるNMOSにおいて30~90Vの範囲にわたって優れた実効オン抵抗を実現し, さらにPMOSでも同一耐圧範囲の素子を用意した。このため, このプロセスは, 自動車モータ制御やフラットパネルディスプレイ駆動を代表として, あらゆる分野のアナログ/デジタル信号処理及びパワー制御用途へ適用することができ, また, これらの用途において, 性能向上とコストダウンに貢献することが期待される。

参考文献

- (1) Terashima, T., Yamamoto, F., Hatasako, K.: Multi-voltage Device Integration Technique for 0.5μm BiC MOS & DMOS Process, Proc. ISPSD, 331~334 (2000)

低オン抵抗 第六世代低圧MOSFET

榎崎敦司*
瓜生勝美**
守谷純一***

要旨

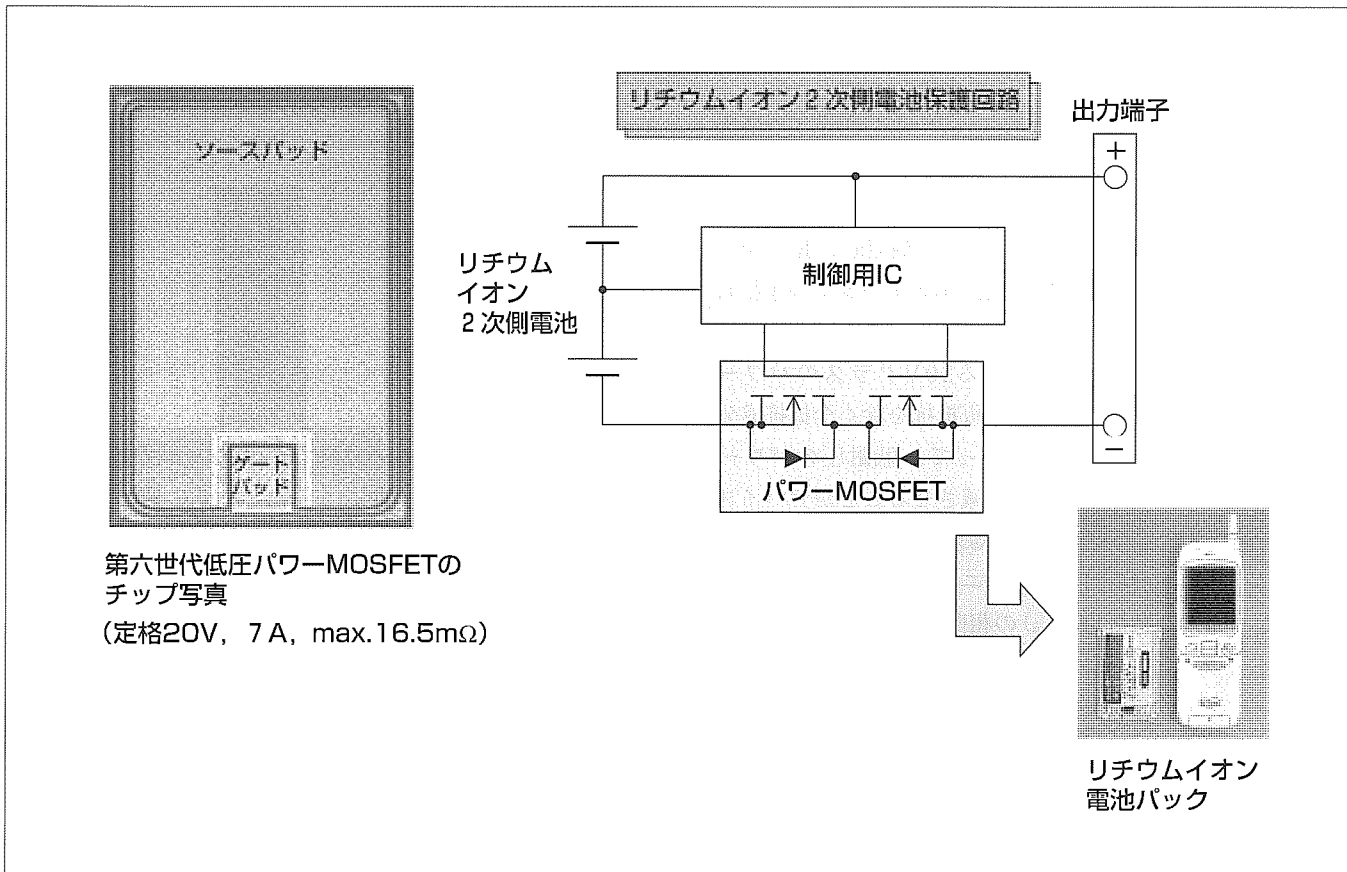
近年、IT産業の成長に伴い、モバイルシステムや携帯電話に代表される携帯通信機器の市場は、端末及び利用料の低価格化も伴い急速に拡大している。携帯機器には小型軽量化及び低消費電力による電池の長寿命化が要求されるため、そこに使用されるスイッチング素子であるパワーMOSFETには小型化及び低損失化が望まれる。今回、市場要求に対応するため、電池制御用途としてゲート電圧2.5V駆動の第六世代低圧MOSFETを開発した。

このデバイスは、0.35 μ mルールのプロセスを用い、ゲ

ートトレンチの微細化及びセルの高密度化を行うことによって第五世代低圧MOSFETに比べ約25%のオン抵抗低減を実現した。

また、同時に、ユニットセル内に十分なp⁺コンタクト領域を確保することでL負荷スイッチング時のアバランシェ電流による破壊耐量を向上させたことが特長である。

今後は、このデバイスを用い、TSSOP-8などの小型パッケージでの製品展開を図り、機器の小型・軽量・低コスト化に貢献させていく。



第六世代低圧パワーMOSFETの
チップ写真
(定格20V, 7A, max.16.5m Ω)

リチウムイオン
電池パック

第六世代低圧パワーMOSFETとリチウムイオン2次側電池保護回路

第六世代低圧パワーMOSFETは、微細化プロセス技術によるセルの高密度化を行い、オン抵抗を低減したことが特長である。その効果により、各種携帯機器などに使用される電池応用製品の小型・長寿命化及び高効率化に広く貢献できる。上図は、今回開発したプロセスを用いて設計されたチップの上面写真と、リチウム電池パック内の2次側電池保護回路である。また、上記チップ内には、ゲート-ソース間に静電破壊防止のための保護用ダイオードを内蔵している。

1. ま え が き

低耐圧パワーMOSFETは、パソコン、プリンタ、DC/DCコンバータ及びスイッチング電源などのスイッチング用途に加え、近年の携帯通信機器の普及に伴い、パワーマネジメント回路やリチウムイオン電池の保護回路に多く使用されている。それらの用途では、電池から直接駆動できるような低電圧駆動やオン状態でのロスを少なくするためのオン抵抗の低減が要求されている。

低オン抵抗化実現のためにはユニットセルサイズを小さくしてセル密度向上によるオン状態での通電能力向上が一般的に用いられる手法であるが、そのためには複雑な微細加工技術が必要となり、製造上の歩留り低下を引き起こす問題がある。さらに、パワーMOSFETには、その素子の構造上、高周波数帯でのスイッチングにおける回路自身の浮遊インダクタンスの蓄積エネルギーによって破壊しやすいという問題がある。これらの問題に対し、微細加工技術を用い、低オン抵抗で高破壊耐量を持つ第六世代低耐圧パワーMOSFETを開発した。今回開発したデバイスは、単位面積当たりオン抵抗($R_{on,sp}$)で $18\text{m}\Omega \cdot \text{mm}^2$ (@ $V_{GS} = 4\text{V}$) の特性を示し、従来比約25%オン抵抗を低減した。

2. デバイス構造とチップの特長

2.1 オン抵抗の低減

トレンチゲート構造nチャンネルパワーMOSFETの断面構造及び抵抗成分を図1に示し、図2にシミュレーションによるオン状態でのポテンシャルプロファイルを示す。

主な抵抗成分としては、 R_{n+} (n+ソース抵抗)、 R_{ch} (チャンネル抵抗)、 R_{acc} (蓄積層抵抗)、 R_{epi} (エピタキシャル抵抗)、 R_{sub} (基板抵抗)の五つで構成されている。この抵抗比率からも分かるように、低耐圧である20VクラスのパワーMOSFETは、チャンネル抵抗が基板抵抗を除く全抵抗成分の約68%を占めている。したがって、低耐圧のパワーMOSFETではチャンネル抵抗を低減させることがデバイスの抵抗を低減させるためには最も効果的な手法となる^{(1)~(3)}。

図3に、パワーMOSFETのユニットセルサイズと単位面積当たりのオン抵抗($R_{on,sp}$)の相関についてTEGパター

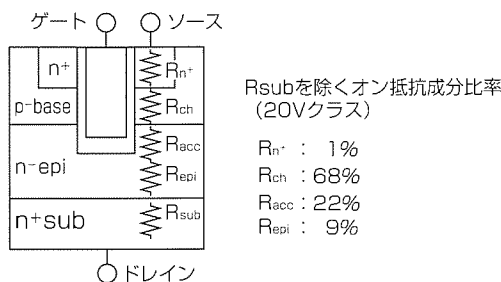


図1. nチャンネルパワーMOSFETの断面構造

ンを用いた実験結果を示す。図4及び表1は、今回開発した第六世代パワーMOSFETと従来の第五世代パワーMOSFETのセル密度を比較したものである。

第六世代品と第五世代品を比較した場合、同じセルサイズであってもトレンチ幅を縮小することによって単位面積当たりのチャンネル幅が増加するためチャンネル抵抗が低下し、それに伴い、オン抵抗も低下する。これは図1のオン抵抗比率で示すチャンネル抵抗(R_{ch})と蓄積層抵抗(R_{acc})の合成抵抗が基板抵抗を除く全抵抗の約90%を占めるためであり、さらに、セルサイズを縮小することによってセル密度が増加し、オン状態での通電能力が向上するためオン抵抗を低減することができる。

今回の第六世代デザインは、ユニットセル部トレンチパターン形成時に三菱電機が開発した新プロセス技術を用いることによって第五世代デザインと同じ微細加工技術レベルで $0.35\mu\text{m}$ のスペースパターンを得ている。

その結果、第五世代品に比べてセルサイズが27%シュリンクし、セル密度が87%増加した(表1)。

2.2 破壊耐量の向上

セルサイズを縮小することでオン抵抗が低下することは明らかであるが、微細化によるパターンマージン不足によ

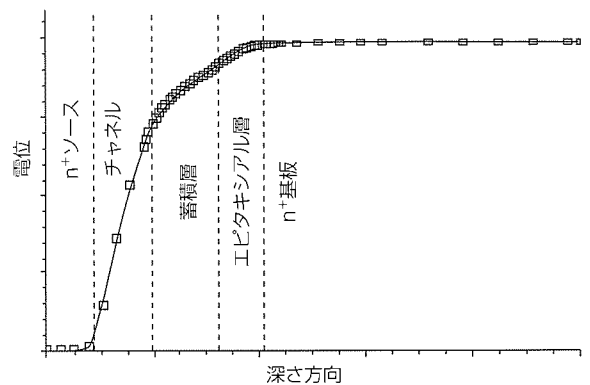


図2. 20VクラスパワーMOSFETポテンシャルプロファイル

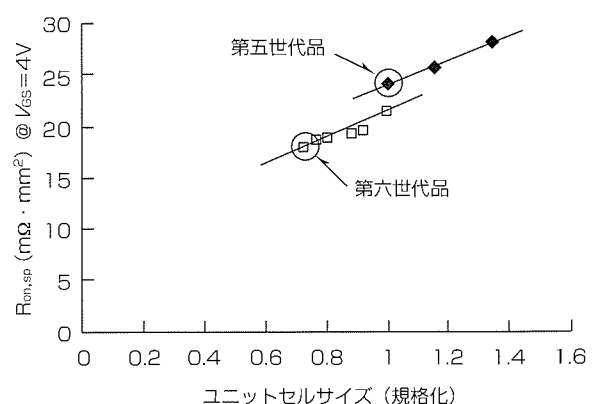


図3. ユニットセルサイズと単位面積当たりのオン抵抗 ($R_{on,sp}$) の相関

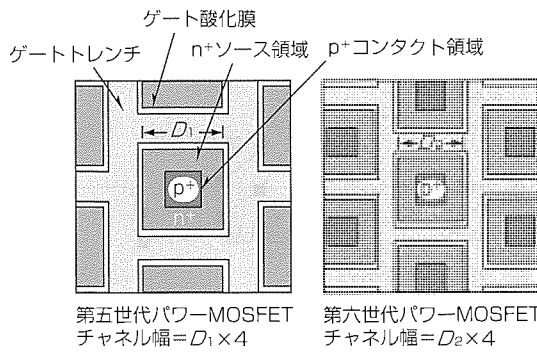


図4. 第六世代パワー-MOSFETと第五世代パワー-MOSFETのセル密度比較

表1. セル密度の比較

	ゲートトレンチ幅 (μm)	ユニットセルサイズ	単位面積当たりのチャンネル幅	セル密度
第五世代品	0.6	1	1	1
第六世代品	0.35	0.73	1.41	1.87

る特性劣化と歩留り低下の問題が伴ってくる。

図5にゲートトレンチ構造を持つパワー-MOSFETのセル断面図を示す。セルを縮小することでメッシュトレンチによって分離されたシリコンメサ領域は狭くなっていくが、以下の問題点を考慮すると、広く設計の方が望ましい。

- (1) トレンチゲートとソースコンタクトホールの重ね合わせマージン(図5のA)が少なくなることによるゲート不良の発生
- (2) p+コンタクトサイズ(図5のB)が小さくなることによるL負荷スイッチング時のアバランシェ電流による破壊耐量の低下

図6にトレンチゲートとソースコンタクトの重ね合わせマージン(図5のA)とゲートショート発生率の実験結果を示す。重ね合わせマージンが少なくなると製造ばらつきなどでゲートショート不良率は急激に増加していることが分かる。

図7にp+コンタクトサイズとL負荷スイッチング時のアバランシェ破壊電流の相関結果を示し、図8にアバランシェ耐量試験回路を示す。ターンオン時に流れたドレイン電流によってLには LI_D^2 (peak) / 2 のエネルギーが蓄積され、このエネルギーはターンオフ時にドレイン-ソース間耐圧を超えるフライバック電圧を発生させ、MOSFETはアバランシェ降伏を起こす。

p+コンタクトサイズが小さくなると、ターンオフ時の急激な dV/dt によってLに蓄えられたエネルギーが過渡電流としてドレイン領域からソース領域に流れる際に、MOSFETがその電流を吸収する能力が低下し、寄生バイポーラトランジスタが動作しやすくなり素子が容易に破壊に至る。

今回開発した第六世代パワー-MOSFETは、微細なトレンチ幅を採用し、ゲートトレンチ-ソースコンタクト間重

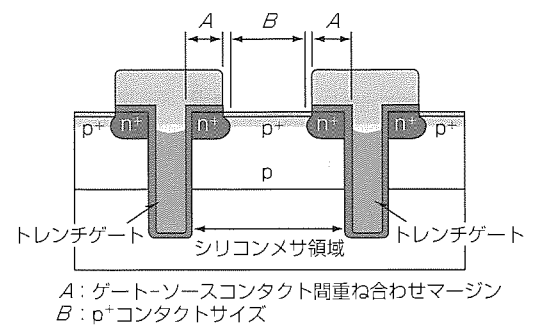


図5. ユニットセル断面図

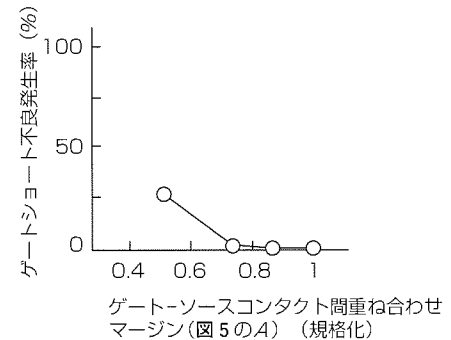


図6. ゲート-ソースコンタクト間重ね合わせマージンとゲートショート不良発生率

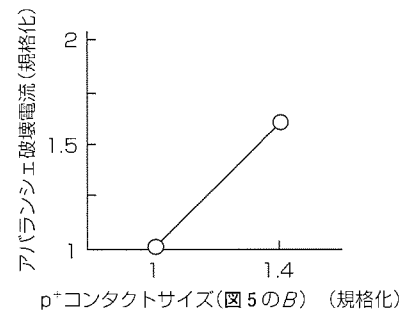


図7. p+コンタクトサイズとアバランシェ破壊電流

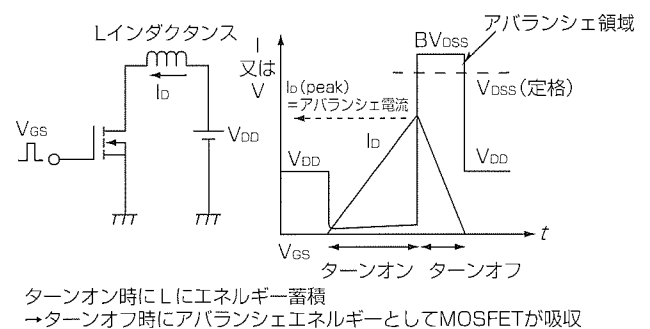


図8. アバランシェ耐量試験回路

ね合わせマージンとp+コンタクトサイズを第五世代と同等に確保することにより、ゲートの歩留り、破壊耐量を低下させることなくオン抵抗を低減させたことを特長とする。また、図9に示すように、セル密度向上によるアバランシ

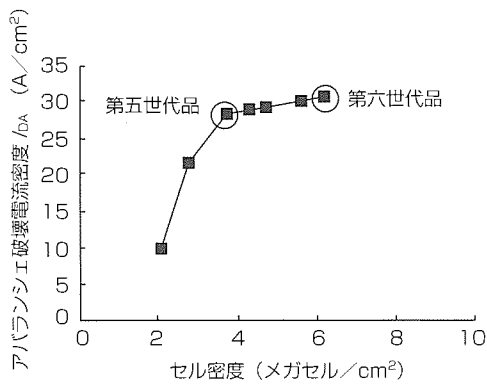


図9. セル密度とアバランシェ破壊電流の相関

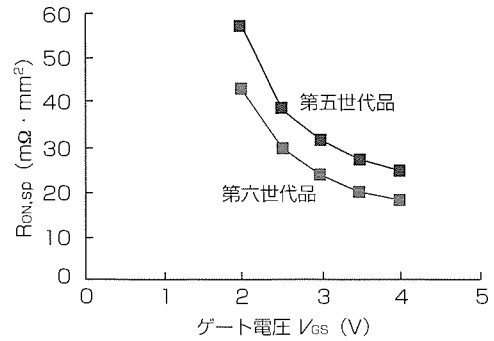


図10. オン抵抗のゲート電圧依存性

電流分散化効果による破壊耐量アップも同時に実現している。

3. デバイス特性

図10に単位面積当たりのオン抵抗 ($R_{on,sp}$) のゲート電圧依存性のグラフを示し、表2に第五世代品との主要特性の比較を示す。今回開発した第六世代パワーMOSFETは $V_{GS} = 4V$ で単位面積当たりオン抵抗 ($R_{on,sp}$) $18m\Omega \cdot mm^2$ の特性を示し、これは第五世代比で約25%オン抵抗を低減している。また、L負荷スイッチング時のアバランシェ電流による破壊耐量に対しても、p+コンタクトの十分な確保と $0.35\mu m$ ルールの微細化プロセスの応用によるセル密度向上によって $T_c = 150^\circ C$ で $I_{DA} = 30A/mm^2$ 以上の実力を備えている。

4. むすび

微細化プロセスを応用し、セル密度を上げることによるオン抵抗低減とセル構造の最適化によるアバランシェ破壊耐量の向上を特長とするゲート電圧2.5V駆動の第六世代パワーMOSFETを開発した。この第六世代パワーMOSFETは、その特長を生かし、携帯機器の電池の長寿命化や省エネルギーシステムに貢献できるものである。

表2. 主要特性の比較

	V_{dss} (@ $I_d = 0.1mA$) (V)	V_{th} (@ $I_d = 1mA$) (V)	$R_{on,sp}$ (@ $V_{GS} = 4V$) ($m\Omega \cdot mm^2$)	$R_{on,sp}$ (@ $V_{GS} = 2.5V$) ($m\Omega \cdot mm^2$)	I_{DA} ($T_c = 150^\circ C$) (A/mm^2)
第五世代品	30	0.8	25	38	28
第六世代品	28	0.75	18	29	32

また、今後は、駆動電圧や耐圧のシリーズ化を行い、幅広い市場ニーズに対応していく予定である。

参考文献

- (1) 福持泰明, 矢野光洋, 幡手一成, 植崎敦司, 浜地浩秋: トレンチ構造PチャネルパワーMOSFET, 三菱電機技報, **71**, No3, 311~316 (1997)
- (2) Fukumochi, Y., Suga, I., Ono, T.: Synchronous Rectifiers using New Structure MOSFET, Proceedings of ISPSD, 252~255 (1994)
- (3) Narazaki, A., Hisamoto, Y., Tadokoro, C., Takeda, M., Hagino, H.: A Novel 30V P-Channel Trench Gate Power MOSFET with Ultra Low On-State-Resistance at Low-Gate-Voltage, Proceedings of ISPSD, 285~288 (1997)

小容量モータ駆動用 トランスファモードIPM

岩崎光孝*
岩上 徹*
戸田 均*

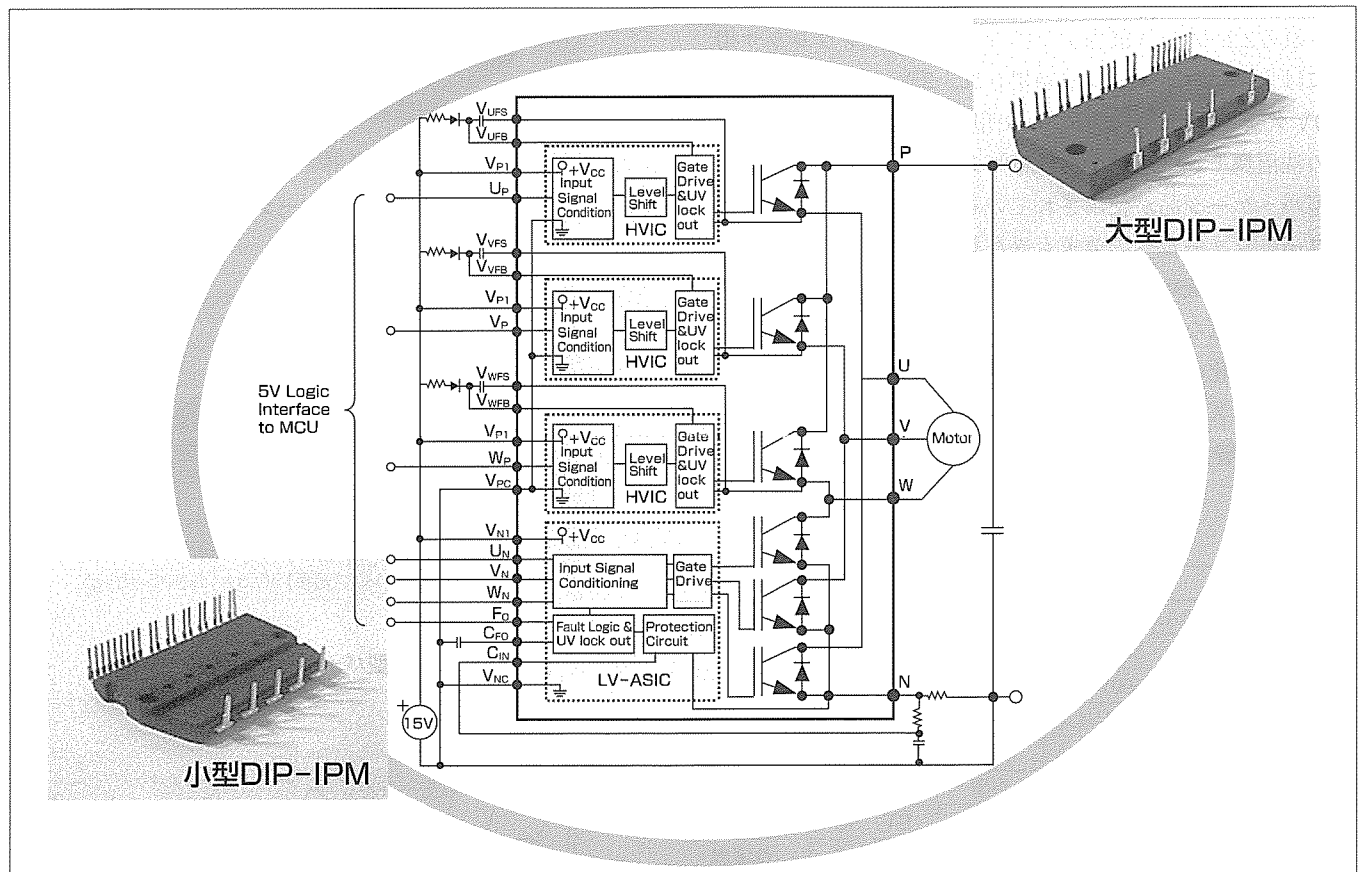
要 旨

家電市場では、エアコン、洗濯機、冷蔵庫、さらには掃除機、食器洗い機等のインバータ化が進んでおり、インバータの心臓部となるパワーモジュールには、低損失化・低ノイズ化・小型化・高信頼性が望まれている。このような中、三菱電機では、トランスファモード型のDIP-IPM (Dual In-line Package Intelligent Power Module)の製品化を図っている。

家電向けIPMでは省エネルギー重視(低損失)の要求が高いが、DIP-IPMシリーズでは、第四世代プレーナIGBT (Insulated Gate Bipolar Transistor)を搭載し、業界トップクラスの低飽和電圧を実現した。一方、低損失を重視す

るがゆえにスイッチングスピードを速めたため、その結果として発生ノイズが増大し、冷蔵庫や洗濯機等の屋内に設置される一部の家電で課題となっている。この状況に対応するため、スイッチングスピードの最適化を図った製品も展開中である。

機能面では、従来の電源電圧低下保護(Under Voltage : UV)、短絡保護(Short Circuit : SC)に加え、過熱保護機能(Over Temperature : OT)を内蔵した製品をラインアップに入れる等、顧客の様々なニーズに対応したシリーズ展開を図っている。ここでは、DIP-IPMシリーズのパッケージ技術、機能、特長について述べる。



DIP-IPMの外観と接続例

家電市場で広く使われているDIP-IPMは、エアコン用途には大型DIP-IPMが、冷蔵庫・洗濯機用途には小型DIP-IPMが主に使われている。DIP-IPMの内部には三相ACインバータを構成するパワーチップ12石とそれらを駆動・保護する制御IC 4石を内蔵している。

1. ま え が き

三菱電機ではインバータ家電市場向けにトランスファーマールド型のDIP-IPMを製品化しているが、市場の更なる要求にこたえるため、発生ノイズを低減した小型DIP-IPMや保護機能を向上させた大型DIP-IPMのシリーズ展開を進めている。

本稿では、これらの設計技術、特長について述べる。

2. DIP-IPMシリーズと用途

DIP-IPMシリーズでは、電流定格に応じ、大型DIP-IPMと小型DIP-IPMの2種類のパッケージで製品展開を図っている。図1に大型DIP-IPMの外観を、図2に小型DIP-IPMの外観を、また製品系列を表1に示す。大型パッケージ品は、パワーベアチップと制御ICベアチップを同一フレーム上に搭載し、それらをモールドした後(一次モールド)、放熱用ヒートシンクを抱き合わせるように重ね合わせ、再度モールド(二次モールド)を行う2回モールド構造となっている。小型パッケージ品は、パワーベアチップと制御ICベアチップを同一フレーム上に搭載後、1回のモールドでパッケージを構成している(図3)。

12A/600V~25A/600Vクラスのパワーチップが必要とされる2.2~4.5kW能力クラスのエアコンコンプレッサ用途には大型パッケージ品が適用され、3A/500V~10A/600Vクラスのパワーチップが使用される0.1~0.5kWクラスの洗濯機モータ駆動や冷蔵庫コンプレッサ駆動用途には小型パッケージ品が使用されている。また、用途に応じてパワーモジュールへの要求も異なり、省エネルギー訴求のエアコンや冷蔵庫用途では特に低損失化の要求が高く、洗濯機や冷蔵庫など屋内で使用されるインバータ家電製品では、低損失化の要求のほか、パワーモジュールから発生する放射ノイズや伝搬ノイズがテレビ、ラジオ、その他の電気機器に影響を及ぼすことから、低ノイズ化の要求も高い。

表1. DIP-IPMの製品系列

型名	素子定格	パッケージ	保護機能	主用途
PS20341-G/N	3A/500V低速	小型	UV, SC	冷蔵庫
PS20351-G/N	3A/500V高速	小型	UV, SC	冷蔵庫
PS21342-G/N	5A/600V低速	小型	UV, SC	冷蔵庫
PS21352-G/N	5A/600V高速	小型	UV, SC	冷蔵庫, 洗濯機
PS21343-G/N	10A/600V低速	小型	UV, SC	洗濯機
PS21353-G/N	10A/600V高速	小型	UV, SC	洗濯機
PS21244-E	15A/600V低速	大型	UV, SC	エアコン
PS21254-E	15A/600V高速	大型	UV, SC	洗濯機
PS21245-E	20A/600V低速	大型	UV, SC	エアコン
PS21255-E	20A/600V高速	大型	UV, SC	インバータ
PS21246-E	25A/600V低速	大型	UV, SC	エアコン
PS21244-AT	15A/600V低速	大型	UV, SC, OT	エアコン
PS21245-AT	20A/600V低速	大型	UV, SC, OT	エアコン

3. DIP-IPMシリーズの機能

DIP-IPMはパワー回路と制御ICで構成される。以下に機能と特長について述べる。

(1) パワー回路部

IGBTとFWD(Free Wheeling Diode)の三相インバータ構成

(2) 制御IC部

- (a) P側IGBT用駆動回路, 高圧レベルシフト回路, 電圧低下保護回路(UV, ただしエラー出力なし)を内蔵。
- (b) N側IGBT用駆動回路, 過電流保護回路(SC)を内蔵
過電流保護は, DIP-IPM外部電流検出抵抗で電流に対する電圧を検出しDIP-IPM内部の制御ICにフィードバックしIGBTを遮断
- (c) N側制御電源低下保護回路(UV)を内蔵
- (d) N側IGBT過電流保護, N側制御電源低下時にエラー信号を出力

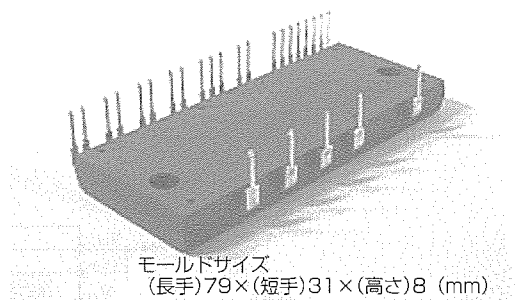


図1. 大型パッケージの外観

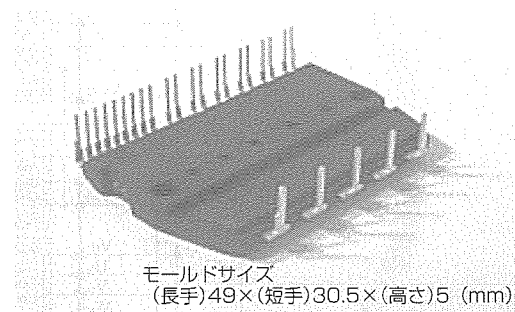


図2. 小型パッケージの外観

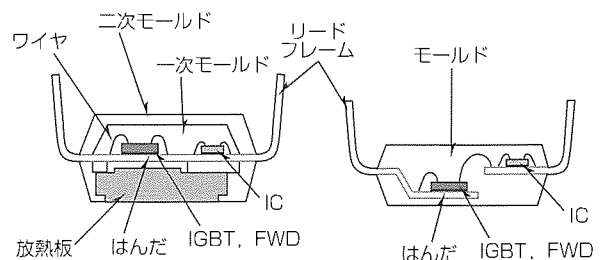


図3. 大型, 小型パッケージの内部構成

(e) IGBT駆動電源はDC15V単一電源化が可能

図4に内部ブロック図を示す。

DIP-IPMの内部には三相ACインバータを構成するパワーチップ12石とそれらを駆動・保護する制御IC4石を内蔵している。

4. キーテクノロジー

(1) パワーデバイスチップ技術

DIP-IPMシリーズでは、第四世代プレーナ構造のIGBTを採用して低損失化を実現した。低損失化のためのチップ技術としてIGBTのファインパターン化と縦方向のライフタイム制御技術を駆使した。これにより、第三世代プレーナIGBTから飽和電圧を約10%、インバータ損失(三相正弦波制御)を約8%低減できた。図5に当社プレーナIGBTの飽和電圧とターンオフ特性のトレードオフカーブを示す。

(2) ASIC技術

DIP-IPMは、IGBT、FWD、駆動ICのみのオールシリコンソリューション構成で部品点数を削減した構成としている。回路パターンをフレームで構成することで自己インダクタンスを減らし、発生ノイズを低減した。さらに、IC内部ではノイズ対策を行い、コンデンサ等のノイズフィルタを削減できた。

(3) パッケージ技術

樹脂流動シミュレーションの採用などトランスファモールド技術の確立を行い、パワーモジュールの小型化を実現した。また、フレーム構造の最適化と高放熱伝導樹脂によって高放熱化を実現した。

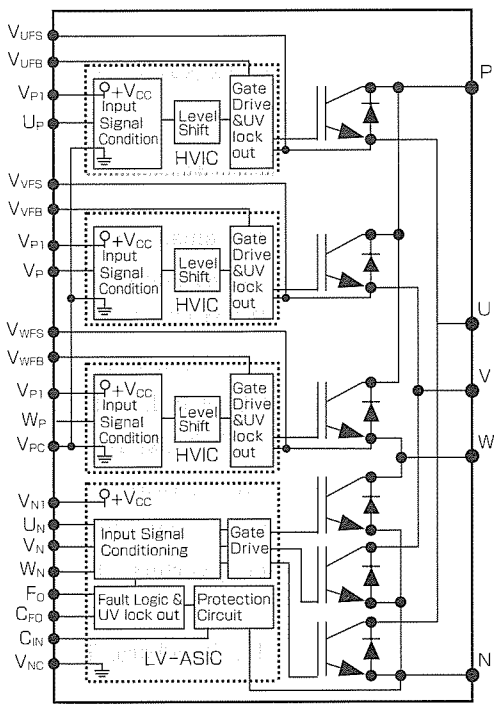


図4. 小型DIP-IPM内部ブロック図

5. DIP-IPMシリーズの特長

(1) 低ノイズ化

屋内で使用される家電製品では、発生ノイズによる周辺電子機器への影響を抑えるためにノイズ低減の要求がある。小型DIP-IPMシリーズ(PS20×××-N/PS21×××-N)では、第四世代プレーナIGBTの搭載によって低飽和電圧を実現できたことから、発生ノイズの要因となるターンオンスピードの最適化を図りFWDのリカバリー特性を改善した。

インバータ洗濯機モータ駆動を例に挙げると、雑音端子電圧は8~10MHz帯、雑音電力は100MHz帯でノイズレベルが課題となっている。現状は、これを抑制するために、AC入力側とインバータ出力側にフィルタを挿入して対策している。ノイズ低減DIP-IPMは、この二つの帯域で従来品比10dB以上の低減を確認した(当社評価)。これにより、ノイズ抑制部品の削減が可能となり、システムのコストダウンに貢献できる。図6に従来品とノイズ低減品の波形を、表2にノイズ低減品の諸特性を示す。

(2) 上下アーム休止時間の短縮

現在、家電インバータでは、モータ効率向上の面から正弦波PWM制御方式(ベクトル制御を含む。)が主流となってきている。また冷蔵庫や洗濯機等の屋内設置の白物家電では、キャリア周波数を騒音の観点から高く設定することが多い(キャリア周波数15~20kHz)。この制御方法において、モータ駆動の際の上下アーム休止時間は、モータの出力低下、トルク脈動の増加、不安定動作など、様々な悪影響をもたらしている。

従来のDIP-IPMシリーズはこの上下アーム休止時間を3μsとしていたが、スイッチング時間の最適化、制御ICの遅延時間の最適化を図り、冷蔵庫や洗濯機用途の小型DIP-IPMでは、上下アーム休止時間を1.5μsまで低減できた。

(3) 高機能化

DIP-IPMは、電源電圧低下保護(UV)と短絡保護(SC)

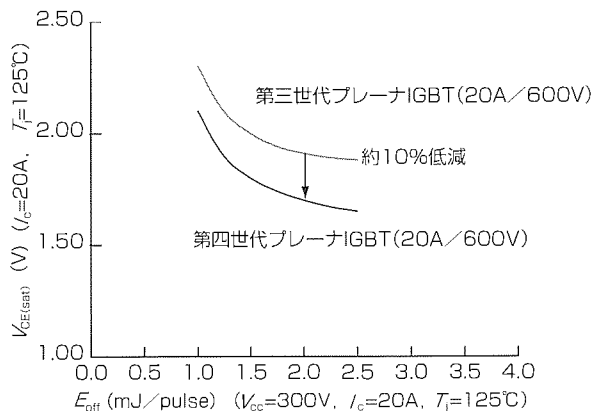
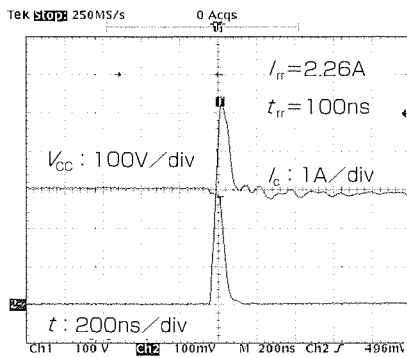
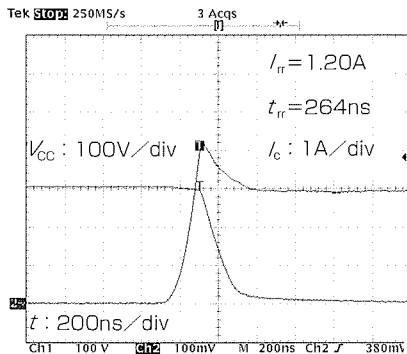


図5. トレードオフカーブ



(a) 従来品(PS20351-G)のターンオン波形



(b) ノイズ低減品(PS20351-N)のターンオン波形

図6. ターンオン波形

表2. スイッチング時間の最適化を図ったPS20351-Nの諸特性(代表例)

記号	項目	条件	定格・特性
$V_{CE(sat)}$	コレクター-エミッタ間飽和電圧	$V_D = 15V$ (注1) $V_{CIN} = 0V, I_c = 3A$ $T_j = 25^\circ C, Pulsed$	1.7V (typ.)
V_F	FWD順電圧降下	$-I_c = 3A, T_j = 25^\circ C$	1.9V (typ.)
t_{on}/t_{off}	スイッチング時間	$V_{CC} = 280V, V_D = 15V$ $T_j = 125^\circ C$ $V_{CIN} = 0 \leftrightarrow 5V, I_c = 3A$	0.9/0.9 μs (typ.)
t_{cton}/t_{ctoff}		$V_{CC} = 280V, V_D = 15V$ $T_j = 125^\circ C$ $V_{CIN} = 0 \leftrightarrow 5V, I_c = 3A$	0.35/0.45 μs (typ.)

(注1) V_D は制御電源電圧, V_{CIN} は入力電圧を示す。

を標準で備えている。一方、過熱保護(OT)は、DIP-IPMに取り付ける放熱フィン上にサーミスタを取り付けて温度を検知する方法等が採られていたが、DIP-IPMの内部に過熱保護機能を内蔵する要求が出てきている。この要求にこたえるために、過熱保護機能内蔵DIP-IPMを製品レパートリーに取り入れた(表3)。

過熱保護は、LVIC(Low Voltage IC)の温度がOTトリップ温度に達すると、エラー信号(F_o)を出力するとともにN側IGBTの出力を遮断する。トリップ期間中は入力信号を受け付けず、IGBTの出力は遮断したままの状態を維持する。LVICの温度がリセット温度まで下がると F_o を解除し、次の入力信号から通常動作に戻る。図7に過熱保護機能のシーケンスを、表4に過熱保護の規格を示す。

表3. OT内蔵DIP-IPMの製品系列

型名	素子定格	パッケージ	保護機能	主用途
PS21244-AT	15A/600V低速	大型	UV, SC, OT	エアコン
PS21245-AT	20A/600V低速	大型	UV, SC, OT	エアコン

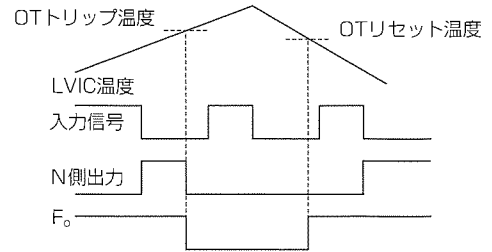


図7. 過熱保護機能のシーケンス

表4. OT内蔵DIP-IPMの過熱保護規格

項目	記号	最小	標準	最大	単位
過熱保護トリップ温度	OT_t	110	130	150	$^\circ C$
リセット温度ヒステリシス幅	OT_{th}	-	10	-	$^\circ C$

6. むすび

以上、小容量モータ駆動用として開発し展開しているトランスファモールドDIP-IPMシリーズの機能と特長について述べた。家電市場では、ファンモータ駆動用50Wクラスのモータからパッケージエアコンのコンプレッサ駆動用2.2kWクラス以上のモータまで、幅広い分野でインバータ化が進んでいる。さらに、省エネルギー規制、高調波規制、リサイクル法などの観点から、パワーモジュールに対する要求はますます厳しいものとなってくるであろう。このような中、従来の概念を打ち破った新パッケージの開発と低損失パワーチップの開発を進め、また、今後は、家電市場のみならず、産業用途への展開を視野に入れた製品化を進めていく所存である。

参考文献

- (1) Noda, S., Hussein, K. H., Yamada, S., Majumdar, G., Thal, E., Debled, G.: A Novel Supper Compact Intelligent Power Module, PCIM'97, 1~9 (1997)
- (2) コーラブ・マジウムダール, 野田祐久, 川藤 寿, 岩上 徹: Super Compact Dual In Line Package IPM, 平成9年度電気学会全国大会論文集[4], 47~48 (1997)
- (3) Majumdar, G., Hussein, K. H., Iwasaki, M., Kawafuji, H., Iwagami, T., Yoshida, H.: Novel Intelligent Power Modules for Low-Power Inverters, PESC'98, 1173~1179 (1998)
- (4) Iwasaki, M., Kawafuji, H., Shinohara, T., Hussein, K. H., Majumdar, G., Yoshioka, J., Roth, T.: Miniature Dual In-line Package Intelligent Power Module, PCIM'99, 93~100 (1999)

第四世代低損失IGBTモジュール“Fシリーズ”

山田順治*
松岡 徹*

要 旨

汎用インバータを始めとするパワーエレクトロニクス応用製品は、電力コスト削減から始まり、低騒音、装置の小型化、高精度なモータ制御など、付加性能の追求といった時代の要求にこたえてきた。キーデバイスであるパワーデバイスも、その目的達成のために進歩を遂げた。今回量産化した第四世代IGBT (Insulated Gate Bipolar Transistor) モジュール“Fシリーズ”は、低損失・低ノイズをキーワードとし、これらの要求にこたえるため次のような特長を持っている。

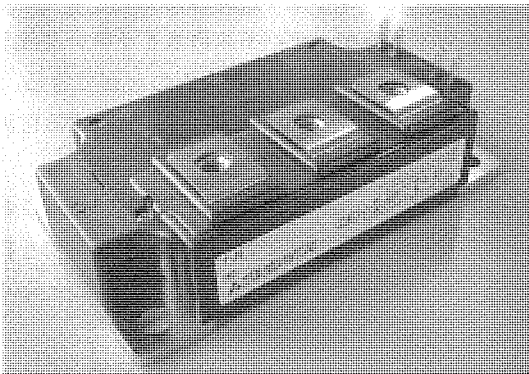
(1) トレンチ技術及びPT(Punch Through)構造の採用によるIGBTの飽和電圧の大幅低減

(2) RTC(Real Time Control)回路搭載による短絡耐量の強化

(3) FWD(Free Wheeling Diode)の超ソフトリカバリー化によるノイズの低減

今回のシリーズ量産化によって、AC200V系(75A~600A計11機種)、AC400V系(50A~600A計12機種)の産業用電力変換装置に用いられる容量のほとんどをカバーできるようになった。

上記の性能・特長のほか、応用上の利点として負荷短絡等の大電流遮断時のサージ電圧を抑制するアバランシェ耐量について紹介する。

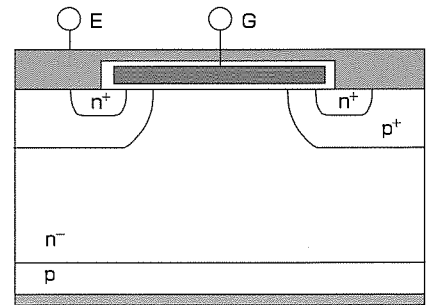


Fシリーズの外観 200A/1,200V

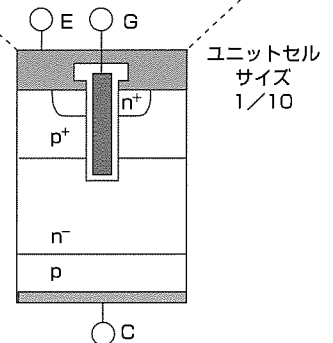
Fシリーズのラインアップ

I_c (A)		50	75	100	150	200	300	400	600
1,200 (V)	6 in1	○	○	○					
	2 in1	○	○	○	○	○	○	○	
	1 in1							○	○
600(V)	6 in1		○	○	○	○			
	2 in1		○	○	○	○	○	○	
	1 in1								○

(a) プレーナゲート構造



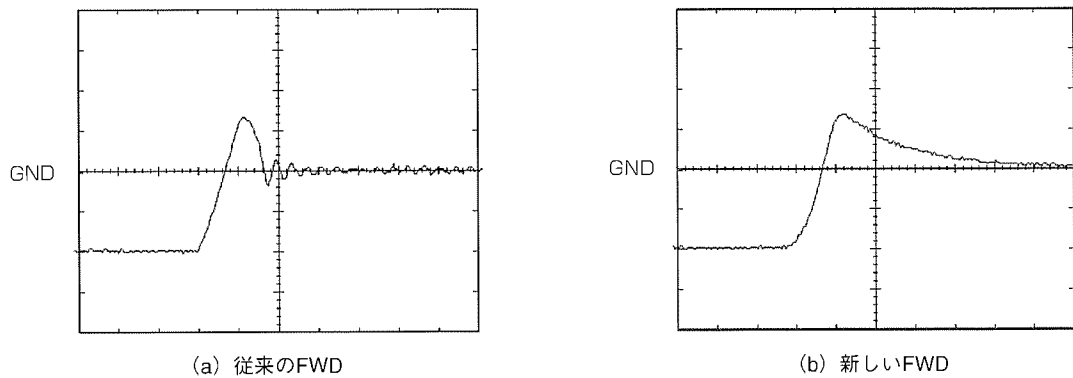
(b) トレンチゲート構造



プレーナIGBTとトレンチIGBTとのユニットセル構造比較

第四世代低損失IGBTモジュール“Fシリーズ”

トレンチ加工技術と局所ライフタイム制御技術を用いた低損失IGBTを開発するとともに、RTC回路の搭載によって短絡耐量を強化した第四世代IGBTモジュール“Fシリーズ”23機種を量産した。



$I_C : 50A/div, t : 0.2\mu s/div$

(条件: $I_C=100A, V_{CC}=600V, V_{GE}=\pm 15V, T_j=125^\circ C,$
 $R_G=3.1$ (従来FWD)又は 13 (新FWD) Ω
 (R_G は定格電流での di/dt が同一となるように調整した値))

図3. ダイオードのリカバリー電流波形比較

に搭載している新構造FWDは、S.F.値(Softness Factor : リカバリーの上昇時間に対する下降時間の比)が従来構造の2倍程度改善されていることが分かる。

3. 応用上の利点

MOSFETではアバランシェ耐量を規定した製品があるが、従来のIGBTではこの規定がなかった。

今回のトレンチIGBTモジュールFシリーズは、このようなアバランシェ現象を解析し、このアバランシェ特性を積極的に活用することにより、大電流遮断時のターンオフサージ電圧を抑制することが可能になった。したがって、特に負荷短絡電流のような大電流遮断時に発生するサージ電圧を抑制するための非常に大きなスナバ回路の軽減を可能にした。

図4に短絡電流遮断時のコレクター-エミッタ間アバランシェ電圧波形を示す。

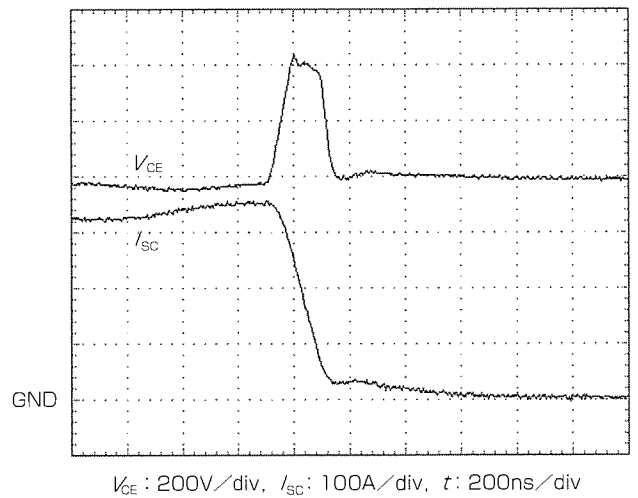


図4. アバランシェ波形

4. 主要特性及び製品系列

トレンチIGBTと第三世代プレーナIGBT(Hシリーズ)との特性比較(定格100A/1,200V)を表1に示す。ここで、第三世代プレーナIGBTと比較して $V_{CE(sat)}$ が0.7Vも低いことが分かる。図5に定格100A/1,200Vの各世代IGBTのトレードオフ関係を示す。図に示すように、トレンチIGBTは非常に良好な $E_{SW(off)} - V_{CE(sat)}$ トレードオフ特性を持っていることが分かる。これは、2章で述べたように、トレンチゲート構造、PT構造、及び局所キャリアライフタイム制御を行っているためである。

表1. 100A/1,200Vの特性比較

記号	項目	条件	プレーナゲート (Hシリーズ)	トレンチゲート (Fシリーズ)
I_{CES}	コレクタ遮断電流	$V_{CE}=1,200V, V_{GE}=0V$	1mA max.	1mA max.
$V_{GE(th)}$	ゲート-エミッタ間しきい値電圧	$I_C=10mA, V_{CE}=10V$	6.0V	6.0V
I_{GES}	ゲート-エミッタ間漏れ電流	$V_{GE}=20V, V_{CE}=0V$	0.5 μA max.	20 μA max.
$V_{CE(sat)}$	コレクタ-エミッタ間飽和電圧	$T_j=25^\circ C, I_C=100A$	2.5V	1.8V
		$T_j=125^\circ C, I_C=100A$	2.25V	1.9V
C_{jes}	小信号入力容量		20nF	36nF
C_{oes}	小信号出力容量	$V_{CE}=10V, V_{GE}=0V$	7nF	0.99nF
C_{res}	小信号帰還容量		4nF	0.93nF
$R_{th(j-c)}$	熱抵抗		0.16 $^\circ C/W$	0.25 $^\circ C/W$
E_{SW}	スイッチング損失($E_{SW(on)}+E_{SW(off)}$)		1.00	0.84
—	正弦波インバータ平均損失(5kHz)	Hシリーズを 1とした比率	1.00	0.62
—	正弦波インバータ平均損失(15kHz)		1.00	0.59
$\Delta T_{(j-c)}$	インバータ上昇温度(5kHz)		1.00	0.88
	インバータ上昇温度(15kHz)		1.00	0.60

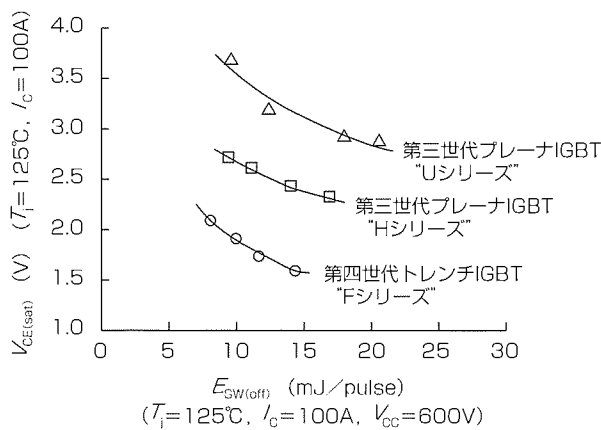


図5. スイッチング損失と飽和電圧の関係 (100A/1,200V各デバイス比較)

Fシリーズは、この低飽和電圧を製品として実現するために短絡耐量の低下を改善し開発された製品である。

現在量産しているFシリーズの製品系列を表2に示す。これにより、欧米を始めとして広く使用されているAC400V系、及びAC200V系の産業用電力変換装置に用いられるインバータ装置のほとんどをカバーできるようになった。

5. むすび

今回、トレンチIGBTとRTC回路を組み合わせることで、デバイスの低損失化を実現した。

工業用電力変換用途でこのデバイスが市場の要求にこたえる部品として最適な性能を備えており、この素子の量産化が電力利用システムの完成度の更なる向上と発展に寄与するものと期待される。

表2. Fシリーズのラインアップ

I_c (A)	50	75	100	150	200	300	400	600
1,200 (V)	6 in1	○	○	○				
	2 in1	○	○	○	○	○	○	
	1 in1							○
600 (V)	6 in1		○	○	○	○		
	2 in1		○	○	○	○	○	
	1 in1							○

参考文献

- (1) Harada, M., Minato, T., Takahashi, H., Nishihara, H., Inoue, K., Takata, I.: 600V Trench IGBT in Comparison with Planar IGBT, Proc. International Symposium on Power Semiconductor Devices & ICs, 411~416 (1994-5)
- (2) Motto, E., Donlon, J., Takahashi, H., Tabata, M., Iwamoto, H.: Characteristics of a 1,200V PT IGBT with Trench Gate and Local Life Time Control, Records of IEEE IAS Annual Meeting, 811~816 (1998-10)
- (3) 松岡 徹, 高橋英樹, 田畑光晴, 新井規由, 岩本英雄, 平川 聡: 次世代IGBTモジュールの開発(I), 平成11年電気学会全国大会, 720, 4, 1~2 (1998)
- (4) 高橋英樹, 松岡 徹, 田畑光晴, 岩本英雄, 高良正行, 松尾一成: 次世代IGBTモジュールの開発(II), 平成11年電気学会全国大会, 720, 4, 3 (1998)
- (5) 新井規由, 田畑光晴, 高橋英樹, 平川 聡: 1,200V トレンチIGBTモジュール, 三菱電機技報, 72, 12, 1001~1004 (1998)

S-DASHサーボIPM“CBシリーズ”

五十嵐 尚*
船久保信昭**

要 旨

近年、インバータ等に代表されるモータ駆動用装置は、FA(Factory Automation)に大きく貢献している。これらのFA製品は用途を拡大していく中で、小型化・高性能化・高信頼度化と電磁ノイズの低減が追求されてきている。このFA製品のキーデバイスに挙げられるスイッチングデバイスとして、IGBT(Insulated Gate Bipolar Transistor)モジュールが幅広く活用されている。特にIGBTの駆動及び各種保護機能等の制御回路を備えたIPM(Intelligent Power Module)は、ユーザーにとって装置設計の簡略化に役立ち、また、装置の小型軽量化及びコストダウンに貢献している。

従来、サーボモータ駆動装置では、サーボ専用のIPMがないために、第三世代SシリーズIPMが使用されていた。今回、第三世代SシリーズIPMと比較し取付け面積をでき

るだけ小さく、かつNCサーボ用等の多軸サーボ駆動装置に最適な設計を行った省スペース型CBシリーズIPMを開発し製品化した。そのCBシリーズIPMの機能と特長を次に示す。

- SシリーズIPMに対し、取付け面積で30~40%削減
- 微細加工技術を駆使し製作した第四世代IGBTチップを採用
- ノイズを低減させたFWD(Free Wheel Diode)の採用
- IGBTチップ上に温度センサを配置することによる高精度・高速度な過熱保護機能(OT)
- 過電流(OC)及び短絡(SC)保護機能
- 制御電源電圧低下保護機能(UV)
- N側エラー信号出力機能

パッケージタイプ : B

パッケージタイプ : A

CBシリーズIPMの製品ラインアップ

製品形名	パッケージタイプ	定格電圧	定格電流	回路構成
PM 50CBS060	A	600V	50A	
PM 75CBS060			75A	
PM100CBS060			100A	
PM150CBS060			150A	
PM200CBS060	B		200A	
PM300CBS060			300A	

A : (L)50×(W)120×(H)30 (mm) B : (L)85×(W)120×(H)30 (mm)

CBシリーズIPMの外観と製品ラインアップ

従来サーボモータに使用されていた汎用IPM(第三世代Sシリーズ)と比較し、取付け面積を30~40%削減した。また、サーボモータ制御用装置に最適なパッケージ及び端子構造とした。

1. ま え が き

サーボモータ制御用としては、従来、汎用インバータに第三世代SシリーズIPMなどが使用されていた。この駆動装置の更なる小型化・高機能化のため、それに最適な専用IPMが要求されてきた。このたび、この要求にこたえるために、第四世代IGBTを用いてCBシリーズIPMの開発を行った。

2. CBシリーズIPMの構造

今回開発したCBシリーズIPMを従来のIPMであるSシリーズと比較して、それらの構造を図1に示す。CBシリーズIPMは、SシリーズIPMに対し取付け面積(ベース板裏面面積)で30~40%削減した。取付け面積の削減は、パワー回路及び制御回路の実装面積を縮小する新しい構造技術によって実現した。現行のSシリーズIPMでは、パワー回路と制御回路をアルミワイヤボンディングで電気的に接続するために中継基板を採用し、広い取付け面積が必要であった。この基板スペースを削減するために、中継端子をケースに内蔵した。この新しい構造体の実現は、アルミワイヤを段差のある中継端子に直接ボンディングすることができる組立技術を確立することによって達成した。

3. CBシリーズIPMの機能と特長

3.1 パワー回路部

パワー回路は、IGBTとFWDの三相インバータ結線を採用している。また、三菱電機独自のデバイスシミュレーションを用いてSシリーズIPMに対し更なる低損失化を実現した第四世代IGBTを搭載している。図2にIGBTの構造を示す。このIGBTは、1μmの微細加工技術を駆使した平面ゲート構造を採用しており、次の特長を持っている。

- ユニットセル30~40%縮小、チャネル密度向上による電流密度アップ
- セル形状及び拡散プロファイルを最適化
- JFET効果抑制による飽和電圧の改善
- 微細パターン採用による破壊耐量の向上

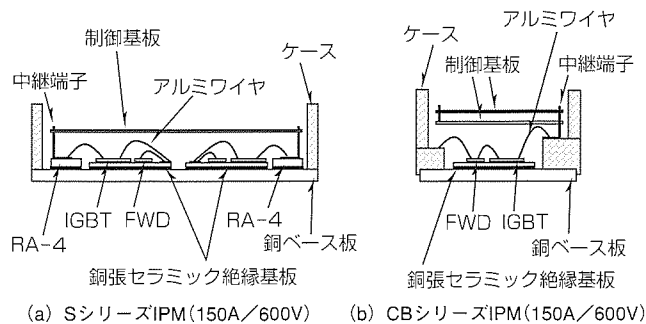


図1. S及びCBシリーズIPM内部構造断面図

図3にコレクタ-エミッタ間飽和電圧($V_{CE(sat)}$)とターンオフ損失($E_{SW(off)}$)のトレードオフの世代間比較を示す。第四世代IGBTは、第三世代IGBT($J_c=130A/cm^2$)と比較して、飽和電圧で約0.4V(@ $T_j=400K$, $J_c=150A/cm^2$)の低減を達成した。

図4に温度センサの取付け位置の比較を示す。従来はIGBTチップから一定の距離を置いた基板上にサーミスタを配置してチップ温度検出を行っていたが、この方法ではIGBTの急激な温度上昇に対し追従できない。今回、IGBTチップ上にダイオードを組み込み、そのダイオードの順電圧降下の温度依存性を温度センサに用いることでチップ温度の検出を行っている。この方法を用いると、IGBTの急激な温度上昇による熱破壊を防止することが可能となる。

還流ダイオード(FWD)は新しいライフタイム制御技術を採用し、スイッチング損失の犠牲を伴わずリカバリー電流ピーク低減のみでノイズ低減を実現した。

3.2 制御回路部

制御回路部は、IGBT駆動部と保護機能部から成り立つ

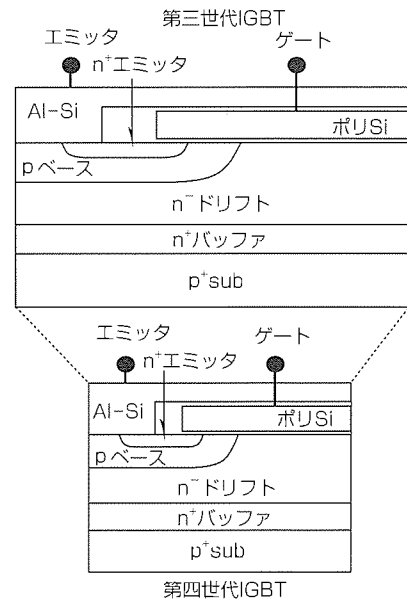


図2. 第三及び第四世代IGBTチップ断面図

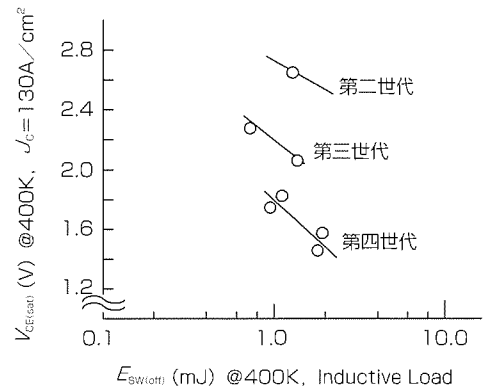


図3. 飽和電圧 $V_{CE(sat)}$ とターンオフ損失 $E_{SW(off)}$ の関係

ている。図5にCBシリーズIPMの回路ブロック図を示す。

3.2.1 IGBT駆動部

第四世代IGBTは、第三世代IGBTに比べ、ゲート-エミッタ間及びゲート-コレクタ間容量が増加している。この第四世代IGBTを採用したCBシリーズIPMは、ゲート駆動回路の設計を最適化した。

3.2.2 保護機能部

図6に各種保護機能動作におけるタイミングチャートを示し、以下に保護機能について述べる。

(1) 制御電源電圧低下保護(UV)

CBシリーズIPMは、P側に三つ、N側に一つの制御電源を必要とし、UV機能は個々の制御電源に対し搭載している。UV保護の動作時は、入力信号を受け付けなくなる。P側、N側とも一定時間幅(5 μ s程度)以下の電圧低下であれば、保護機能は動作しない。なお、IGBTのオン状態中にUV保護が動作した場合は、IGBTを即時に遮断する。遮断方式は、遮断時のコレクタ-エミッタ間に発生する過

電圧(サージ電圧)を抑えるため、ソフト遮断を導入している。エラー出力(F_o)は、N側のみである。

(2) 過電流保護(OC)及び短絡電流保護(SC)

OC及びSCの保護は、IGBT内に電流検出用のユニットセルを設け、そのセルから制御回路に微小電流を取り込み、電圧検出で行う。OCの保護動作基準は、保護レベル以上のコレクタ電流(I_c)が約5 μ s以上通電されたときに動作し、IGBTを即時に遮断する。SCは、通常、スイッチングにおけるリカバリー電流で動作しないように、フィルタを設けている。OC、SCとも、遮断時のサージ電圧を抑制するため、ソフト遮断を導入した。リセットは、約1.8 μ s後の入力信号で行う。エラー出力(F_o)は、N側のみである。

(3) 過熱保護(OT)

OT保護は、IGBTチップ上に組み込んだチップ温度検出用ダイオードで温度をモニタして行う。OT保護レベルは、チップ温度で145 $^{\circ}$ Cに設定している。また、IGBTのスイッチングによって生じるノイズに対し、検出回路にフィルタを設けることで誤動作を生じないように設計している。図7にCBシリーズIPM(300A/600V)IGBT直流電流通電時の温度分布を示す。IGBTチップ中心部の温度とチップ温度検出用ダイオードの温度差は約5 $^{\circ}$ Cである。

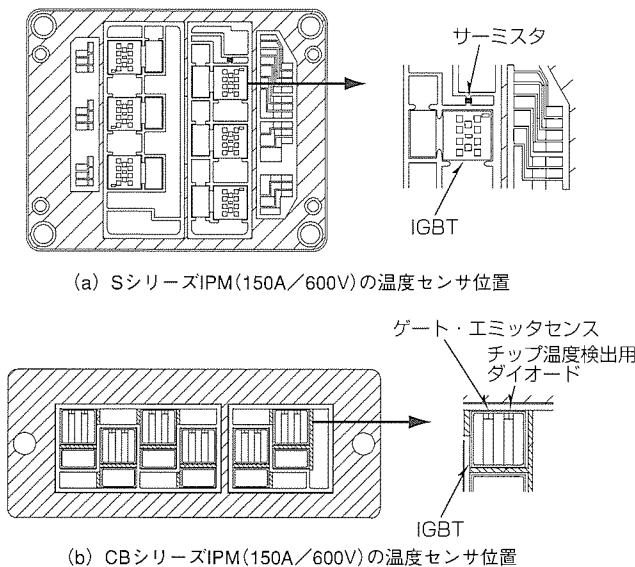


図4. 温度センサ取付け位置の比較

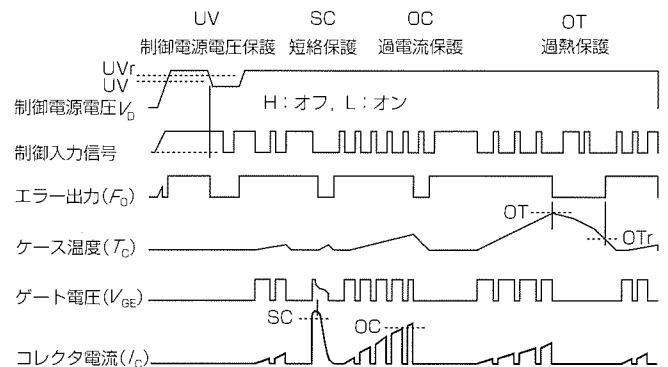


図6. CBシリーズIPMの各保護機能タイミングチャート

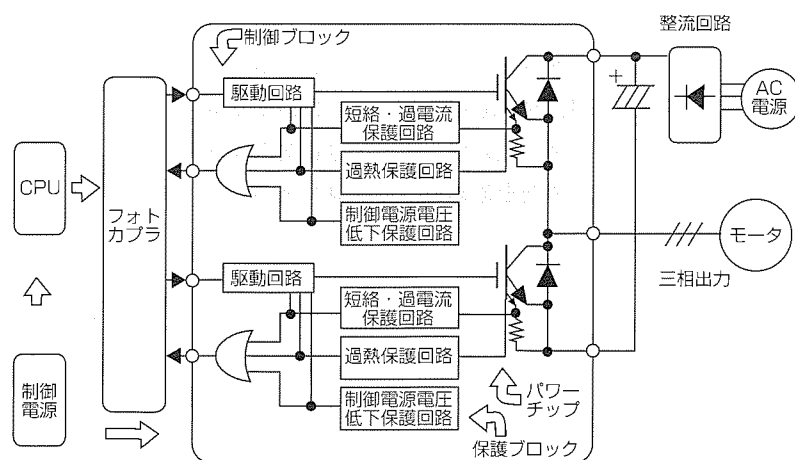


図5. CBシリーズIPM回路ブロック図

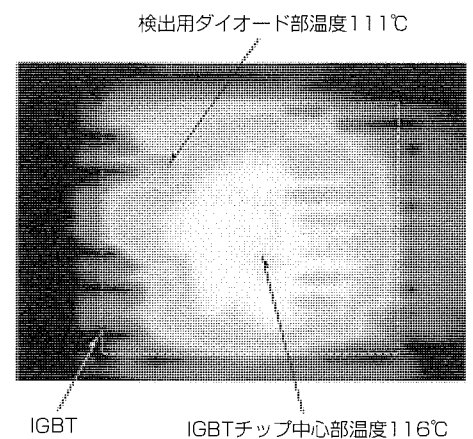


図7. CBシリーズIPM(300A/600V)IGBTチップ直流電流通電時の温度分布

表 1. CBシリーズIPM (150A/600V) の諸特性

@ $T_j = 125^\circ\text{C}$

項目	単位	Sシリーズ	CBシリーズ	条件	低減率
$V_{CE(sat)}$	V	1.75	1.60	$V_D=15\text{V}, I_C=150\text{A}$	9%
t_r	ns	180	125	$V_{CC}=300\text{V}, V_D=15\text{V}$ $I_C=150\text{A}$	31%
t_f	ns	330	330		0%
$E_{SW(on)}$	mJ/pulse	5.3	4.7		11%
$E_{SW(off)}$	mJ/pulse	10.0	10.0		0%
$E_{SW(total)}$	mJ/pulse	15.4	14.7		4%

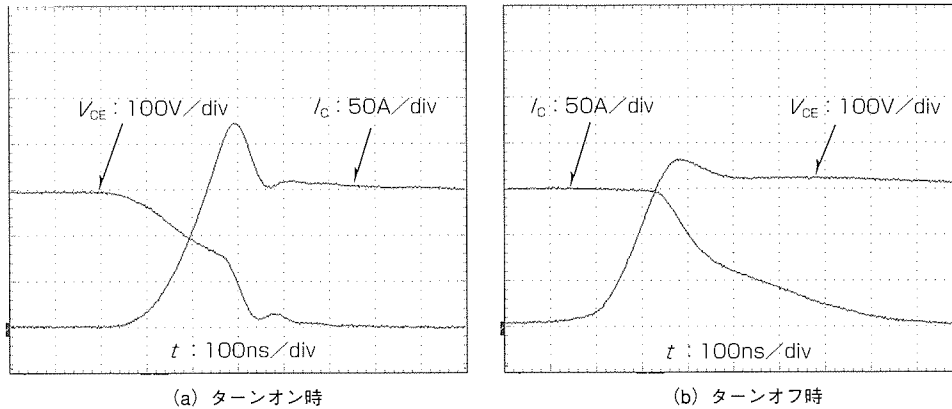


図 8. CBシリーズIPM (150A/600V) IGBTスイッチング波形

4. CBシリーズ IPM の特性

表 1 に、CBシリーズIPMの代表例として、150A/600V の定格を持つPM150CBS060の主な特性を示す。コレクタ-エミッタ間飽和電圧 ($V_{CE(sat)}$) は、Sシリーズ同クラス (平均で1.75V ($T_j=125^\circ\text{C}$, $I_C=150\text{A}$)) のチップサイズと比較して約20%減少したにもかかわらず、平均で1.70V ($T_j=125^\circ\text{C}$, $I_C=150\text{A}$) と小さな飽和電圧を達成した。

図 8 に、このIGBTのターンオン時及びターンオフ時の波形を示す。スイッチングは、ノイズ低減のためにリカバリー電流ピークが低い還流ダイオードを搭載し、さらにIGBTのゲート駆動回路を最適化することによってターンオン速度を調整している。SシリーズIPMとCBシリーズIPMの1パルス当たりのスイッチング損失を比較するとターンオンで約11%減、ターンオフは同等であり、ターンオンとターンオフの和で約5%減を達成した。

表 2 に、このIPMのインバータ応用時の損失シミュレーション値を示す。

表 2. CBシリーズIPM (150A/600V) VVVFインバータ 応用時の損失シミュレーション結果

@ $V_{CC}=300\text{V}, V_D=15\text{V}, f_c=15\text{kHz}, p_t=0.8, I_o=61\text{A}, T_j=125^\circ\text{C}$

	Sシリーズ	CBシリーズ	低減率
IGBT 1 チップ当たりの トータル損失	73.90W	72.00W	3%

5. む す び

以上、サーボモータ駆動装置の小型化に大きく貢献することのできる省スペース型CBシリーズIPMの開発と、その機能と特長について述べた。

今後は、更なる低損失化・低ノイズ化・インテリジェンス化とともに、小型化とサーボ装置により適した使いやすいパッケージの開発が進むものと考えられる。トレンチIGBTの採用、HVICの採用、FWDのソフトリカバリー化などを引き続き進めて、市場要求に対しタイムリーに対応できるよう開発を進めていく計画である。

HEV用IPMの技術展開

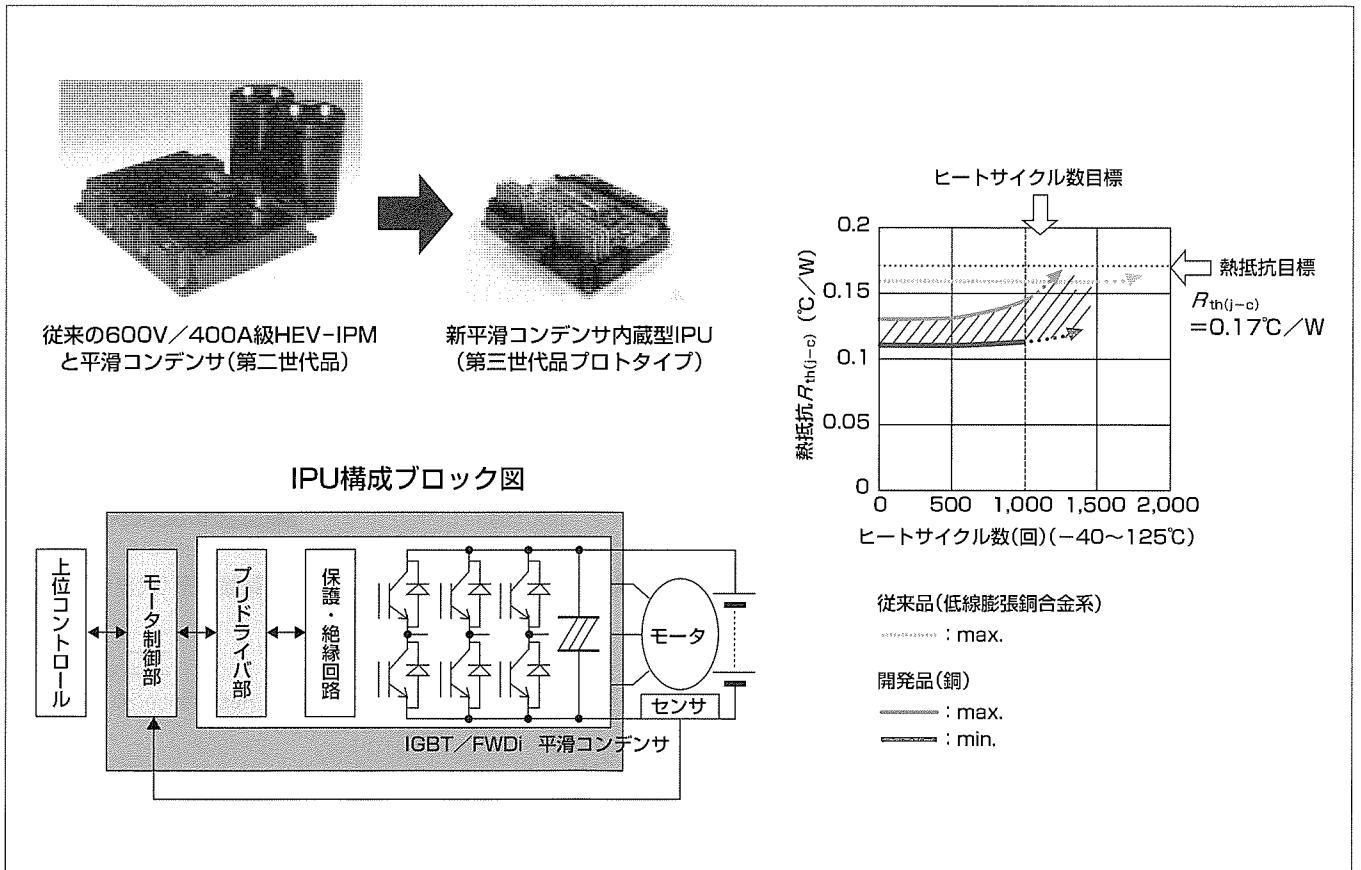
深田雅一*
 ゴーラブ・マジウムダール*
 前川博敏**

要旨

三菱電機は、1995年に電気自動車用として第一世代の600V/450A IPM(Intelligent Power Module)を開発し、'97年には第二世代品として国内初の自動車メーカー対応ハイブリッド車(HEV)用カスタムIPMを量産化し、'98年にはハイブリッド車対応汎用IPMとしてCGAシリーズを発表した。また、'99年の国内及び海外対応カスタム品の量産化に続き、現在、第三世代品HEV-IPMとして更なるインテグレート化を図ったIPU(Intelligent Integrated Power Drive Unit)を開発中である。

これまで市場要求の高い55kW級モータ用600V/400A級IPMに対して、チップサイズ13mm角IGBTの2パラレル化が必要であったが、今回のIPUでは、超微細平面ゲートIGBTの採用によって大面積1チップ化を進め、電源部も含めたパッケージの大幅な小型化を図った。

また、絶縁基板と放熱ベース板間接合部はんだの熱的疲労問題を、アセンブリプロセス改善及び材料、構造、チップレイアウトの最適化等によって解決した。さらに、フェールセーフの考えからヒートサイクル寿命を確実に把握するため、オンチップ温度センス部にクラック検知の役割を持たせたことで、熱伝導性に優れた銅ベース板の適用を可能とした。IGBTパワーチップは、車載IPM用として専用開発を行っており、低損失化を進めるとともに、電気的信頼性を向上させている。将来の燃料電池車などでは高温のエンジンがないため、ヒートサイクル条件は緩和の方向に向かうと考えられるが、反面、更なるコンパクト化要求のため高電流密度化が進み、パワーサイクル、熱疲労の条件が厳しくなる点も考慮し改良を進めた。



第二世代HEV-IPMと第三世代品となるIPUの外観及びその耐ヒートサイクル特性グラフ

左上図は第二世代HEV-IPM PM400CGA060の外観である。熱抵抗値の大きな低線膨張銅合金ベース板を採用しているためIGBTチップが2並列化し外形寸法が大型化していた。中上図と左下図は、第三世代HEV-IPMとして開発中の平滑コンデンサ内蔵型IPUプロトタイプと構成ブロック図である。今回、1,000サイクル以上の耐ヒートサイクル性要求にも放熱性の良い銅素材ベース板が適用できたことで、大型IGBTの1チップ化を実現した。右図は15mm角IGBTを使用した場合の熱抵抗 $R_{th(j-c)}$ とヒートサイクルの相関を示したグラフである。

1. ま え が き

三菱IPMは様々な用途に世界中で多く採用されているが、ハイブリッド車(HEV)用では、高熱となるエンジンルームに搭載される場合が多く、一般的な産業・民生用途と比較して環境温度条件が厳しい。2010年には自動車の世界総生産台数の10%がHEVになるとの予想もあり、電気的特性と耐久性に加え、今後、コストパフォーマンスの改善が重要となっている。

本稿では、検出・保護・制御機能や平滑コンデンサの内蔵化等によって一層のインテグレート化と小型化を進めている次世代システム型IPMであるIPUにおいて、普及のため特殊な部材を使わずに高放熱・長寿命を得る新技術を確認したので紹介する。

2. HEV用パワーモジュールの信頼性向上

2.1 ヒートサイクル

高温のエンジンがない電気自動車用と異なり、HEV用ではエンジンルーム内におけるヒートサイクル(H/C)条件が厳しいため、耐H/C性確保には銅合金系素材等の低線膨張係数のベース板適用が不可欠であった。このため第二世代のCGAシリーズではそれらの素材を採用したが、今回開発中のIPU(第三世代HEV-IPM)では、-40~125℃で1,000サイクル以上の耐H/C性目標仕様に対し、熱伝導性に優れた銅ベース板での達成を可能とした。主な改善内容は以下のとおりである。

2.1.1 チップレイアウト最適化

パワーチップのレイアウトを図1に示す。従来のレイアウト(図の(a))のようにパワーチップがコーナー部に配置されていると、わずかなはんだクラックでも放熱性分布のアンバランスによってコーナー部は温度上昇し、更にクラックを助長・進展させていた。今回、電磁・熱・応力シミュレーションにより、セラミック基板とベース板間のはんだ接合部で熱応力が大きくかかるコーナー部分にチップの発熱が影響しないようにレイアウトの最適化を行い、コーナー部

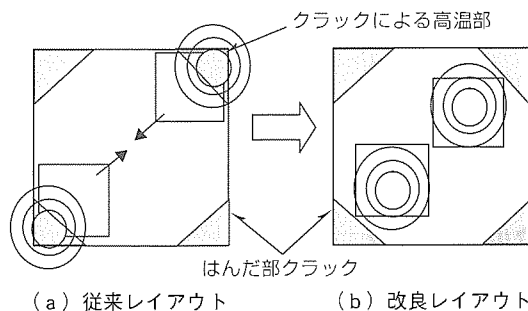


図1. パワーチップのレイアウト

から遠ざけた配置としたことで、万一はんだクラックが発生しても影響を受けるまでの時間を長くできるようにした。この結果、ジャンクション-ケース間熱抵抗の変化を抑制し、耐H/C性、耐熱疲労性が向上できた。

2.1.2 はんだコントロール

耐H/C性にははんだの厚みが最も大きく影響を与えることが知られている。図2のとおり、はんだの厚みが厚ければ耐クラック性は向上するが、これまでは、はんだを厚くしたとしても、溶融後傾いた状態で凝固する場合があります。図3に示すプロセスのばらつきなしに適正なはんだ厚みを確保することが困難であった。このため、はんだ厚みの最も薄い部分に応力集中が起こり、H/C寿命はここで決定されていた。

今回、セラミック基板はんだ付け時に高精度な基板傾きコントロールを実施することで、はんだ厚みのばらつきを抑制し、クラック寿命を安定に延長することを可能として、十分な耐H/C性を確保する製造条件を確立した(図4, 図5)。

図6, 図7に示すとおり、フェールセーフの観点からオンチップ温度センス部をチップに最適レイアウトしたことで、万一はんだクラックが予想以上に進展してもいち早く温度の変化によって検出可能となるため、これまで高H/C耐量を要求される用途には図8に示す様々な低線膨張係数部材を使用してきた。しかし、今回、-40~125℃で1,000サイクル以上といった高い要求においても従来適用が困難であった銅ベース板を安全に適用できる技術を確認することができた。

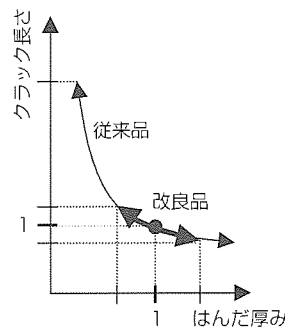


図2. はんだ厚みとクラック長さ

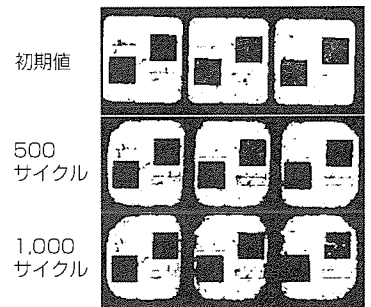


図4. 試験結果(代表例)

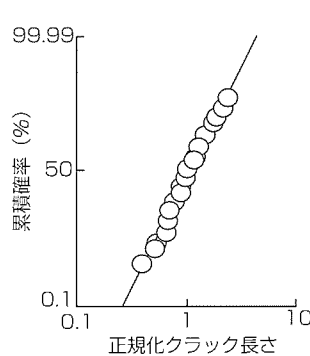


図3. クラックと製造ばらつき

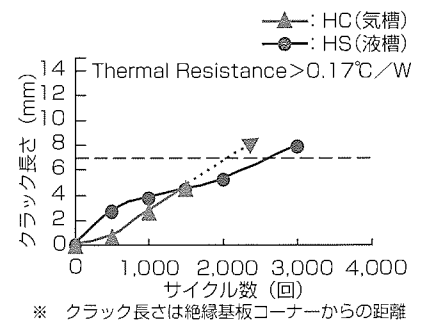


図5. ヒートサイクルとヒートショック試験結果

これにより、放熱性は従来の低線膨張複合材料品と比べて総合で約1.5倍改善されたため、同じチップの場合でも電流密度・発熱密度を上げることが可能となった。

2.2 パワーサイクル

今後インテグレート化が進み、大電流でかつコンパクトなHEV-IPMの実現には、風冷よりも冷却性能の高い水冷化が一つの解決策として考えられる。

従来の産業・民生用途における風冷フィン使用時には設計時の ΔT_{jmax} が約30℃程度であったのに対して、ハイブリッド車用大容量IPMにおいては水冷化時には約50℃以上を目指す必要があるため、ボンディングワイヤ部パワーサイクル(P/C)耐量の改善が重要となる。

今回開発した第三世代HEV-IPM(IPU)では、チップ電極メタライズとワイヤボンディングの最適化により、同一 $\Delta T_j=50℃$ 時で、従来の第二世代品に比べて2倍以上の改善を図った。また、図9に示すとおり、今回ワイヤボンディング条件を最適化したことによって T_{jmax} が約10℃改善され、定格電流におけるパワーサイクル寿命は、図10

に示すように、結果的に実使用条件では10倍伸びたことと等価になる。

3. パワーチップ

3.1 パワーチップの特性向上

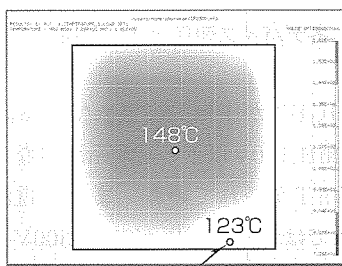
今回専用開発を行ったIGBTチップは、サブミクロンルールの採用によってセルの微細化を進めることで飽和電流レベルを下げずに誤動作レベルに影響を及ぼすしきい値 V_{th} を引き上げることができたので、ゲート電位の変動にも十分な余裕を持って対応した上、低損失で実使用時の電流密度を200A/cm²まで高めることが可能となった。

なお、フリーホイールダイオードのリカバリー特性もウルトラソフト化を行った。スイッチング特性については、ノイズ対策を考慮し、第四世代品と同等としている。

3.2 超微細平面ゲートIGBT

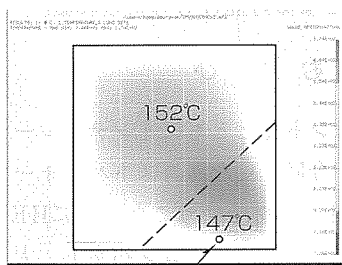
ハイブリッド車用IPMは熱環境的に厳しい状況に置かれるため、制御基板上的IGBT駆動電源電力の増加には設計上注意が必要である。特に数百アンペアを超える大容量IPMではゲート容量も無視できなくなる。

また、必然的に各アームのグラウンド電位も変動しやすくなるため、今回は、対策として独立した6制御電源を内蔵化するとともに、ゲート電荷が小さくなるように最適化を図った超微細平面ゲート構造のIGBTを採用した。図11にその構造図を、図12にオン電圧実測値を示す。



オンチップ温度センス部

図6. クラックのない初期状態



オンチップ温度センス部

図7. クラックが進んだ状態

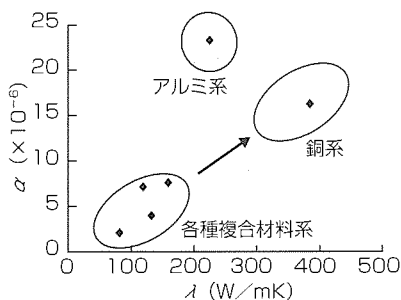


図8. 各種材料の熱伝達率と線膨張係数

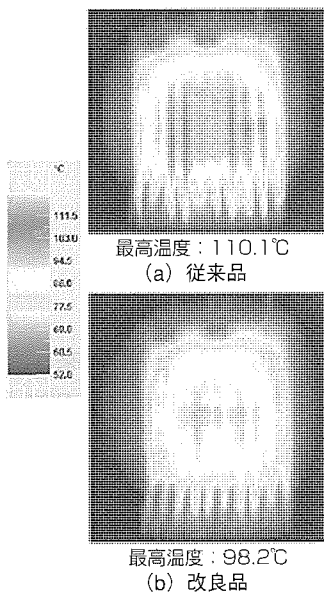


図9. 従来品と改良品の温度比較

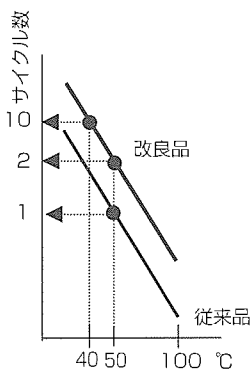


図10. パワーサイクル改善

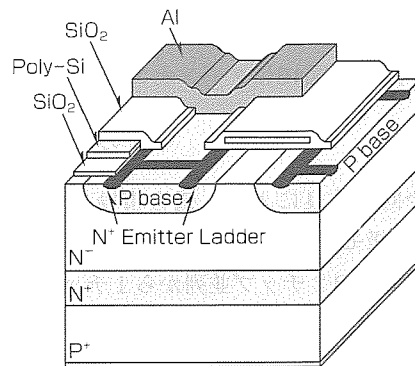
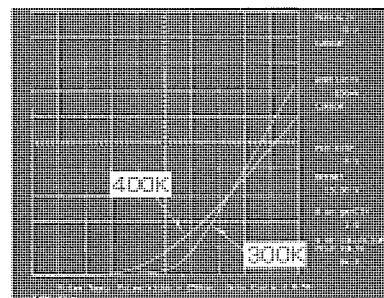


図11. IGBT構造図



縦軸50A/cm² 横軸0.2V

図12. IGBTオン電圧

表1. 各世代IGBTのオン電圧比較

	デザイン ルール	$V_{CE(sat)}$ @200A/cm ²	ユニットセル サイズ
3rd 平面	3 μ m	2.7V	1
4th 平面	1 μ m	2.0V	0.6
5th 平面	Sub- μ m	1.6V	0.5
4thトレンチ	1 μ m	1.5V	0.1

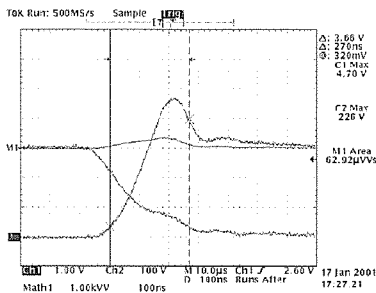


図13. IGBTターンオン波形

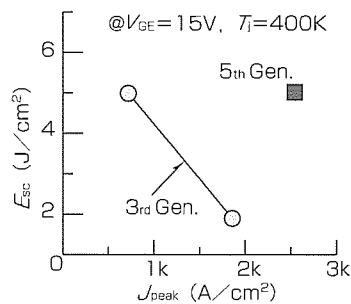


図15. 各世代IGBT短絡耐量比較

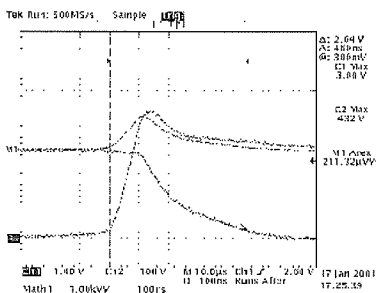


図14. IGBTターンオフ波形

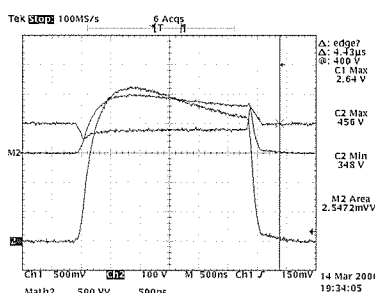


図16. 短絡遮断波形

また、表1に各世代のIGBTのオン電圧を示すととも、図13～図16にターンオン/ターンオフ波形等を示す。

4. 今後の展開

今回の改良により、最も市場ニーズが高いと思われる55kW級モータ用に必要な400A級大電流モジュールにおいて、従来の2チップ並列から1チップ化を可能とした。また、従来の低線膨張係数部材は熱伝導性が悪く横方向への熱伝がりも小さいため、グリス使用時にチップ直下が高温となり、グリスの油分が揮発するなど高電流密度化が困難であった。しかし、将来的にグリスを使わない水冷フィン一体型へと展開していくことで、キャリア周波数によるが、図17に示すとおり、1チップでも定格360Arms相当までの電流出力対応が可能となる。

なお、HEVモータ用パワーチップは損失低減とノイズ低減の観点からキャリア周波数は5～15kHz程度となり、いずれの耐圧クラスにおいてもスイッチング損失よりもオン抵抗の小さい素子が理想的となる。

図18は各デバイスの耐圧とオン電圧の関係であり、電池電圧288V系の600V品などチップ耐圧が150V以上となる

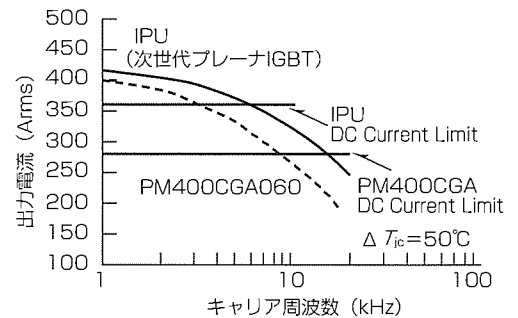


図17. 出力電流とキャリア周波数

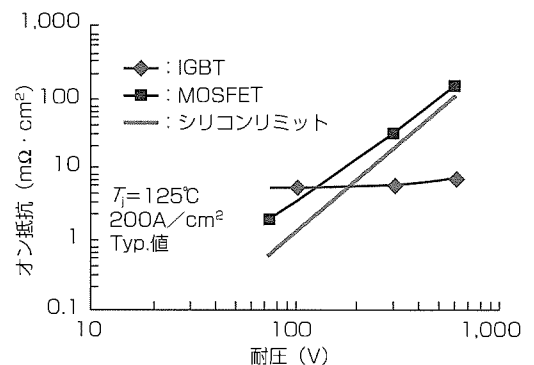


図18. 各デバイス耐圧とオン抵抗

範囲ではIGBTが圧倒的に優れている。逆にチップ耐圧150V以下の42V系用途などではMOSFETが優れている。また、電池電圧144V系ではチップ耐圧が250～300V必要のため、現時点ではIGBTが有利であるが、車載用途では間欠的な運転パターンが多いため、将来は改善によってこの電圧階級までユニポーラ特性のMOSFET系が有利となる可能性も考えられる。

5. むすび

今後ともインテリジェント化とともにインテグレート化が進むと考えるが、今回、更なるコストパフォーマンスの向上を目指し、特殊な部材を使うことなしにHEV用としての高耐久性を実現し、低損失、コンパクト、大量生産が可能な製品の技術開発を進めた。

今後のHEV、EVの普及に貢献できるものと期待している。

参考文献

- (1) 前川博敏, ゴーラブ・マジウムダール, 長瀬昌彦: 車載インバータの小型化技術, 三菱電機技報, 74, No.9, 575～578 (2000)
- (2) Yamashita, J., Yoshida, C., Fujii, C., Takanashi, K., Moritani, J.: The 5th Generation Highly Rugged Planar IGBT using Sub-micron Process Technology, Proc. of ISPSD2001, to be published.

4.5kV HVIGBTモジュールシリーズ

石井一史*
近井 智*
望月浩一**

要 旨

近年、電鉄・電力・工業などの大電力分野では、システムの小型・軽量化又は低騒音化などの市場要求に対応して、コンバータ(交流-直流変換)及びインバータ(直流-交流変換)用のパワースイッチングデバイスは、従来のGTO(Gate Turn-off)サイリスタからHVIGBT(High Voltage Insulated Gate Bipolar Transistor)モジュールなどの新しいパワー半導体デバイスに切り換えられている。

三菱電機(当社)は、1996年に世界に先駆けて電圧定格3.3kVのHVIGBTモジュールを開発し、また業界最高水準の半導体チップからの熱発生低減と熱伝達特性向上を実現した第二世代のHVIGBTモジュールを'97年に開発した。

今回、更に電圧定格4.5kVの高耐压化を図ったHVIGBTモジュールを開発し、電流定格400A、600A及び900Aの3

品種を製品化した。

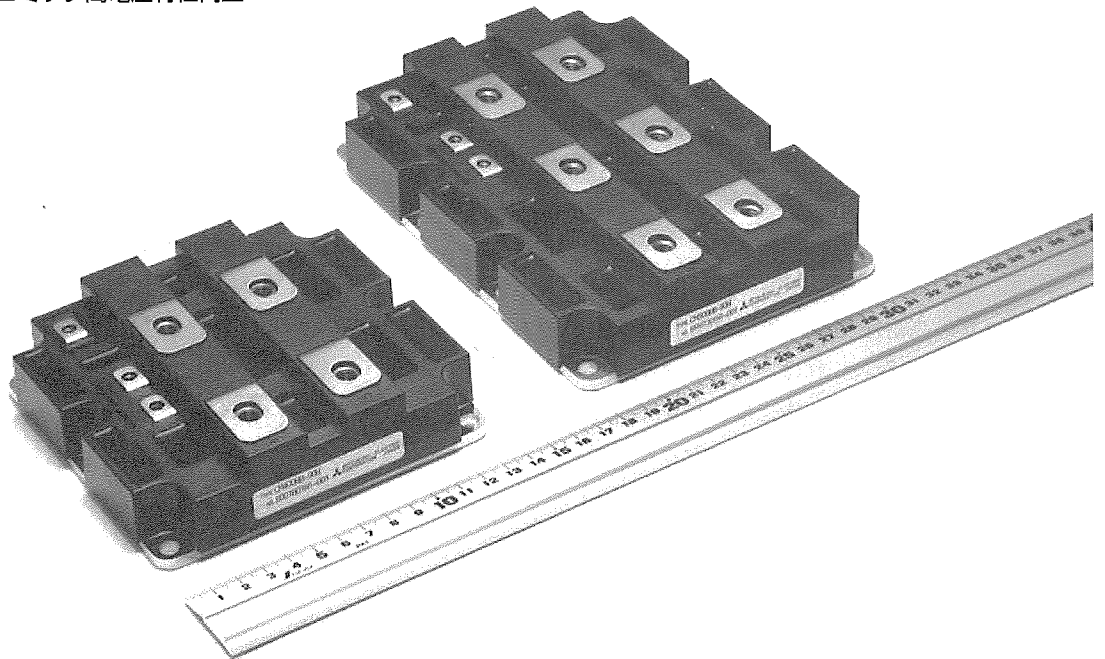
これにより、パワー半導体デバイスを直列接続で使用するシステムは、デバイスの使用数量削減が可能となり、更なる小型・軽量化を図ることができる。

また、IGBTチップ性能は、設計仕様を解析の上、構造を最適化して、コレクター-エミッタ間飽和電圧を3.3kV定格の当社従来品より低減している。

このように4.5kV HVIGBTモジュールは半導体チップからの熱発生を最小限に抑えるように設計されているため、システムの電力ロス低減が図られ、省エネルギーにも貢献でき、今後ますます高電圧受電のコンバータやインバータに適用されていくものと期待している。

4.5kV HVIGBTモジュールの特長

- (1) 2.5kV/3.3kV HVIGBTモジュールとの互換性あり
- (2) 低コレクター-エミッタ間電圧特性向上



4.5kV HVIGBTモジュールの外観

左：定格4.5kV、400A/600AシングルHVIGBTモジュール(形名：CM400HB-90H/CM600HB-90H)
右：定格4.5kV、900AシングルHVIGBTモジュール(形名：CM900HB-90H)

1. ま え が き

近年、電鉄・電力・工業などの大電力分野では、システムの小型・軽量化又は低騒音化などの市場要求に対応して、コンバータ(交流-直流変換)及びインバータ(直流-交流変換)用のパワースイッチングデバイスは従来のGTOサイリスタからHVIGBTモジュールなどの新しいパワー半導体デバイスに切り換えられている⁽¹⁾。

三菱電機は、1996年に世界に先駆けて電圧定格3.3kVのHVIGBTモジュールを開発し⁽²⁾、また業界最高水準の半導体チップからの熱発生低減と熱伝達特性向上を実現した第二世代のHVIGBTモジュールを'97年に開発した⁽³⁾。

電鉄では、既にこのHVIGBTモジュールが新幹線、機関車及び地下鉄などの推進制御装置又は補助電源装置に採用されており、電車の高速化と快適性に貢献している。

一方、高電圧応用分野では、システムの小型・軽量化のために、パワー半導体デバイスの高耐圧化が期待されている。これにこたえるため、電圧定格4.5kVの高耐圧化を図ったHVIGBTモジュールを開発し、電流定格400A、600A及び900Aの3品種を製品化した。

本稿では、4.5kV HVIGBTモジュールの設計コンセプト、高耐圧チップの設計、パッケージの構造、特性及びシステム応用の検討について述べる。

2. 設計コンセプト

4.5kV HVIGBTモジュールのコンセプトは次の2点である。

- (1) 既に製品化している2.5kV/3.3kV HVIGBTモジュールと互換性を持たせるために、同一パッケージを使用する。
- (2) コレクター-エミッタ間飽和電圧を3.3kV HVIGBTモジュールと同等以下にする。

3. 高耐圧IGBTチップの設計

IGBTチップの高耐圧化のためにはn⁻ベース層の厚みを増加させる必要がある。これは、コレクター-エミッタ間印加電圧の増加に従って広がる空乏層領域を確保しウェーハ内部の耐圧を確保するためであり、またホットリーク電流を抑制するためである。

一方、n⁻ベース層の厚みを増加させると、コレクター-エミッタ間飽和電圧とスイッチング損失は増加する。

今回の4.5kV IGBTチップの開発に際しては、これらのトレードオフについて十分に検討した上で、n⁻ベース層の厚みを極限まで薄くすることを開発目標とした。

具体的には、コレクター-エミッタ間飽和電圧を3.3kV HVIGBTモジュールの値4.0V(条件：定格コレクタ電流かつ接合温度T_j=125℃)以下にすることである。

図1に、従来のIGBTチップ構造におけるコレクター-エ

ミッタ間飽和電圧V_{CE(sat)}とホットリーク電流I_{CES(hot)}のn⁻ベース層厚みt_n依存性を示す。

図のグラフからはt_n=500μmで設計すればV_{CE(sat)}=3.6Vとなり当初の目標値を満足するが、別の検討結果からp⁺コレクタ層の濃度を適正化することでI_{CES(hot)}を低減できることが判明したため、V_{CE(sat)}=3.3Vを開発目標にして、t_n=450μmで設計することにした。

なお、図2に高耐圧IGBTチップの構造図を示す。

次に、I_{CES(hot)}を抑制するためのp⁺コレクタ層濃度の適正化について検討した。

図3にコレクター-エミッタ間飽和電圧V_{CE(sat)}とホットリーク電流I_{CES(hot)}に対するp⁺コレクタ層とn⁺バッファ層との濃度比γ(=C_{s(p⁺)}/C_{s(n⁺)})の依存性を示す。

図3のグラフからV_{CE(sat)}とI_{CES(hot)}のバランスを考慮して、γ=10~15に選定した。この結果、V_{CE(sat)}の増加を抑制し

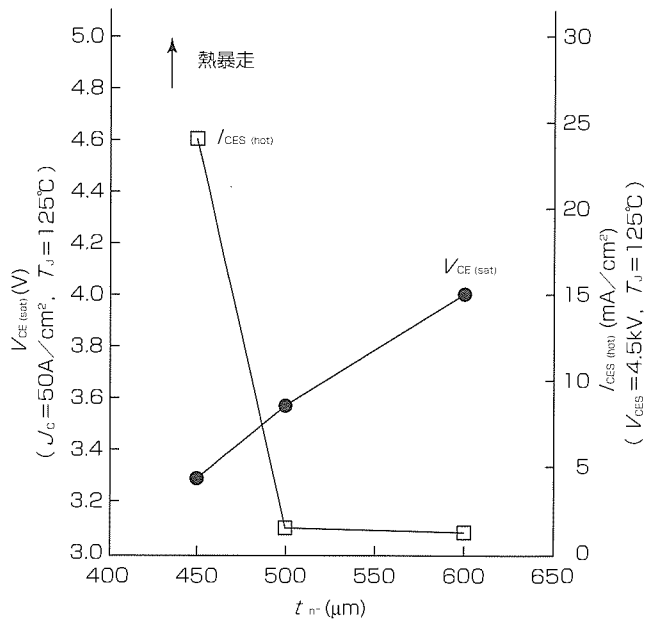


図1. 4.5kV IGBTチップのV_{CE(sat)}、I_{CES(hot)}のt_n依存性

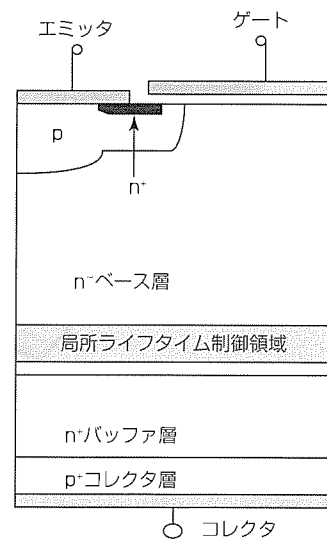


図2. 高耐圧IGBTチップの構造図

ながら $I_{CES(hot)}$ を低減することができた。

更に $I_{CES(hot)}$ を低減するため、ライフタイム制御位置すなわち p^+ コレクタ側からのプロトン照射飛程も検討した。

図4にホットリーク電流 $I_{CES(hot)}$ とクロスポイント電流の定格電流比率 $I_{ztc}/I_C(rating)$ に対する p^+ コレクタ側からのプロトン照射飛程 R_p の依存性を示す。 R_p は $I_{ztc}/I_C(rating)$ を0.5程度に抑えながら極力浅い値に選定した。

ここで、クロスポイント電流 I_{ztc} は $T_j=25^\circ\text{C}$ と $T_j=125^\circ\text{C}$ の $V_{CE(sat)}-I_C$ カーブが交わるコレクタ電流 I_C を意味している。

以上の設計によって、 $I_{CES(hot)}$ を抑制しながら当初目標 $V_{CE(sat)}=3.3\text{V}$ を実現した4.5kV HVIGBTモジュールを開発することができた。

4. パッケージの構造

4.5kV HVIGBTモジュールは2.5kV/3.3kV HVIGBTモジュールのパッケージを流用しているため、絶縁特性に優

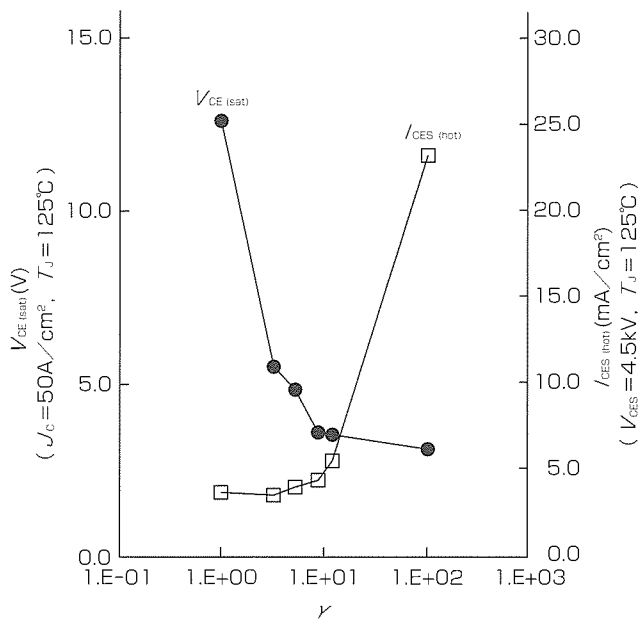


図3. 4.5kV IGBTチップの $V_{CE(sat)}$, $I_{CES(hot)}$ の γ 依存性

れている比較トラッキング指数 $C_{TI}=600$ のパッケージ材質と熱伝達特性の良い銅ベース板の組合せで構成されている。

外形寸法は、定格400A/600A品が2.5kV/3.3kV, 800A品と同一の(L)130×(W)140×(H)38(mm)で、定格900A品が2.5kV/3.3kV, 1,200A品と同一の(L)190×(W)140×(H)38(mm)である。

最大定格と主要特性(規格値)をそれぞれ表1, 表2に示す。

5. 特性

5.1 コレクタ-エミッタ間飽和電圧

図5に定格4.5kV, 900AシングルHVIGBTモジュール(形名:CM900HB-90H)のコレクタ-エミッタ間飽和電圧特性の評価結果を示す。

図から、 $V_{CE(sat)}=3.3\text{V}$ (条件: $I_C=900\text{A}/T_j=125^\circ\text{C}$)及び $I_{ztc}/I_C(rating)=500\text{A}/900\text{A}=56\%$ の結果となり、目標が達成できたことが分かる。

5.2 スイッチング特性

図6にCM900HB-90Hの最大ターンオフスイッチング波形を示す。

6. システム応用の検討

図7に、HVIGBTモジュール適用2レベルインバータ

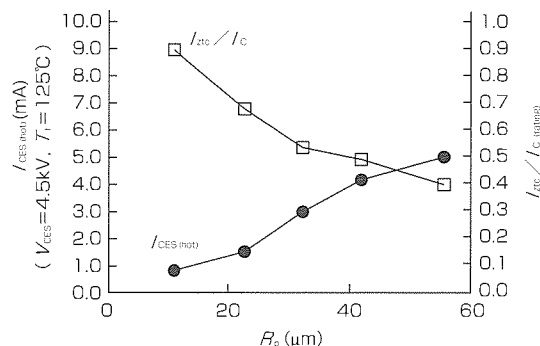


図4. 4.5kV IGBTチップの I_{CES} , I_{ztc}/I_C の R_p 依存性

表1. 4.5kV HVIGBTモジュールの最大定格

記号	項目	条件	CM400HB-90H	CM600HB-90H	CM900HB-90H	単位
V_{CES}	コレクタ-エミッタ間電圧	$V_{GE} = 0\text{V}$, $T_j = 25^\circ\text{C}$	4,500	4,500	4,500	V
V_{GES}	ゲート-エミッタ間電圧	$V_{CE} = 0\text{V}$, $T_j = 25^\circ\text{C}$	± 20	± 20	± 20	V
I_C	コレクタ電流	$T_C = 25^\circ\text{C}$	400	600	900	A
I_{CM}		パルス	800	1,200	1,800	A
I_E	エミッタ電流	$T_C = 25^\circ\text{C}$	400	600	900	A
I_{EM}		パルス	800	1,200	1,800	A
P_C	最大コレクタ損失	$T_C = 25^\circ\text{C}$, IGBT部	4,300	6,700	10,000	W
T_j	接合温度	—	$-40 \sim +125$	$-40 \sim +125$	$-40 \sim +125$	$^\circ\text{C}$
T_{stg}	保存温度	—	$-40 \sim +125$	$-40 \sim +125$	$-40 \sim +125$	$^\circ\text{C}$
V_{iso}	絶縁耐圧	充電部-ベース板間, 実効値 正弦波電圧AC60Hz 1分間	6,000	6,000	6,000	V
—	締付けトルク強度 (最小~最大)	主端子ねじ M8	6.67~13.00	6.67~13.00	6.67~13.00	N·m
		取付けねじ M6	2.84~6.00	2.84~6.00	2.84~6.00	N·m
		補助端子ねじ M4	0.88~2.00	0.88~2.00	0.88~2.00	N·m
—	質量 (標準)	—	1.5	1.5	2.2	kg

表 2. 4.5kV HVIGBTモジュールの主要特性(規格値)

記号	項目	条件	CM400HB-90H	CM600HB-90H	CM900HB-90H	単位
I_{CES}	コレクタ遮断電流(最大)	V_{CE} : 定格電圧	8	12	18	mA
		$T_j = 25^\circ\text{C}$ $V_{GE} = 0\text{V}$ $T_j = 125^\circ\text{C}$	40	60	90	
$V_{GE(th)}$	ゲート-エミッタ間しきい値電圧(標準) ()内は最小~最大	I_C : 定格電流/10,000 $V_{GE} = 10\text{V}$, $T_j = 25^\circ\text{C}$	6.0 (4.5~7.5)	6.0 (4.5~7.5)	6.0 (4.5~7.5)	V
I_{GES}	ゲート-エミッタ間漏れ電流(最大)	$V_{GE} = V_{GES}$, $V_{CE} = 0\text{V}$	0.5	0.5	0.5	μA
$V_{CE(sat)}$	コレクタ-エミッタ間飽和電圧(標準)	I_C : 定格電流	3.0	3.0	3.0	V
		$V_{GE} = 15\text{V}$ $T_j = 25^\circ\text{C}$ $T_j = 125^\circ\text{C}$	3.3	3.3	3.3	
V_{EC}	エミッタ-コレクタ間電圧(標準)	I_E : 定格電流	4.0	4.0	4.0	V
		$V_{GE} = 0\text{V}$ $T_j = 25^\circ\text{C}$ $T_j = 125^\circ\text{C}$	3.6	3.6	3.6	
$R_{th(j-c)Q}$	接合-ケース間熱抵抗(最大)	IGBT部	0.023	0.015	0.010	K/W
$R_{th(j-c)R}$		FWDi部	0.045	0.030	0.020	K/W
$R_{th(c-f)}$	ケース-フィン間接触熱抵抗(標準)	グリース塗布	0.015	0.010	0.007	K/W

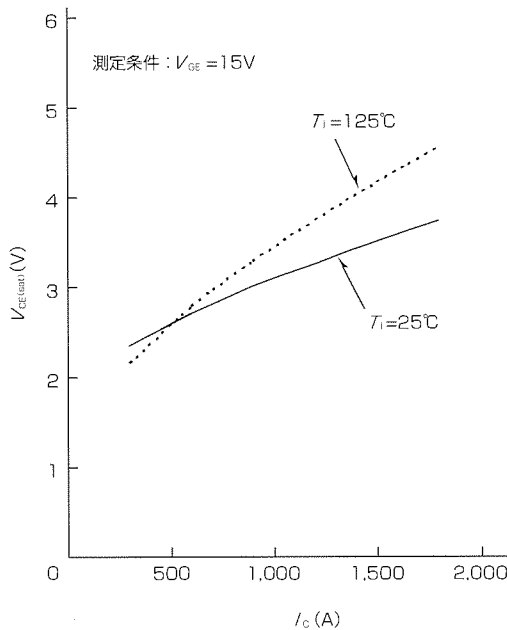


図 5. CM900HB-90Hの $V_{CE(sat)}$ の I_C 依存性

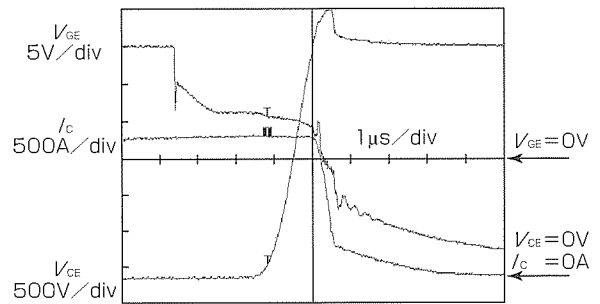


図 6. CM900HB-90Hのターンオフスイッチング波形

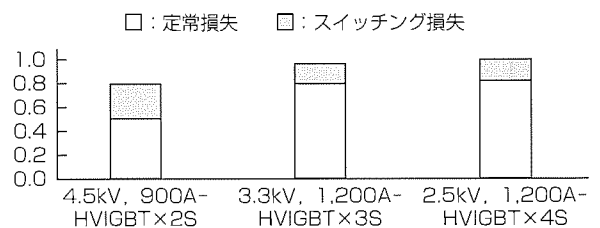


図 7. 2レベルインバータの損失比較

における2直列接続4.5kV, 900A品, 3直列接続3.3kV, 1,200A品及び4直列接続2.5kV, 1,200A品の発生損失の相対比較を示す。4.5kV HVIGBTモジュールは発生損失を低減できることが分かる。

7. む す び

今回、電圧定格を4.5kVまで高耐圧化を図ったHVIGBTモジュールを開発し、電流定格400A, 600A及び900Aの3品種を製品化した。

これにより、パワー半導体デバイスを直列接続で使用するシステムは、デバイスの使用数量削減が可能となり、更なる小型・軽量化を図ることができる。

また、IGBTチップ性能は、設計仕様を解析の上、構造を最適化して、コレクタ-エミッタ間飽和電圧を3.3kV定格の当社従来品より低減している。

このように4.5kV HVIGBTモジュールは半導体チップか

らの熱発生を最小限に抑えるように設計されているため、システムの電力ロス低減が図られ、省エネルギーにも貢献でき、今後ますます高電圧受電のコンバータやインバータに適用されていくものと期待している。

参 考 文 献

- (1) 山元正則, 石井一史: 高耐圧・大容量パワーデバイスの技術動向, 三菱電機技報, 73, No.7, 475~479 (1999)
- (2) Mochizuki, K., Ishii, K., Takeda, M., Hagino, H., Yamada, T.: Examination of Punch Through IGBT (PT-IGBT) for High Voltage IGBT, Proceeding of ISPSD'97, 237~240 (1997)
- (3) 石井一史: 高耐圧IGBTモジュールの特徴と応用, 電子技術, 40, No.5, 118~120 (1998)

GCTサイリスタのシリーズ開発

要 旨

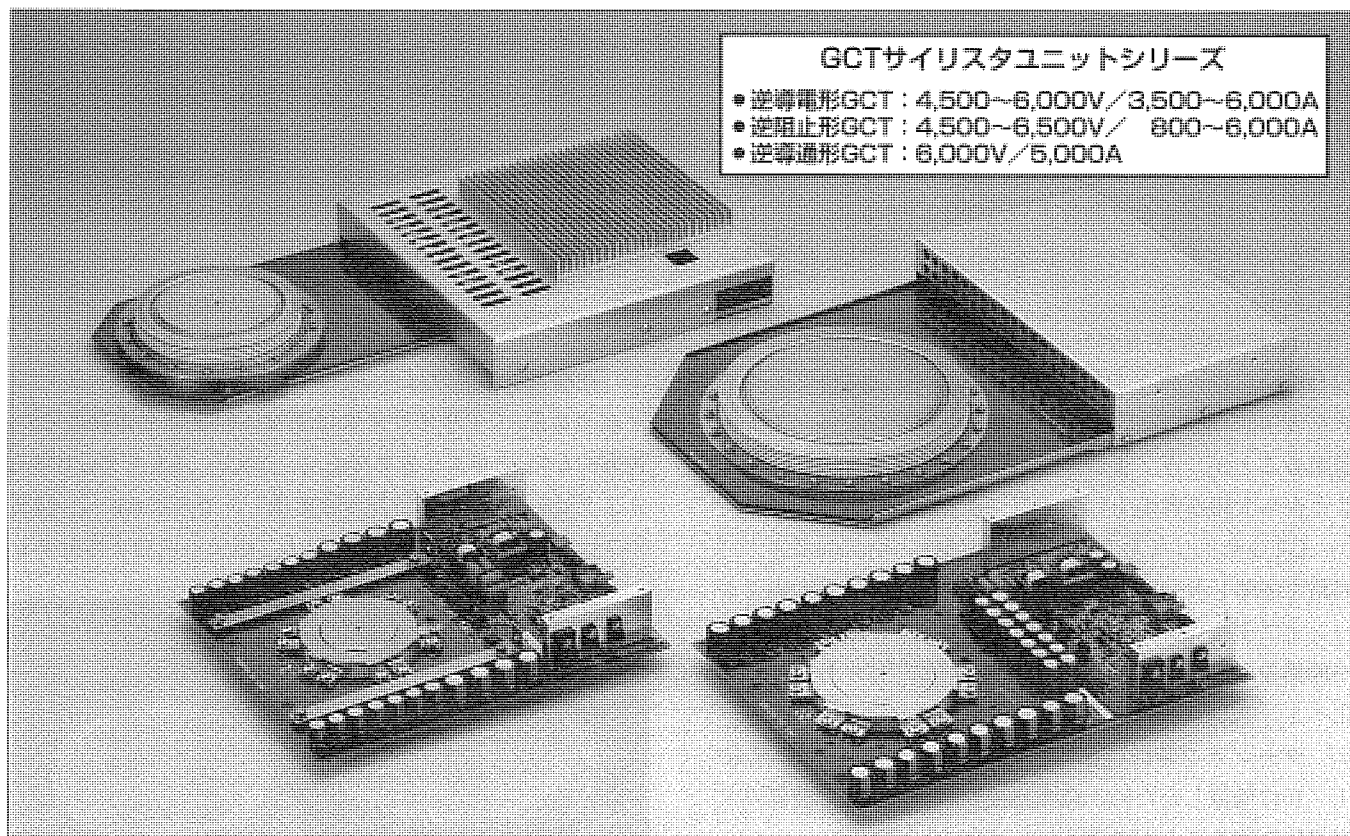
近年、大容量パワーデバイスの分野では、GTO (Gate Turn-off) サイリスタに代わる新しいパワーデバイスの開発が急速に行われている。三菱電機では、市場実績の豊富なGTOをベースに、新たなターンオフ動作原理を持つ新形のパワーデバイスであるGCT (Gate Commutated Turn-off) サイリスタを1995年に世界で初めて開発して実用化し、電力用・鉄鋼用を中心としたパワーエレクトロニクス機器に適用している。

しかしながら、パワーエレクトロニクス機器の応用分野は広範囲であり、用途に応じた高機能・高性能GCTサイリスタの開発が強く望まれている。例えばインバータ応用は、電圧形インバータと電流形インバータの2種類に大別され、電圧形インバータには、現在、逆導電形GCTサイリスタが適用され、装置の小型軽量化・高効率化に大きく貢献している。しかし、システムの更なる小型軽量化を

現するためには、GCTサイリスタと還流ダイオードを一体化したコンパクトなGCTサイリスタが求められる。一方、電流形インバータには逆電圧阻止能力と高い遮断特性が要求される。

このような市場要求にこたえるため、GCTサイリスタと還流ダイオードを同一ウェーハ上に逆並列に構成した逆導通形GCT (Reverse conducting GCT: RGCT) サイリスタ及び逆電圧阻止能力を持ちかつ高い遮断能力を持つ高性能な逆阻止形GCT (Symmetrical GCT: SGCT) サイリスタを開発した。さらに最適設計されたゲートドライバと一体化したGCTサイリスタユニットとしてシリーズ化したことで、様々な応用に広範囲に対応可能となった。

これらのGCTサイリスタユニットは、今後、電力用・鉄鋼用及び産業用を中心としたパワーエレクトロニクス機器の進歩発展に大きく貢献することが期待される。



GCTサイリスタユニットシリーズの外観

逆導電形GCTサイリスタに加え逆導通形GCT (RCGCT) サイリスタ及び逆阻止形GCT (SGCT) サイリスタを開発し、ゲートドライバと一体化したGCTサイリスタユニットとしてシリーズ化した。

1. ま え が き

三菱電機では、市場実績の豊富なGTOサイリスタをベースに、ターンオフ動作においては“ターンオフゲイン=1”の新たな動作原理に基づく新型のパワーデバイスであるGCTサイリスタを開発して実用化し、現在、電力用・鉄鋼用を中心としたパワーエレクトロニクス機器に適用している。

しかしながら、パワーエレクトロニクス機器の応用分野は広範囲であり、代表的なGCTサイリスタである逆阻止能力を持たない逆導電形GCTサイリスタに加え、高機能・高性能GCTサイリスタの開発が強く望まれている。このような市場要求にこたえるため、GCTサイリスタと還流ダイオードを同一ウェーハ上に逆並列に構成した逆導通形GCTサイリスタ、また、逆電圧阻止能力を持ちかつ高い遮断能力を持つ高性能な逆阻止形GCTサイリスタを開発した。さらに、GCTサイリスタの優れた性能を最大限に発揮させるために、最適設計されたゲートドライバと一体化したGCTサイリスタユニットとして製品化しシリーズ化した。

2. 特長と構造

GCTサイリスタは、サイリスタの利点である低オン電圧特性と圧接構造による高信頼性をそのまま持つ一方、ターンオフ動作においてはアノードからカソードに流れていた主電流のすべてをゲート回路へ転流させてサイリスタ動作領域全域を瞬時にトランジスタ動作領域に遷移させることによってターンオフ動作を行うこと、すなわち“ターンオフゲイン=1”でターンオフすることが動作上最大の特長である。

GCTサイリスタをパワーエレクトロニクス機器に適用した場合には、以下の優れた特性により、GTOサイリスタを使用した場合に比べ、装置の小型軽量化や低コスト化が図ることができ、また装置のトータル損失を半減できることから大幅な省電力化が実現できる。

- (1) GTOサイリスタが必要であった dv/dt 抑制用スナバ回路を省略しサージ電圧を抑制するクランプ回路のみでターンオフすることが可能となったため、デバイス及びスナバ回路を含めた装置のトータル損失をGTOサイリスタに比べ1/2以下に低減することが可能である。
- (2) ターンオフ時の蓄積時間(t_s)をGTOサイリスタの約1/10に低減したため、直並列接続が容易となり装置の大容量化を図ることができる。
- (3) ターンオン時の di/dt 耐量がGTOサイリスタに比べ2倍以上向上したため、 di/dt 抑制用アノードリアクトルを低減することが可能である。

なお、GTOサイリスタと同様の平形構造の採用により、

GTOサイリスタとの置き換えが容易である。

図1に、直径150mmウェーハを適用した6kV/6kA GCTサイリスタのパッケージ及びウェーハの外観を示す。ウェーハ構造はGTOサイリスタのウェーハ構造と同様に数千個のセグメント(微小な単位サイリスタ)を同心円状に15段構成で並列接続されており、その最外周部にゲート電極が配置されている。ターンオフ動作時にはGTOサイリスタの100倍のゲート逆電流の勾配(di_{GQ}/dt)で最外周に配置したリング状のゲート電極全周から瞬時にアノード電流をゲート回路へ転流する。さらに、ターンオン動作が素子全周からほぼ同時に起こることから素子面内電流密度がGTOサイリスタの1/3に低減し電流の局所集積が緩和されるため、ターンオフ能力が飛躍的に向上し、 dv/dt 抑制用スナバ回路を省略してターンオフすることを可能とした。

図2に、6kV/6kA GCTサイリスタとゲートドライバを一体化したGCTサイリスタユニットの外観を示す。GCTサイリスタはパッケージの外周部にリングゲート電極を設け、かつゲートドライバとの接続を多層基板によって行うことで、GTOサイリスタに比べ素子を含めたゲートドライブ回路のインダクタンスを約1/100に低減しており、これにより、ゲートドライブ回路の電源電圧を変更することなく、数千A/ μs という非常に高いゲート逆電流の勾配を実現した。さらに、GCTサイリスタの性能を最大限に発揮させるため、ゲートドライバは以下の項目を考慮して最適設計されている。

- 駆動電流の分流を考慮した多層基板のパターン設計
- 駆動電流の分流を考慮した大電流通電用の部品配置
- 低インピーダンス部品の選定

3. 特性と応用

(1) 逆導電形GCTサイリスタ

逆導電形GCTサイリスタは逆電圧阻止能力を持たない代表的なGCTサイリスタであり、6kV/6kA GCTサイリスタは6,000Aの遮断能力を実現し、さらに dv/dt 抑制用スナバ回路省略によるターンオフ損失の増加を抑制する

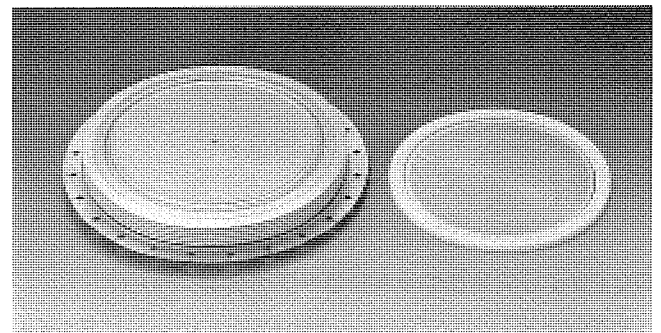


図1. 直径150mmウェーハを用いた6kV/6kA GCTサイリスタのパッケージ及びウェーハの外観

ため以下の技術を適用し、オン電圧とターンオフ損失のトレードオフを dv/dt 抑制用スナバを接続したGTOサイリスタと同レベルに低減した。

- MEPLT (Multi Energy Proton Life-time Control Technology) を用いた少数キャリアライフタイム制御の最適化
- ピン構造の採用とその最適化

逆導電形GCTサイリスタは、現在、主として電力用・鉄鋼用電圧形インバータに適用されている。表1に、6kV/6kAのGTOサイリスタと逆導電形GCTサイリスタを電圧形インバータに適用した場合の損失比較を示す。GTOサイリスタの場合には、素子本体の損失に比べて外部回路で発生する損失が大きく、全体の72%がスナバ回路及びアノードリアクトルで発生する。また、無負荷時においてもGTOサイリスタのオン、オフ繰り返し動作に伴いスナバ回路が充放電することによってスナバ損失が発生する。一方、GCTサイリスタの場合には、ターンオフ特性の向上によってスナバ回路を省略しサージ電圧抑制用クランプ回路のみでターンオフできること、またターンオン時の di/dt 耐量の向上によってアノードリアクトルを半減できることから外部回路で発生する損失は小さく、GCTサイリスタの装置トータル損失はGTOサイリスタに比べて1/2以下となる。また無負荷時には、素子の漏れ電流による損失を除けばスナバ回路の充放電がないため損失は発生しない。

(2) 逆導通形GCTサイリスタ (RCGCT)

図3に、今回開発した直径150mmウェーハを適用した6kV/5kA RCGCTサイリスタのウェーハの外観を示す。RCGCTサイリスタは、逆導電形GCTサイリスタと還流ダイオードを同一ウェーハ上に逆並列に構成したもので、GCTエリアを外周部に、還流ダイオードエリアを内部に配置し、分離帯によって分離した構造となっている。GCTセルには逆導電形GCTサイリスタと同様のライフタイムコントロール技術を適用することで5,000Aの遮断性能及び低損失化を実現した。一方、ダイオードエリアにはnバッファ層内にドット状の p^+ を設けた構造を適用することにより、逆回復損失を従来比で約70%に低減した。

RCGCTサイリスタの代表的な応用は、逆導電形GCTサ

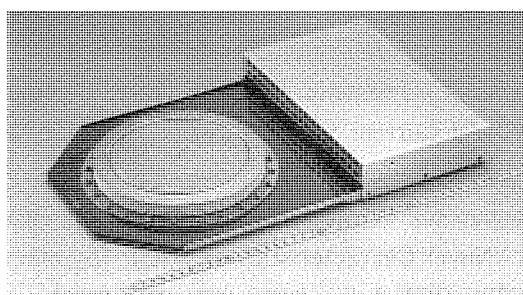


図2. 6kV/6kA GCTサイリスタユニットの外観

イリスタ同様に、電圧形インバータである。図4に、3レベルインバータに適用した場合の1相分の主回路構成を示す。メインスイッチング素子をGTOサイリスタから逆導電形GCTサイリスタに置き換えることで dv/dt 抑制用スナバ回路が不要となり、さらにRCGCTサイリスタを適用することで還流ダイオードさえも省略できるため、装置の部品点数が大幅に減少し、装置の小型軽量化及び高信頼度化を実現できる。

(3) 逆阻止形GCTサイリスタ (SGCT)

SGCTサイリスタは逆導電形GCTサイリスタとダイオードを直列に接続したものと同等の基本特性を持っており、その代表的な応用は電流形インバータである。

図5に電圧形インバータと電流形インバータの基本回路を示す。電流形は電圧形に比べて部品点数が少なくシステムの小型軽量化・低コスト化及び高信頼度化できる長所を持っているが、従来の逆阻止形GTOサイリスタではスイッチング時間が長いこと、また遮断能力不足等がインバータ制御性能を損なう要因となっていた。今回開発したSGCTサイリスタは、GTOサイリスタが持つ低オン電圧性能を損なうことなく6.5kVの高耐圧化を実現し、さらに

表1. 電圧形インバータにおけるGTOサイリスタとGCTサイリスタの損失比較

状態	項目	GTO	GCT	
無負荷時	GCT又はGTO	定常損失	0	0
		スイッチング損失	0	0
	外部回路	スナバ回路損失	0.25	0
		アノードリアクトル損失	0	0
	無負荷時の装置総損失		0.25	0
負荷時	GCT又はGTO	定常損失	0.1	0.08
		スイッチング損失	0.13	0.15
	外部回路	スナバ回路損失	0.41	0.12
		アノードリアクトル損失	0.36	0.11
	負荷時の装置総損失		1	0.47

※GTOサイリスタの負荷時の装置総損失を1とした場合の比率を示す。

※計算条件

GTO: $V_D=3,000V$, $I_T=3,000A$, $di/dt=300A/\mu s$, $C_s=6\mu F$, $f=500Hz$, Duty=0.5

GCT: $V_D=3,000V$, $I_T=3,000A$, $di/dt=1,000A/\mu s$, $C_c=6\mu F$, $f=500Hz$, Duty=0.5

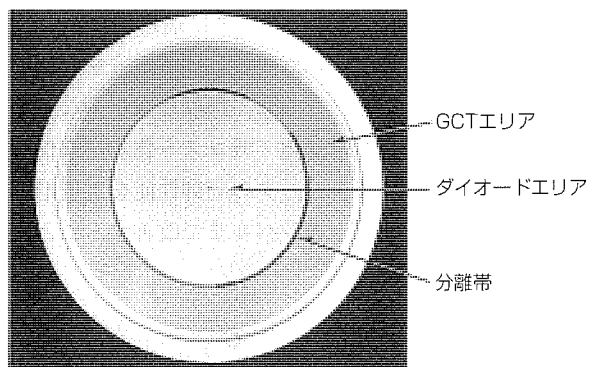


図3. 直径150mmウェーハを用いた6kV/5kA RCGCTサイリスタのウェーハの外観

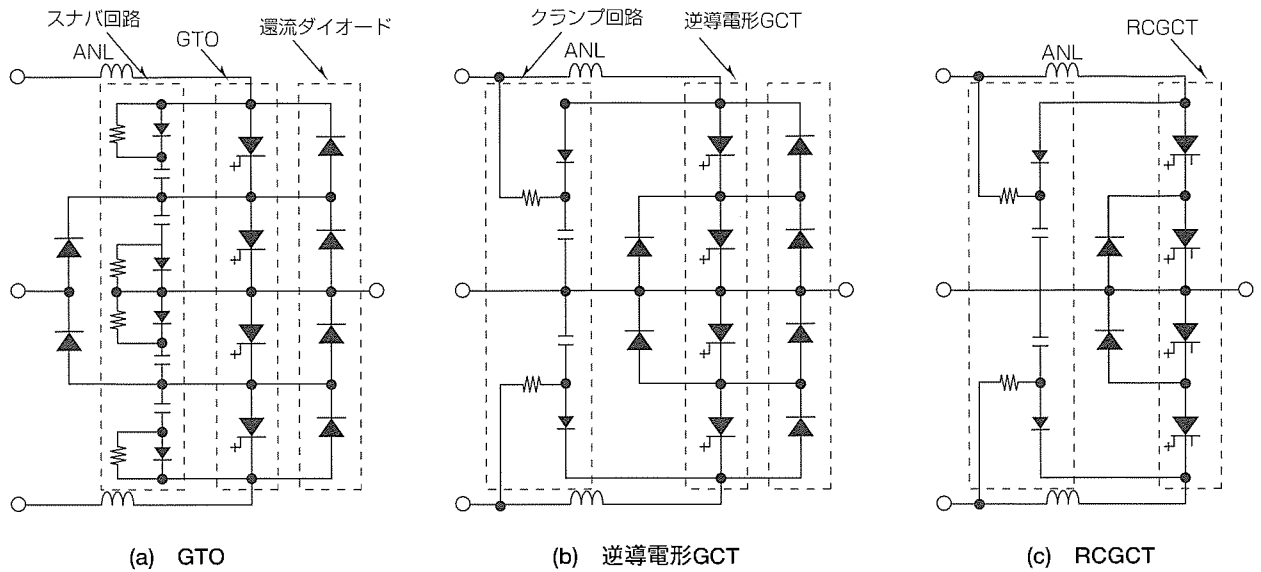


図4. 3レベルインバータの主回路構成

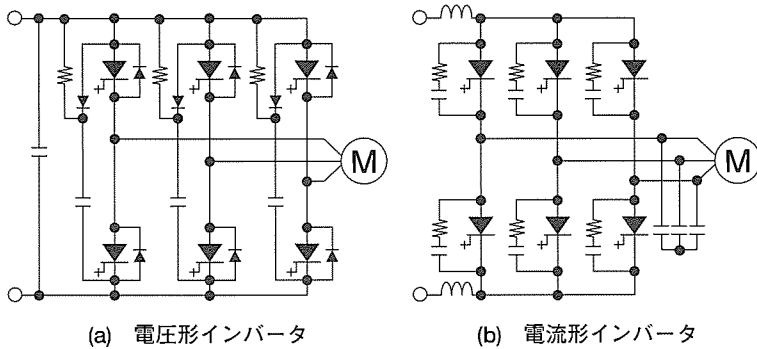


図5. 電圧形インバータと電流形インバータの基本構成

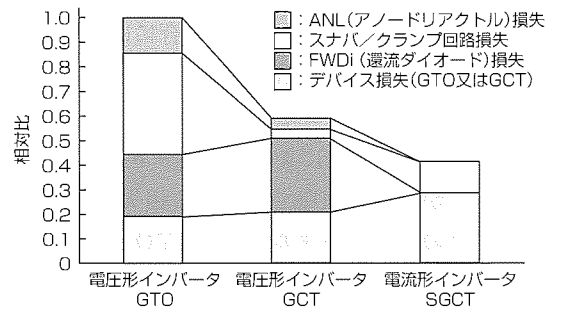


図6. 電圧形インバータと電流形インバータの損失比較

MEPLT適用によるライフタイムコントロールの最適化により、逆回復時の電流波形をソフトリカバリー化することで跳ね上がり電圧を抑制し、逆回復損失を従来比40%に低減した。図6に、GTOサイリスタを電圧形インバータに適用した場合、GCTサイリスタを電圧形インバータに適用した場合、そしてSGCTサイリスタを電流形インバータに適用した場合の同容量インバータの損失比較を示す。SGCTサイリスタにはサージ電圧抑制用に小さなCRスナバ回路を接続した。

SGCTサイリスタを電流形インバータに適用することで、GCTサイリスタを電圧形インバータに適用した場合に比べて素子及び周辺回路を含めた装置全体の損失を約25%低減することが可能となる。さらに、部品点数が少なくなることからシステムの小型軽量化・低コスト化及び高信頼度化が実現でき、電流形インバータの制御性能を電圧形インバータと同等又はそれ以上のレベルまで改善することができる。

4. む す び

逆導電形GCTサイリスタに加え、GCTサイリスタと還流ダイオードを同一ウェーハ上に構成した逆導通形GCT

サイリスタ、また逆電圧阻止能力を持つ逆阻止形GCTサイリスタを開発し、ゲートドライバと一体化したGCTサイリスタユニットとしてシリーズ化した。これらの新しいGCTサイリスタユニットは、パワーエレクトロニクス機器の分野に画期的な変革をもたらし、応用製品の更なる性能向上と小型軽量化・省電力化などの飛躍的な進歩を可能とすると思われる。

参 考 文 献

- (1) Satoh, K., Morishita, K., Hirano, N., Yamamoto, M., Kawakami, A.: New Design Approach for Ultra High Power GCT Thyristor, ISPSD'99, 351~354 (1999)
- (2) Satoh, K., Yamamoto, M., Morishita, K., Yamaguchi, Y., Iwamoto, H.: High Power Symmetrical GCT for Current Source Inverter, PEDS'99, 877~882 (1999)
- (3) Yamamoto, M., Kurachi, K., Satoh, K., Iwamoto, H.: Novel Characteristics of SGCT (Symmetrical GCT), IPEC Tokyo 2000, 287~291 (2000)

パワーモジュールパッケージの技術動向

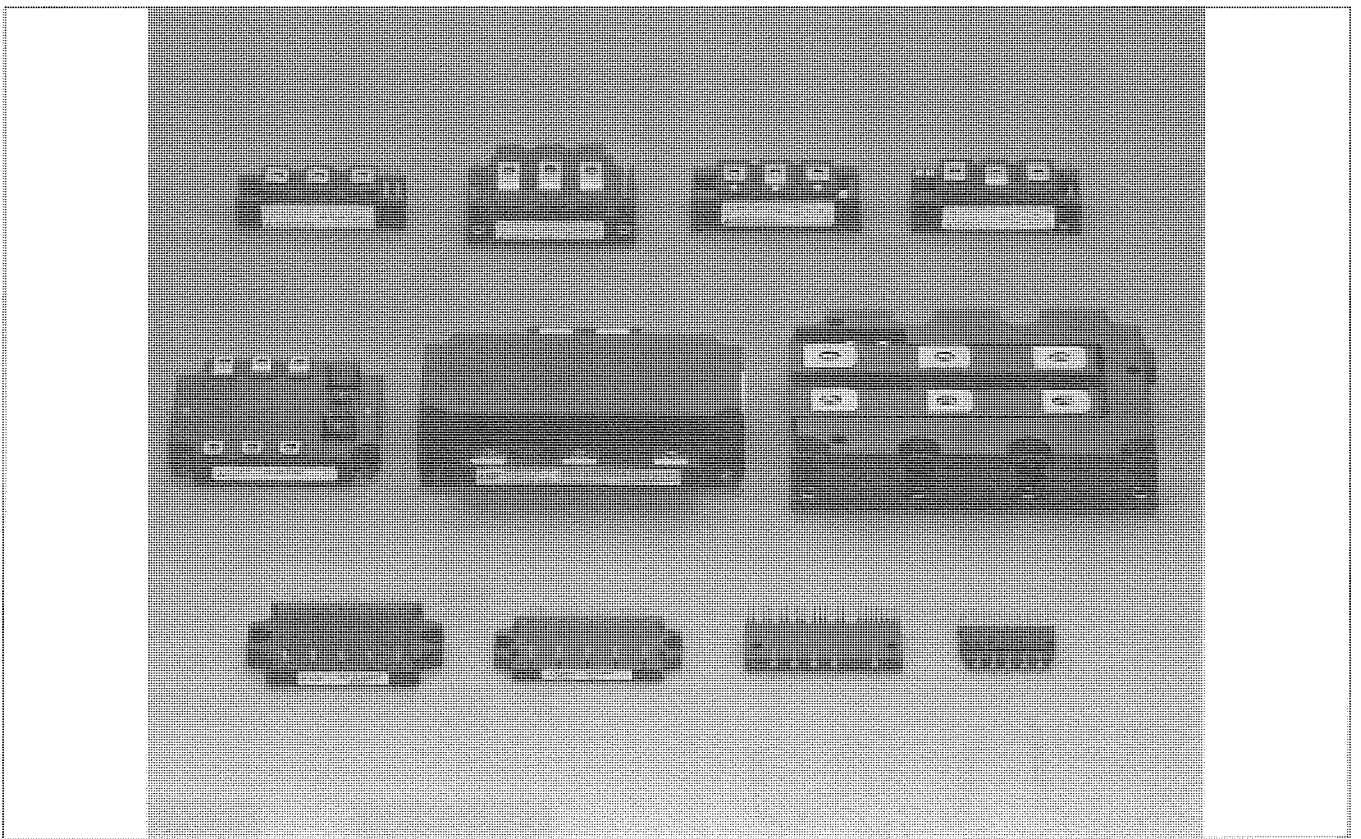
要旨

昨今、省エネルギー推進の社会的要請から、モータのインバータ化が急速に拡大している。このインバータの心臓部とも言えるべきパワーデバイスを提供する上で、主素子の性能を最大限に発揮させるための技術がパッケージ技術である。パワーモジュールパッケージは、高耐圧・大電流を取り扱うことから、安全性確保のための絶縁性能とデバイスの放熱性能とを両立させることを特長としている。

三菱半導体パワーモジュールは、1979年に誕生し、20年以上の歴史を持っている。この間、内蔵する半導体素子の種類は、ダイオード、サイリスタから始まり、トランジスタやMOSFET等を経て、現在IGBTが主流になっている。一方、パワーモジュールの定格は25, 55, 90A/800Vからスタートし、現状での最大定格としては、電鉄用途で1,200A/4,500VのIPMが製品化されるまでに至った。一般産業・電鉄用途では高耐圧化・大電流化が追求されており、

その特長としてセラミック基板絶縁(絶縁体材料: Al_2O_3 (アルミナメタライズ板) から AlN (窒化アルミ両面厚銅はく(箔)板)へと変遷)が採用されている。また、民生・家電用途では小型化・低コスト化が追求されており、その特長としてエポキシ樹脂絶縁が採用されている。さらに、小容量のモジュールにおいては、最近ではより生産性の高いトランスファモードによる絶縁を実現したものが主流になってきている。また、近年、地球温暖化防止の観点からクリーンエネルギー化の研究が盛んで、電気自動車用途のモジュールが注目を浴びている。この用途では、一般産業用途と同様に大電流・高信頼であることに加え、使用環境の幅が広く耐環境性に優れたものが求められている。

今後、パワーモジュールに対する諸要求が更に強くなる中で、パッケージ技術が重要なかぎ(鍵)になると思われる。



歴代のパワーモジュールパッケージ (代表例)

上段左から初代サイリスタモジュール (TM90DZ-H)'79年, トランジスタモジュール (QM100DY-H), MOSFETモジュール (FM100HY-10)'88年12月, IGBTモジュール (CM25DY-28)
 中段左から第三世代IPM (PM100CVA060)'96年11月, ハイブリッド自動車用IPM, 高耐圧IPM (PM1200HCE330)'98年12月
 下段左から第二世代IPM (PM20CHA060)'91年12月, 第三世代IPM (PM20CSJ060)'93年10月, 初代トランスファモード型DIP-IPM (5~20A)'96年6月, 小型DIP-IPM (3~10A)'99年1月

*福菱セミコンエンジニアリング(株)

1. ま え が き

三菱半導体パワーモジュールを用途によって大きく四つの市場分野に分け、パッケージ技術について以下に述べる。

2. 用途・分野別パッケージの特長

2.1 民生用パワーモジュール

急速にインバータ化が進んできたエアコンや冷蔵庫などの家電製品のモータ駆動デバイスとしては、基板上の実装面積を縮小させるためにIPM(Intelligent Power Module)が広く使用されており、高信頼性はもちろん、小型・低コスト化が特に求められる。民生用途デバイスとして、従来のケースタイプモジュールに対し、よりコストパフォーマンスの高いDIP-IPM(Dual Inline Package)(定格12A~20A/600V,用途:エアコン)及び小型DIP-IPM(定格3A~10A/600V,用途:冷蔵庫・洗濯機)を開発した。これらは、ICで広く使用されているトランスファモールド技術を応用し生産性を向上させたものである。

それぞれの外観と断面構造を図1に示す。いずれも同一フレーム上にパワーチップ(IGBT及びFree Wheeling Diode:FWD)、制御用IC(Low Voltage IC:LVIC及びHigh Voltage IC:HVIC)を複数個ダイボンドした後、ワイヤで電気的に接続し、エポキシ樹脂でモールドしたものである。これまでのIPMで主流となっていた金属基板上への実装技術に対し、フレーム上へのマルチチップダイボンド技術及び異種ワイヤボンド技術を確立した。また、絶縁と放熱性を実現させるために、高熱伝導エポキシ樹脂を開発し、その成形技術を確立した。DIP-IPMは、絶縁層下部に放熱板を備えており、より高放熱可能な構造となっている。さらに、二重モールド構造によってフレームと放熱板間の絶縁層厚さを制御しており、安定した放熱と絶縁を

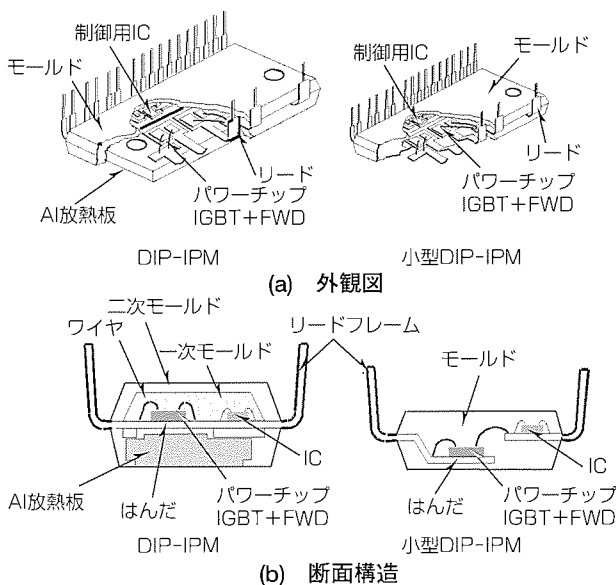


図1. DIP-IPMの外観図と断面構造

実現している。また、小容量対応の小型DIP-IPMは、モールド技術の向上によって放熱板をなくすとともに、より小型化を実現している。

2.2 産業用パワーモジュール

産業用パワーモジュールは、主に、汎用インバータ装置やACサーボ、無停電電源装置等に使用されている。現在、IGBTモジュールでは電流容量:10A~1,000A,電圧定格:250V,600V,1,200V,1,400V,1,700Vを製品化しており、IPMでは電流容量:2A~800A,電圧定格:600Vと1,200Vを製品化している。産業用のパワーモジュールは、大電流化に伴い、パッケージにも次のような種々の工夫がなされている。

2.2.1 ボイドレス構造

図2に代表的な産業用IPMのパッケージ内部構造を示す。パワーチップで発生する熱を効率良く放散させるため、パワーチップは、熱伝導性に優れた両面厚銅箔付きセラミック基板上にはんだ接合されている。さらにこのセラミック基板を銅放熱板にはんだ接合することで、熱は放熱フィンへ効率良く伝達される。セラミック基板と銅放熱板のはんだ接合部にボイドが存在すると、熱伝達効率が大幅に低下する。ボイドの発生は、はんだ組成やリフロー条件によって変化するが、はんだ接合時のセラミック基板の反り状態が最も大きく影響する。

図3にはんだ接合時のセラミック基板の反り状態を示す。図3(a)の場合、はんだ接合時には図4(a)に示すような大きなボイドが発生する。一方、図3(b)の場合は、図4

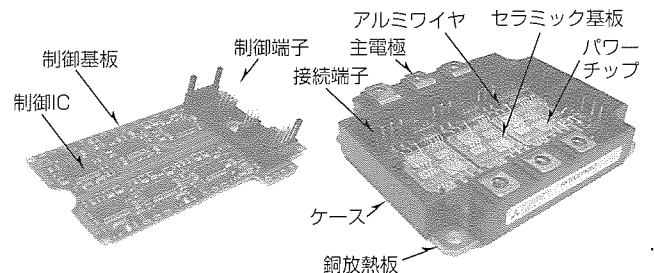


図2. IPMのパッケージ内部構造

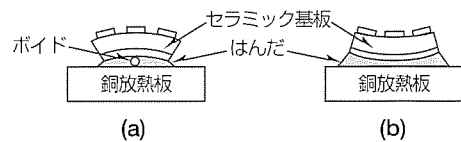


図3. はんだ接合時のセラミック基板の反り

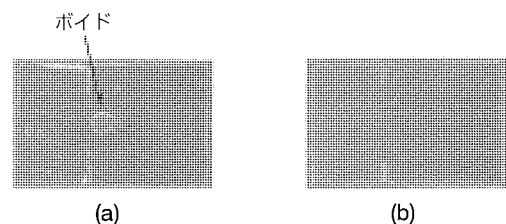


図4. ボイド発生状況(超音波探傷写真)

(b)に示すようにボイドはなくなる。このようにセラミック基板の反り方向と反り量を最適化し、ボイドをなくすことで放熱効率を向上させている。

2.2.2 はんだ接合部の信頼性向上

モジュールのON/OFF動作の繰り返しに伴い、セラミック基板と銅放熱板のはんだ接合部には、材料の線膨張係数の違いに起因するひずみが繰り返され、熱疲労によるはんだクラックが発生する。接合部端で発生したクラックが内部に進展すると放熱効率は大幅に低下する。図5に、はんだ厚をパラメータとした温度サイクル試験後のクラック進展状況を示す。はんだ厚が薄い場合クラックの進展は大きく、一定厚さ以上になるとクラックの進展は抑制される。はんだクラックを抑制するためには一定以上のはんだ厚を確保することが有効であり、厚さ確保を具現化するため図6に示すワイヤバンパ(セラミック基板のはんだ接合面にAlワイヤをボンディングし、スペーサを形成する手法)を実施し、はんだ接合部の信頼性向上を図っている。

2.3 電気自動車用IPM

近年、環境問題の観点から、各自動車メーカーは、電気自動車及びハイブリッドカー(ガソリンエンジン/モータの複合車)の開発を加速している。このIPMは、それらのインバータをターゲットとし、自動車に搭載するパワーモジュールに求められる高信頼性を実現したものである。特にヒートサイクル性とパワーサイクル性の向上に重点を置き、ヒートサイクル性の向上では、はんだ材質の改善と放熱板材の選定を行い、パワーサイクル性向上では、上記に加えて、ワイヤボンディングの最適化を行っている。

2.3.1 内部構造

構造は、一般産業用IPMと同じく、放熱板上にセラミック基板とパワーチップをはんだによって層状に接合している。パワーチップは、ケースに埋め込まれた主電極と接続端子にワイヤで接続され、接続端子の他端は制御基板には

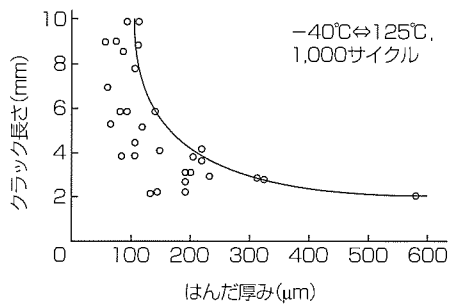


図5. はんだ厚みとクラック長さ

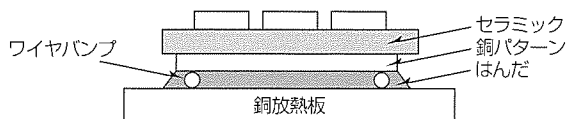


図6. ワイヤバンパ構造

んだ付けされている。一方、制御回路は、パワー部と分離された二段構造で構成されている。制御基板からの信号は、車両用コネクタを介して取り出される。また、ケースに埋め込まれた主電極とパワーチップとの接続には、前述のようにワイヤ接続し、耐ヒートサイクル性の向上を図っている。

2.3.2 信頼性

ヒートサイクル試験では、IPMの構造体全般の評価をすることになるが、特に、セラミック基板のクラックの発生と、放熱板とセラミック基板間のはんだ接合部のクラックの発生と進行による熱抵抗の増大に着目して評価した。セラミック基板は、基板パターンの材質・形状を最適化し、耐ヒートサイクル性を向上させている。また、放熱板に低線膨張係数を持つ材料を採用することと、はんだ付けプロセスの最適化により、放熱板とセラミック基板間のはんだに発生する熱応力を低減させている。以上により、図7に示すように、良好な結果を得ている。パワーサイクル性についても、耐ヒートサイクル性対策に加え、さらにワイヤボンディング条件の最適化を行い、ハイブリッドカーとして実用化するに十分な信頼性を実現している。また、従来のIPM以上にプロセス管理を実施し、高品質を維持している。

2.4 電鉄・電力用(高耐压)パワーモジュール

電車の高速化と快適性・電力効率向上や鉄鋼ラインの省力化などに貢献しているパワーモジュールに対しては、小型・軽量・低騒音化及び低価格化などの市場要求がある。この要求にこたえるために開発したのが定格3,300V/1,200Aで制御保護機能を内蔵した高耐压IPMであり、既に新幹線などの駆動用コンバータ・インバータ装置に採用されている。このモジュールについてのパッケージ構造の特長を以下に述べる。

2.4.1 外観

今回紹介する高耐压IPMの外観を図8に示す。寸法は(L)190×(W)140×(H)38(mm)、質量は1.4kgとなっており、標準高耐压IGBTモジュールと互換できる電極位置・モジュール取付け位置とし、また高耐トラッキング性樹脂をケースに採用して小型化を実現している。

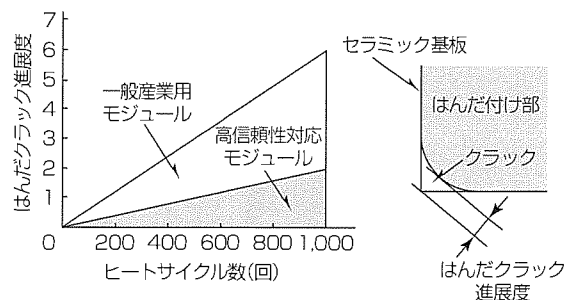


図7. ヒートサイクルによるはんだクラックの進行

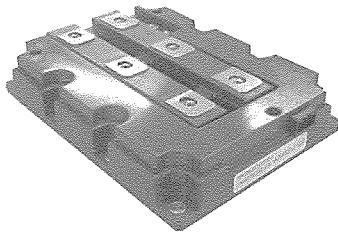


図 8. HV-IPMの外観

2.4.2 内部電極配線

大電流を要求される高耐圧IPMでは、複数個のIGBTとFWDを並列接続しており分流を考慮する必要があるため、分流解析を用いて電極形状の最適化を行い、各チップ間の分流差を抑えている。分流解析モデルと従来構造及び対策構造の分流解析結果の例を図9に示す。

2.4.3 制御基板配置

従来の制御基板がモジュール内部に封入されている構造から、制御基板をモジュール外部に配置してユーザーフレキシビリティ(ユーザー対応で制御回路を変え最適スイッチング特性にすることが可能)を図った。またモジュール本体を共用化し、制御・保護機能のないIGBTモジュールにも対応可能な構造としている。

2.4.4 信頼性

電気自動車用IPMと同様に、放熱構造については低線膨張係数を持つ放熱板・耐ヒートサイクル性に優れた絶縁基板を採用し、耐ヒートサイクル性を向上させ高信頼性を図っている。また、同様のプロセス管理を図り高品質を維持している。

3. む す び

以上、三菱半導体パワーモジュールのパッケージ技術の変遷について、大きく四つの用途・分野に分けて述べてきた。市場の要求を踏まえた今後のパッケージの開発動向に

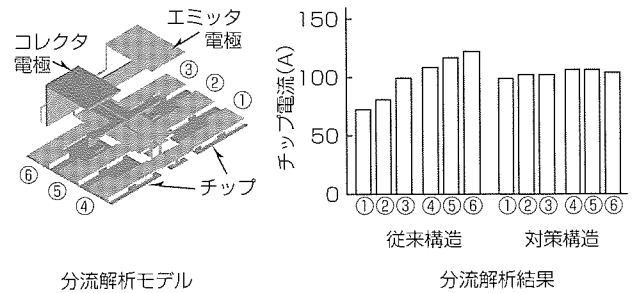


図 9. 分流解析モデルと解析結果

ついては次のように考えられる。

一般民生用については、今後も家電製品のモータ駆動のインバータ化が進み、パワーモジュールには更なる小型・低コスト化が求められる。これに対応するため、より小型のモールドタイプのパッケージ開発を進める。

産業用については、低コスト化対応のため、新部材の適用により、従来の部材構成を一新した生産性の高いパッケージの開発を進める。またこの分野においても、従来のケースタイプからモールドタイプへの移行を進める。

電気自動車用や電鉄向けの高耐圧用については、今後、耐振動性などの使用条件からくるパッケージへの信頼性要求が更に高度になると考えられる。このために、構造上のウイークポイントを排除したパッケージ開発を進める。

また、本稿では述べなかったが、環境問題に対処するため、鉛等の有害物質を含まないパッケージの開発を進める。

今後、市場要求を満足するパッケージの積極的な展開を推し進めていく所存である。

参 考 文 献

- (1) 林 建一, 出田吾郎, 村上光平, 上貝康己: ワイヤバンプによるはんだ接合部長寿命化技術の開発, Mate2001, 347~350 (2001)

パワーデバイスの信頼性試験動向

内田 誠*
井上和美*

要 旨

近年、環境対策、省エネルギー推進の社会的要請から、モータのインバータ化が拡大してきている。この心臓部とも言えるパワーデバイスを提供する上で求められる性能や信頼性は様々である。特に、高電圧・大電流を機能させるパワーモジュールは、その絶縁性能とデバイスの放熱性能の二つを両立させなければならず、高い安全性と信頼性が求められている。

三菱半導体パワーモジュールは1979年に誕生し20年を経た。この間に一般産業・車両用途では高耐圧化・大電流化の追求が中心に行われ、放熱・絶縁体材料も変遷し、現状での最大定格としては、電鉄用途で1,200A/4,500Vのモジュールが製品化されるまでになってきている。

一方、民生・家電用途では小型化・ローコスト化が追求され、その特長としてエポキシ樹脂絶縁が採用されている。従来、小容量のモジュールでは金属基板(エポキシ樹脂

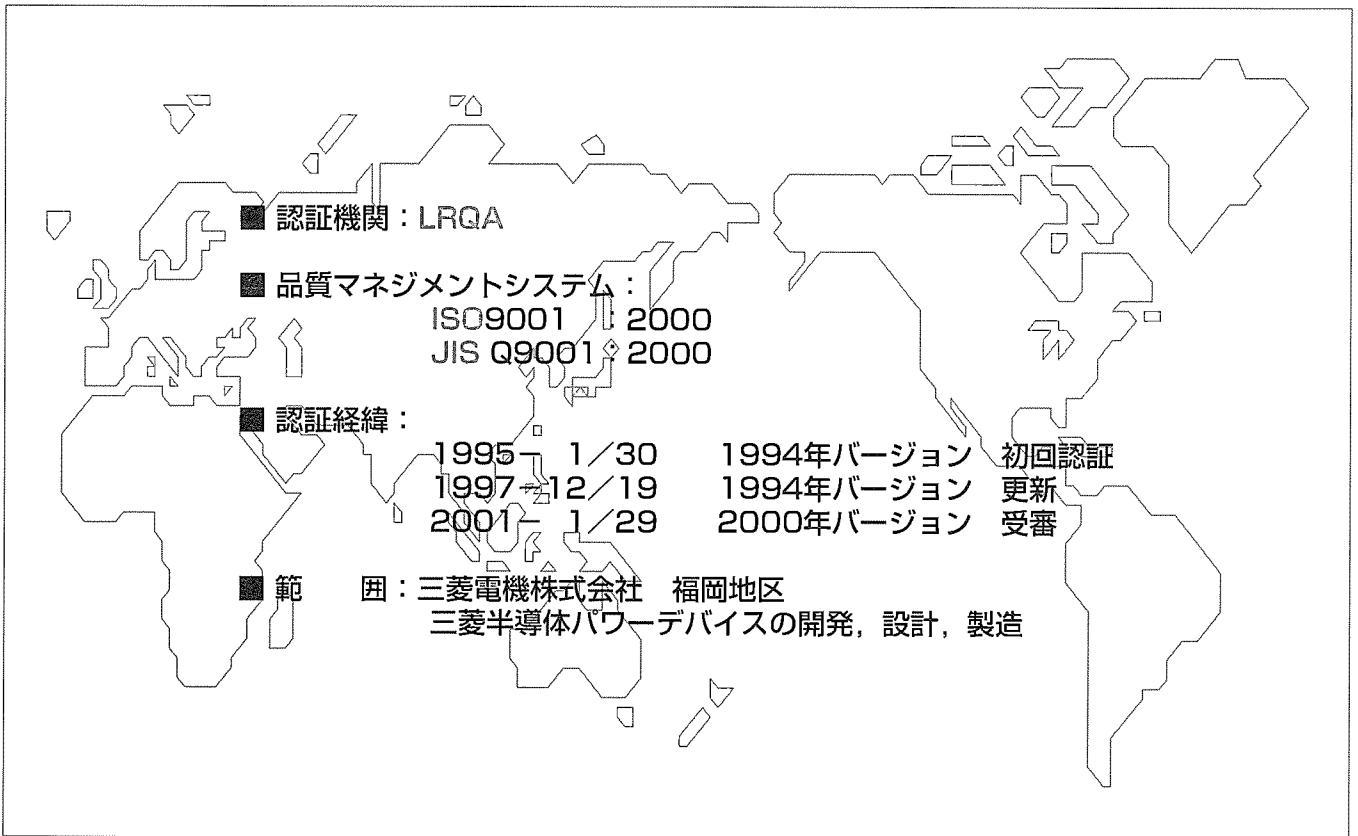
絶縁)が主流であったが、最近では、更に生産性の高いトランスファモールドによる絶縁を実現したものが主流になってきている。

このように、パワーモジュールと一言と言っても、小容量の民生・家電用途から、大容量の一般産業・車両用途まで様々な用途があり、それぞれに求められる性能や信頼性も用途に応じて多種多様である。

三菱半導体パワーモジュールは、これらすべての用途に対して性能や信頼性を満足させるために研究・開発・検証が行われている。

また、品質管理体制面では、社内においてもいち早くISO9001の2000年バージョンを取り入れ、受審した。

本稿では、パワーモジュールの信頼性試験動向について述べる。



ISO9001の認証取得

三菱電機(株)福岡地区のISO9001の認証取得では、1995-1/30初回認証、1997-12/19更新、2001-1/29 2000年バージョン受審を行った。

1. ま え が き

三菱半導体パワーモジュールは1979年に誕生し20年を経た。この間に、一般産業・車両用途では、高耐圧化・大電流化の追求が中心に行われてきた。

一方、民生・家電用途においては、小型化・ローコスト化が追求され、トランスファームロードタイプのモジュール製品を開発し量産している。

このように、パワーモジュール製品の場合、一言で言っても、小容量の民生・家電用途から、大容量の一般産業・車両用途まで様々な用途があり、それぞれに求められる性能や信頼性も用途に応じて多種多様である。

本稿では、上記に挙げたパワーモジュール製品の信頼性動向について述べる。

2. これまでの信頼性試験と着眼点

2.1 パワーモジュール構造と信頼性の着眼点

パワーモジュールの概略断面構造を図1に示す。

まず、チップと絶縁板とベース板をはんだで接続した後、ケースとベース板を接着する。その後、チップとケース電極にワイヤボンディングし、封止する。

上記の構造において、最も信頼性に影響を与える部分が、チップと絶縁板とベース板のはんだ接続部とワイヤボンディングによる接続部である。

2.2 これまでの信頼性試験方法

チップと絶縁板とベース板のはんだ接続部とワイヤボンディング接続部の信頼性を確認する試験として、これまでは、温度サイクル試験と断続通電試験を主に実施していた。

試験前後に電流電圧特性と熱抵抗を測定し、特性値に変動(劣化)が見られるか否かで判定する。

一般産業用向け汎用的なインバータに対しては、この試験方法や判定方法が標準的であった。

下記に一般産業用向けパワーモジュールの主な信頼性形式試験項目を示す。

- 端子強度試験
- 取付け強度試験

- 振動試験
- 高温保存試験
- 低温保存試験
- 温度サイクル試験
- 耐湿性試験
- 高温バイアス試験
- 断続通電試験

接続部耐久性評価の代表項目である温度サイクル試験と断続通電試験について次に述べる。

2.2.1 温度サイクル試験

オーソドックスな評価ではあるが、はんだ接続部、各部接触部位、構成材料等の熱疲労評価を主体とした製品としての耐久性総合評価として有効であり、気相中で実施する。

温度サイクル試験の温度プロファイルを図2に示す。

試験条件としては、規定の温度に設定した高温槽、低温槽に製品を投入し、規定時間、高温、低温の交互にさらす。

時間短縮と要素技術評価とを目的に、液相を用いた熱衝撃試験も実施している。完成品モジュールでは熱容量などの制約が発生するため、パッケージTEGサンプル^(注1)の信頼性評価として特に有用である。図3に、パワー部分、チップと絶縁板とベース板のパッケージTEGサンプル例を示す。

(注1) パッケージTEGサンプルとは、パワーモジュール全体のパッケージではなく、新しく開発した製品(要素)の一部分を切り出したパッケージモデルの総称で、Test Element Groupの略称である。

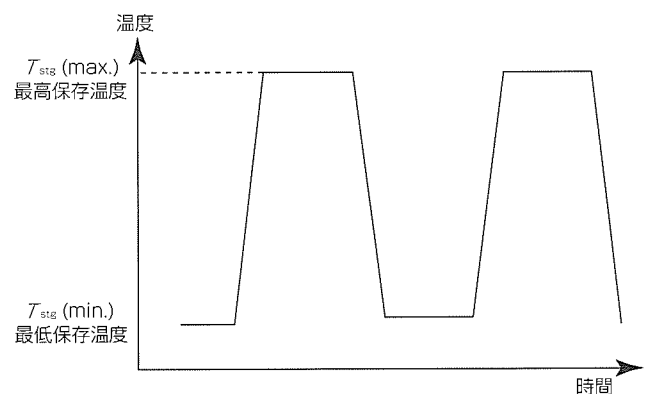


図2. 温度サイクル試験の温度プロファイル図

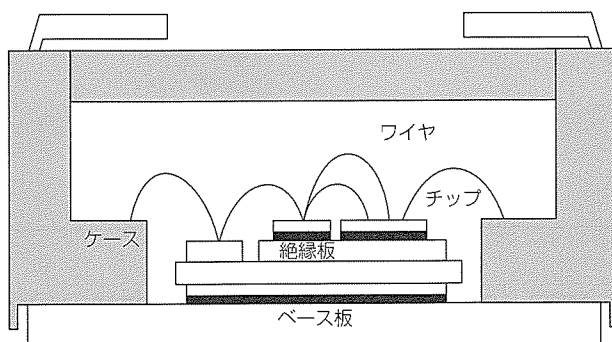


図1. パワーモジュール概略断面図

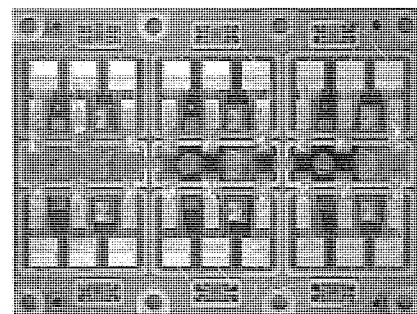


図3. パワー部分、チップと絶縁板とベース板のパッケージTEGサンプル例

2.2.2 断続通電試験

機器の起動/停止で生じる比較的穏やかな温度変化に対する繰り返し耐久性を評価する。チップの自己発熱による接続部温度の振れを主体(ケース温度も変化)とした製品の耐久性評価として適用し、ワイヤボンディング接続部、はんだ疲労、チップ評価、製品構造等を総合的に評価する。

断続通電試験の温度プロファイルを図4に示す。

試験条件として、通電電流を規定の T_j 、 T_c の振幅となるようにON-OFFさせる。 $T_j(\text{max.}) \equiv$ 最大定格接続部温度、 $\Delta T_j \equiv 80 \sim 100^\circ\text{C}$ 、 $\Delta T_c \equiv 40 \sim 60^\circ\text{C}$ 、ON時間 $\approx 1 \sim 5$ 分としている。

3. 最近の用途と信頼性

3.1 最近の用途

これまでのパワーモジュールは、一般産業用途、いわゆるインバータであるが通電電流や温度の時間的変化の緩い使用がほとんどを占めていたと考えられる。しかしながら最近の用途では、汎用インバータと言っても使われ方が非常に多種多様となってきており、むしろサーボやロボットの使われ方が増えてきている。このため、サーボやロボット専用のインバータ制御用のパワーモジュールが開発されている。

さらに、エレベーターや車両用途においてもサーボやロボットに近い制御方式になってきているのではないかと考えられる。

これらの実使用上におけるパワーモジュールの発熱状態としては、時間的に見た場合、ケース温度自体には余り大きな変化はないが、短時間に大きなパワー(電流)を印加しては止めるといった繰り返しのストレスになる。

このため、ベース板に近いはんだの温度振幅は小さいものの、チップに接続されているワイヤボンディング箇所には

は非常に大きな温度幅(ΔT_j)で繰り返しの温度ストレスが印加されることになる。

製品寿命末期においては、接続部がは(剥)がれてオープン、又は点接触通電でのショート破壊に至ってしまう場合がある。図5に事例を示す。

そこで特にこのような用途を模擬した信頼性を評価するために考え出された試験方法がパワーサイクル試験である。

3.2 パワーサイクル試験

この試験は、実動作時の負荷変動等によるチップの急激な温度変化に対する耐久性を評価する。

パワーサイクル試験の温度プロファイルを図6に示す。

試験条件として、通電電流を短時間でON-OFFさせチップの T_j のみを変化させる。放熱フィンを大きくし、また、水冷等で冷却効果を上げ T_c はできるだけ変化させない。

$\Delta T_j \equiv 60 \sim 100^\circ\text{C}$ 、 $\Delta T_c \leq 10 \sim 15^\circ\text{C}$ 、ON時間 $\approx 2 \sim 3$ 秒である。

当社のパワーデバイス事業統括部で生産している主力製品(主にMOS系モジュール^(注2))では、半導体チップ電極とワイヤ接続部(ワイヤボンディング部)の耐久性を評価する試験に適用している。

この試験の導入により、ケース温度と接続部温度の両方が振れる複合的なこれまでの断続通電試験とは別に、最近の特殊用途に対応した主にワイヤの接続部を評価できるようになった。

(注2) MOS-FET, IGBT素子搭載モジュール

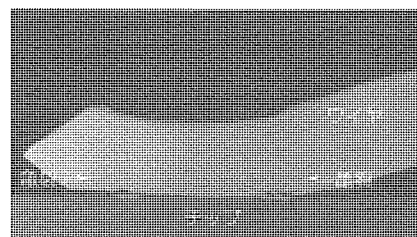


図5. パワーサイクル劣化事例

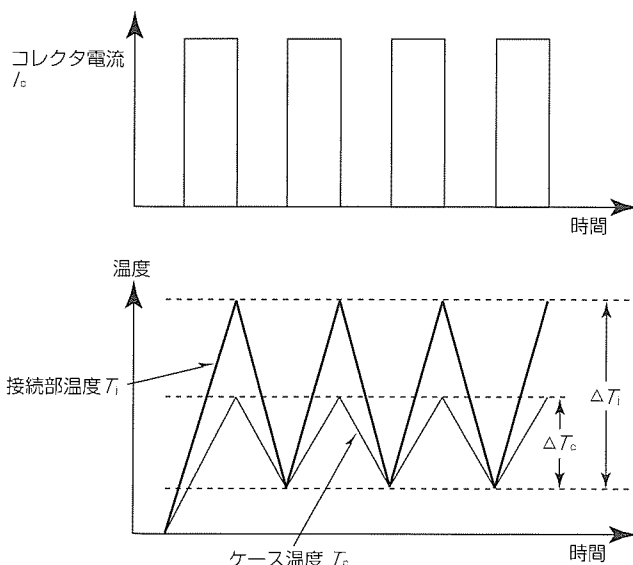


図4. 断続通電試験の温度プロファイル図

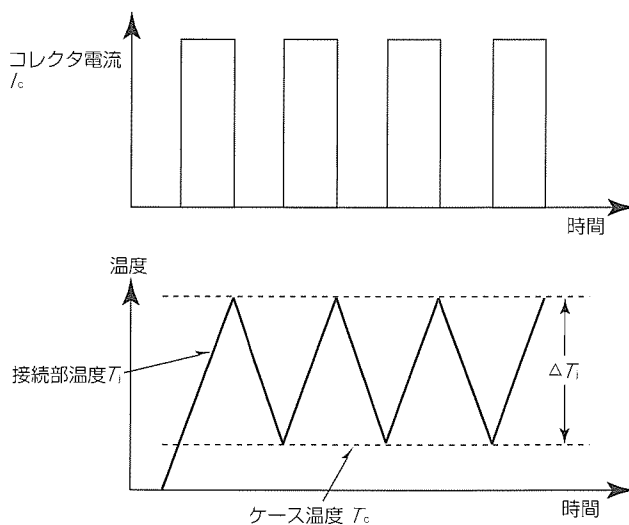


図6. パワーサイクル試験の温度プロファイル図

3.3 パワーサイクル加速試験での寿命予測

パワーサイクル試験での劣化モードは、大きなパワー(電流)での急激な接続部温度変化 ΔT_j を繰り返し印加したときに、チップとワイヤ熱膨張係数の差から生じた応力の繰り返しにより、接続部の亀裂が進行しはく(剥)離に至る現象である。したがって、接続部温度変化 ΔT_j を小さくすれば寿命は長くなり、大きければ短くなる。

サーボ、ロボット、エレベーターや車両などの用途において、パワーモジュールの交換なしにセット寿命を全うできるか否かについては、実使用条件での寿命確認が本来必要ではあるが、これにはばく(莫)大な評価時間を要する。

このため、評価時間短縮として、接続部温度変化 ΔT_j をパラメータとした加速試験を実施することによって実使用時における寿命を予測する。この方法は図5のプロファイルに示した動作を行うセットを想定し、このときにパワーモジュールに要求される実使用上での ΔT_j よりも厳しい複数の ΔT_j 条件での加速試験を行い、最終的に寿命カーブを求めめるものである。

図7は、上記の方法によって求めた寿命予測カーブで、各 ΔT_j 条件における試験結果を両対数グラフ用紙にプロットし、各点を直線で結び、グラフ化したものである。

これから、実使用上における ΔT_j (小)時の寿命を推定することができる。

これまでの試験結果から寿命サイクル数 N_f は、Coffin-Manson型の熱疲労の一般式より、式(1)で近似的に記述することができる。

パワーサイクル試験における加速係数 a は、

$$a(N_{f1}/N_{f2}) = (\Delta T_{j1}/\Delta T_{j2})^{-n} \dots\dots\dots(1)$$

式(1)は試験結果から算出する。

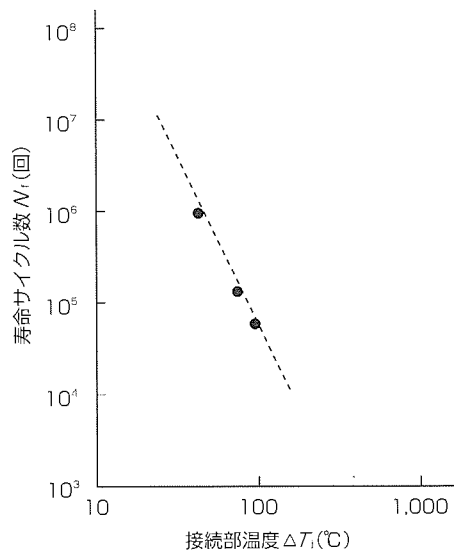


図7. パワーサイクル試験での寿命予測(試験例)

ここで、 a : 加速係数

N_{f1} : ΔT_{j1} 時の寿命サイクル数

N_{f2} : ΔT_{j2} 時の寿命サイクル数

n : モジュール構造によるが、4~5となる。

4. む す び

パワーモジュールの信頼性試験の一部を紹介したが、三菱半導体パワーモジュールは、このような試験による製品及び各種要素技術の評価を行うことによって、あらゆる用途に対しての信頼性が満足されているかの検証を行っている。今後更に高信頼度を目指し研究開発を行うことによって社会に貢献していきたい。

パワーモジュール高信頼性設計のための 解析・シミュレーション技術

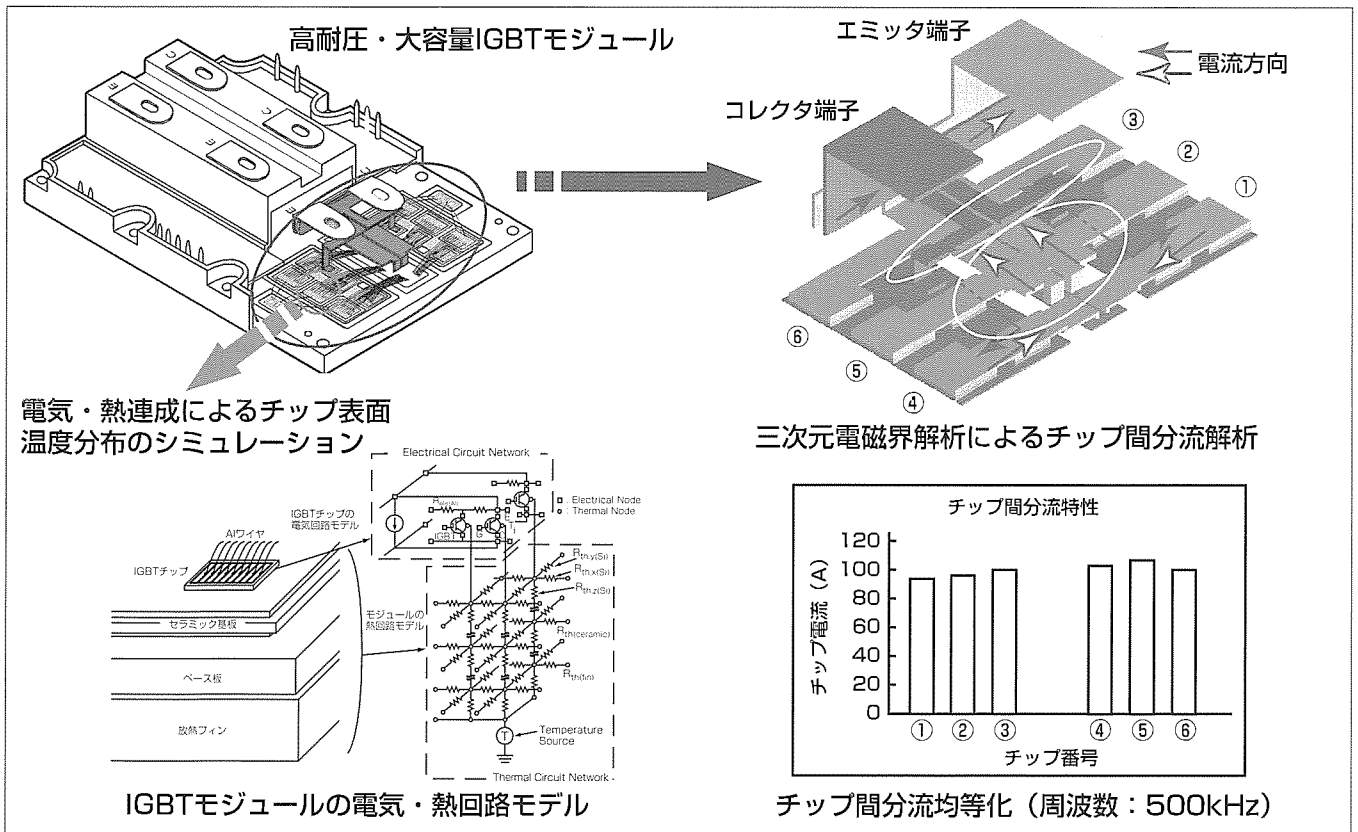
菊永敏之*
大井健史**
碓井 修**

要 旨

電鉄，産業，電気自動車等の用途において，パワー半導体モジュールの高耐圧化・大電流化が進んでいる。電鉄用途向け等のIGBT(Insulated Gate Bipolar Transistor)モジュールでは3.3kV/1,200Aの実用化や4.5kV/900Aの製品化があり，自動車用では600V/600Aインバータが実用化されている。これに伴い，モジュール内部での半導体チップの多並列化やチップ単位面積当たりの大電流化が進み，また一方，スイッチング速度もますます高速化している。こうした傾向はパワーモジュール内部での過渡的現象をより精密に把握・評価した構造設計を必要としてきている。多数のパワー半導体チップを内蔵したパワーモジュール

の役割は，それぞれの半導体チップの個々の性能を最大限に発揮させることである。そのためには，並列接続された個々のチップに流れる電流を均等化するとともに，チップ表面温度分布を極力均一化し，低く抑えるためのチップの配置・配線構造の最適化が，大容量パワーモジュール設計における重要ポイントの一つである。

本稿では，電磁界解析を用いた半導体チップ間分流を均等化するための配線設計技術，及びチップ表面の温度分布を評価し最適なワイヤボンダ接合位置を決めるための電気・熱連成シミュレーション技術について，実験結果との比較も交えて述べる。



パワーモジュールにおける解析・シミュレーション技術

パワーモジュール内部での電氣的・熱的現象を高精度に解析・シミュレーションする技術でパワーモジュールの高信頼性設計を推進する。三次元電磁界解析技術をモジュールの内部配線設計に適用し，半導体チップ間分流を高度に均等化する。チップの電気回路モデルとパッケージ構造の熱回路モデルを結合させた電気・熱連成シミュレーション技術は，チップ表面温度の抑制と均一分布化のためのワイヤボンダ配線レイアウト設計等に有用な情報を提供する。

1. ま え が き

パワーエレクトロニクス機器の小型化・高効率化等の要求にこたえるため、パワー半導体モジュールの高耐圧化・大電流化・高速化が進展し、さらに、過酷な環境・条件のシステムへの適用も求められてきている。こうしたパワー半導体モジュールの設計には、モジュール内部での現象を高精度に解析・シミュレーションする技術が不可欠である。

一方、電磁界や熱に関する解析・シミュレーション技術の大きな利点の一つは電流分布や温度分布を可視化できることであり、最適化設計のための重要な情報を視覚的にとらえ、設計にフィードバックさせることによって開発期間を短縮させることができる。

本稿では、パワー半導体モジュールの高信頼性設計に有用な電磁界解析技術と電気・熱連成シミュレーション技術について述べる。

2. パワーモジュール内部配線設計のための電磁界解析技術

2.1 パワー半導体チップ間の分流均等化

モジュール内部で多数のパワー半導体チップ(IGBTや環流ダイオード)が並列接続されている大容量のパワーモジュールでは、各チップ間の分流アンバランスはモジュールの破壊耐量やチップ間の温度分布の均一性に影響を及ぼすため、分流均等化はモジュールの性能や長期的信頼性を向上させる上で重要である。

パワーモジュールの内部電極のような三次元形状の配線では、各配線が相互インダクタンスを介して複雑に結合しているため、近似的手法による電流分布や並列回路のインピーダンスの評価は困難であり、三次元電磁界解析の適用が有効である。この解析技術を適用すると、並列回路のインピーダンスのばらつきや電磁的結合を定量的に把握した配線設計が可能になる。

三次元電磁界解析手法としては有限要素法、境界要素法、FDTD法(Finite Difference Time Domain Method)等があるが、ここでは、複雑な形状に対しても高精度に解析できる有限要素法を用いてパワーモジュールの主回路配線のインダクタンスと電流分布の解析を行った内容と、さらに、実験結果ともよく一致し設計ツールとしての有効性を確認したことについて述べる。

2.2 モジュール内部配線の電流分布とチップ間分流の解析

図1にモジュールの解析モデル例を示す。分流特性に与える配線インピーダンスのみの影響を明確にするため、半導体チップ部には銅ブロック(図中の①~④)を配置し、モジュール上部のコレクタ端子及びエミッタ端子は平行平板の外部配線導体と接続されている。解析は、分流特性が配

線インダクタンスに支配される高周波領域(300kHz)と配線抵抗に支配される低周波領域(50Hz)について行った。

図2に、図1の解析モデルにおけるバンド部分の電流密度分布を示す。図中の丸印のU字型バンド部において電流密度が高く、電流の偏りが見られる。これは、コレクタ電極、エミッタ電極のそれぞれ平行平板部を流れる電流の向きに対して、それぞれのバンドの左右部分を流れる電流の向きが異なるため、平行平板部とバンド部間の相互インダクタンスが左右のバンド部で異なるからである。したがって、コレクタ電極の右側及びエミッタ電極の左側のバンド部を経由する回路の配線インダクタンスがそれとは反対側バンドを経由する回路よりも小さくなり、分流アンバランスが発生していると考えられる。

図3にチップ間分流特性の解析結果を示す。周波数が

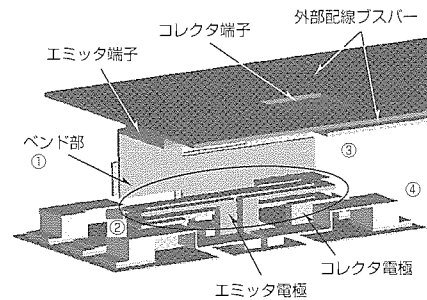


図1. パワーモジュールの三次元電磁界解析モデル例

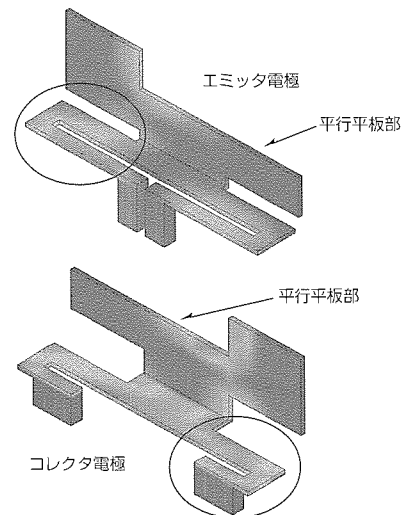


図2. エミッタ電極、コレクタ電極の電流密度分布(300kHz)

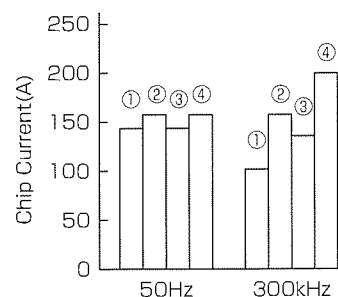


図3. 分流特性の解析結果

300kHzの場合、チップ③④側の平均電流がチップ①②側の平均電流よりも大きいのは、上述の配線インダクタンスの差によるものであり、チップ①と②、チップ③と④の電流差は電流経路の違いによるものである。一方、周波数が50Hzの場合、配線インダクタンスの差は電流分流にはほとんど影響せず、配線抵抗の差による影響だけが出ている。

2.3 解析結果と実験結果との比較

解析結果の妥当性を評価するため、図1の解析モデル作成の基となった検証用モジュールをハーフブリッジ・スイッチング回路に挿入し、各チップ電流を測定した。図4に、実験結果を解析結果と比較して示す。高周波については、スイッチング試験での電流立ち上がり時の周波数成分が約300kHzであるので、各チップ電流のピーク時の分流比と300kHzでの解析結果を比較し、低周波ではDC電流での実験結果と50Hzでの解析結果を比較している。高周波、低周波のいずれにおいても結果はよく一致している。

2.4 パワーモジュール内部配線構造の最適化

配線インダクタンスのアンバランスによる分流アンバランスは、端子間距離が大きくチップ並列数が高くなる高耐圧大容量モジュールほど顕著になる可能性があり、この三次元電磁界解析技術が有効になってくる。定格3,300V/1,200A高耐圧IPM(この特集に掲載)の電極形状の最適化にこの解析技術を適用し、良好な分流特性を得ている。

3. 半導体チップ表面温度分布のシミュレーション技術

パワーモジュールにおいて、半導体チップ表面への配線手段には、一般にワイヤボンド(W/B)が用いられている。W/Bのチップ表面接合部の寿命は、接合部の温度変化に強く依存する。また、チップ性能を最大限に発揮させるためには、チップ表面の発熱分布(したがって電流分布)を最適化することによってチップ表面の温度分布をできるだけ低い温度で均一化することが重要である。ここでは、IGBTチップをモデル化し、電気・熱連成シミュレーション

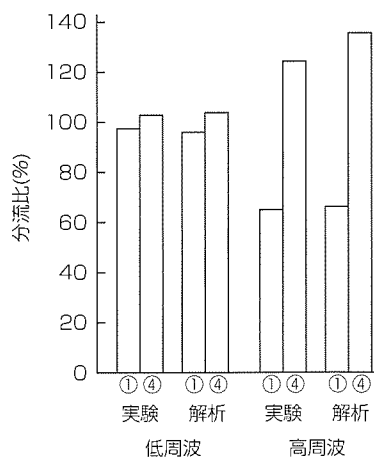


図4. チップ電流の解析結果と実験結果の比較

ン技術を用いてチップ内の電流分布や温度分布をシミュレーションする技術を紹介する。

3.1 IGBTチップのモデル化

図5にIGBTチップのエミッタ面と電気回路モデルを示す。エミッタ電極はストライプ状に分離され、この図の例では、各ストライプの中央付近にAlワイヤが接合されている。IGBTの電気回路モデルは、一つのストライプに対する回路モデルであり、チップのコレクタ電流分布に影響を与える温度分布やエミッタAl電極での電気抵抗を考慮するため、各ストライプを複数のIGBTのセグメント(IGBT₀~IGBT_n)に分割し、各IGBTのエミッタ間にAl電極での電気抵抗(R_{Al1}~R_{Aln})を挿入している。また、各IGBTセグメントのモデルパラメータは、電気回路モデルで表現されるIGBTチップが実チップ全体の電圧-電流特性の実測値と一致するように調整されている。

図6は、エミッタ電極面の1ストライプにおけるAlワイヤ接合位置を基準とした各部の電位分布のシミュレーション結果(実線)と実測値(○, □など)を示している。両者はよく一致しており、上記の電気回路モデルの妥当性を示すものである。

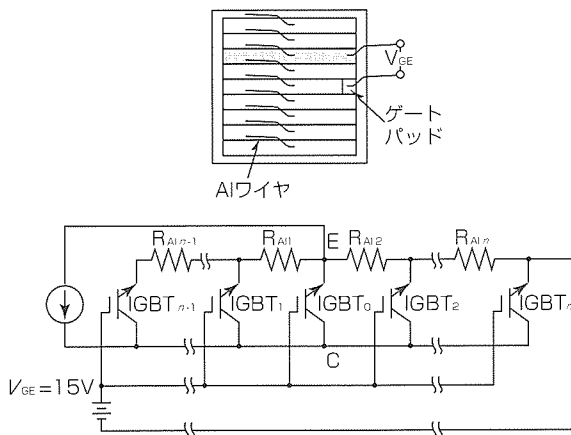


図5. IGBTチップのエミッタ面と電気回路モデル

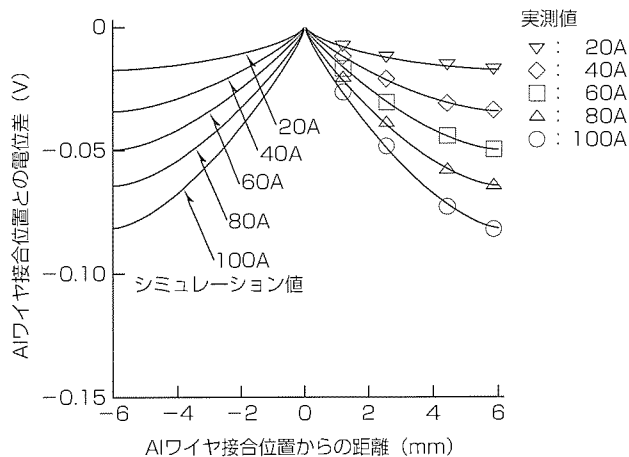


図6. エミッタ電極面の電位分布のシミュレーション結果と実測値

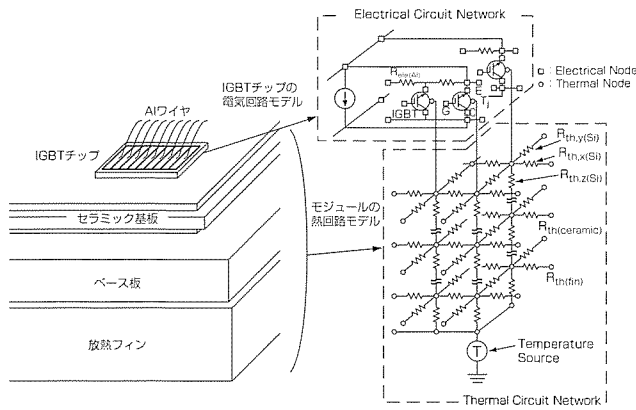


図7. IGBTモジュールの電気・熱連成回路モデル

3.2 チップ放熱構造のモデル化

図7は、IGBTチップからセラミック基板、ベース板、放熱フィンに至るモジュール断面の積層構造を熱回路網で表現した図である。各熱抵抗は構成材料の熱伝導率や厚さから計算される。この例は1チップのみについての熱回路モデルであり、実モジュールにおける隣接チップの影響は考慮されていない。

3.3 電気・熱連成シミュレーションと実験結果の比較

図7の電気回路モデルにおける各IGBTセグメントの電流-電圧特性は、温度特性を考慮したモデルである。IGBTチップの静特性から得られるIGBTセグメントの電圧と電流を用いて各IGBTセグメントでの発熱を計算し、その温度変化を熱回路モデルから求め、各IGBTセグメントの温度が収束するまで計算した。ただし、エミッタAl電極での損失や各ストライプ内のIGBTセグメント間の熱干渉を考慮し、モジュール断面の積層構造におけるはんだ部分やグリース部分での横方向の熱伝導は無視した。また、放熱フィンは実験に合わせる意味で23℃一定とした。

図8、図9に、エミッタ電極の中央部にW/Bした場合(黒の短線がAlワイヤ接合位置を示す。)のIGBTチップ表面温度分布のシミュレーション結果と実験結果を示す。コレクタ電流は105Aである。温度分布の実測は、チップ表面温度分布が定常状態となるまで通電し、赤外線カメラで観測した。両者の温度分布はほぼ一致していることが分かる。

図10は、IGBTチップのエミッタAl電極の電気抵抗やチップの温度特性を無視した場合、したがってチップでの損失を均一とした場合の温度分布のシミュレーション結果である。チップ全体での損失は、図8のエミッタ電極の中央部にW/Bした場合の損失と等しいとしている。図10の温度分布は明らかに図8、図9とは異なっており、したがって、チップ表面温度分布を正確に評価するためには、均一損失の仮定では不十分であり、電気・熱連成シミュレーションによらねばならないことが理解できる。

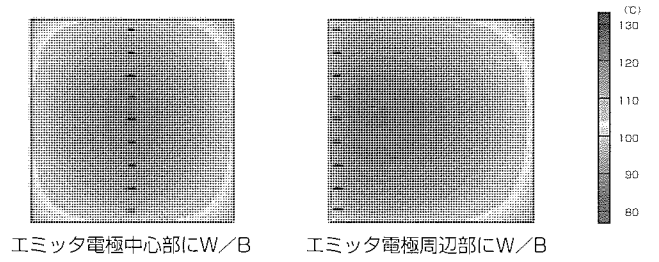


図8. チップ表面温度のシミュレーション結果

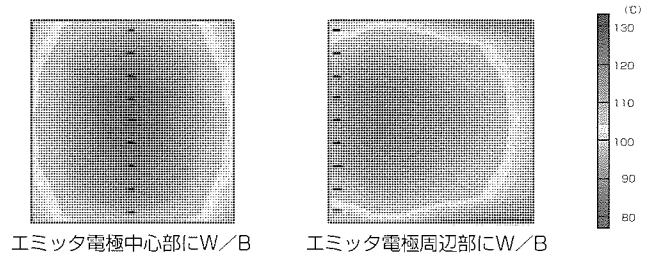


図9. チップ表面温度の実験結果

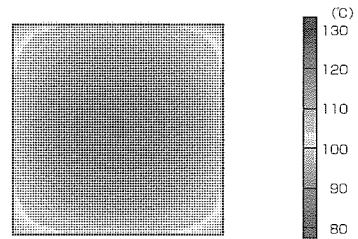


図10. チップでの損失を均一とした場合の温度分布

4. む す び

解析・シミュレーションの効用の一つは、設計の方向性や最適化が正しいことの確認とそれによる開発期間の短縮である。実設計への適用には、解析・シミュレーション結果の妥当性の確認が不可欠である。本稿では、パワーモジュールにおける電極配線やワイヤボンド配線の設計に有用な電磁界解析技術と電気・熱連成シミュレーション技術について、その結果の妥当性を実験的に検証したことも含めて述べた。現在、半導体チップのデバイス特性を組み込んだ解析や過渡現象の解析に取り組んでいる。

参 考 文 献

- (1) 大井健史, 奥田達也, 武藤浩隆, 菊永敏之, 松本秀雄: パワーモジュール内部の配線形状に起因する分流アンバランスの解析と実験的検証, 電学論D, 121, No.3, 333~339 (2001)
- (2) 碓井 修, 武藤浩隆, 菊永敏之: パワー半導体チップの電気・熱連成シミュレーション, 平成13年電気学会全国大会講演論文集 [4], 1208 (2001)

SiC-MOSFET素子技術

大塚健一*
樽井陽一郎**
今泉昌之*

要旨

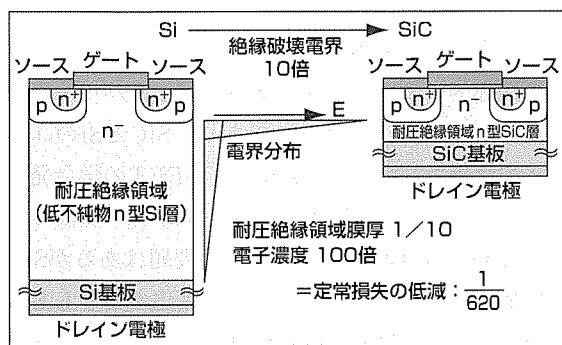
SiC材料特性の特長及び応用分野を紹介するとともに、三菱電機におけるSiC-MOSFETに関するプロセスデバイス技術開発及び国内外メーカーの開発動向、新エネルギー・産業技術総合開発機構(NEDO)プロジェクトの動きについて述べる。

パワーデバイスでは、電力制御における効率向上を目指して、その損失の低減が図られてきた。SiパワーMOSFETやダイオードのオン抵抗は、既にSi材料の理論限界近くまでに低減されている。SiC材料はSiに比べて絶縁破壊電界が一けた大きく、Siの物性限界を打ち破る可能性を持つSiC素子が次世代パワー素子として期待を集めている。

SiCとSiの代表的な物性値を下図に示す。ユニポーラ型電力素子としての半導体材料の特性は、性能指数(Baliga's

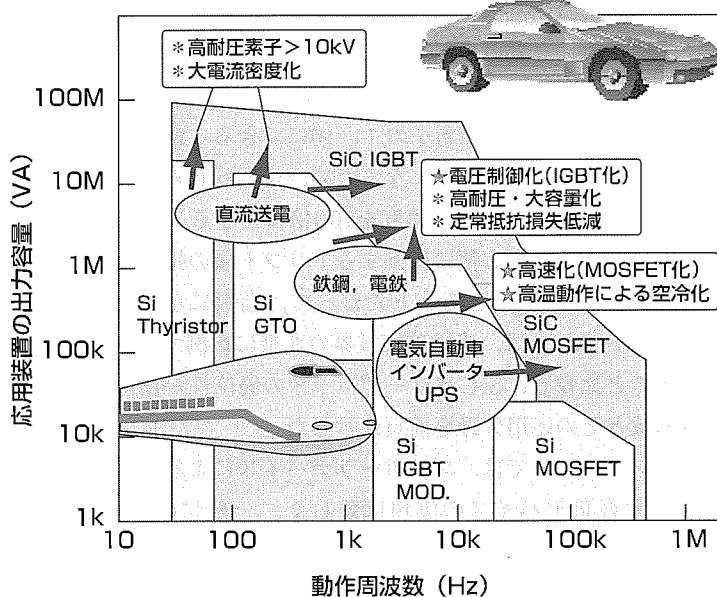
Figure of Merit : BFOM)によって比較できる。BFOMは絶縁破壊電界の3乗に比例するため、Siに比べ10倍の絶縁破壊電界を持つSiCは、パワー素子として500倍以上の優れた特性が期待される。比較的構造の簡単なショットキーバリアダイオードでは、BFOMに見合う優れた特性が当社を含め各機関で実証され、大電流化への検討がなされている。

近年、Siの理論限界を越えた特性を持つMOSFET等のSiCスイッチング素子も報告されており、NEDOプロジェクトに参画してSi限界よりも一けた小さいオン抵抗達成を目標として進めているMOSFET素子の研究開発について述べる。



材料	禁制帯幅 E_g (eV)	比誘電率 ϵ	電子移動度 μ (cm^2/Vs)	絶縁破壊電界 E_b (V/cm)	BFOM $\epsilon \mu E_b^3$
4H-SiC	3.26	9.6	1,140	3×10^6	620
Si	1.11	11.8	1,500	3×10^5	1

BFOM : Baliga's Figure of Merit



SiCの物性値、性能指数と応用分野

パワー素子としての半導体材料の性能指数は、ドリフト領域のオン抵抗の逆数で示され、絶縁破壊電界の3乗に比例する。SiCはSiに比べて10倍の絶縁破壊電界を持ち、その性能指数は620倍も優れている。このSiCとSiの性能指数の違いは、例えば、半径が約10倍の球の体積比に相当する。また、右図では、動作周波数と出力容量、及びSiCが期待される応用分野を示す。ユニポーラ素子化による高速化、MOSゲート化による電圧制御化、さらにはSiを越えた高耐圧化が期待できる。

1. ま え が き

パワー半導体デバイスは、家電・産業・電鉄・電力などの各分野で広く利用されている。SiCは、Siに比べて絶縁破壊電界が一けた高く、Siの物性限界を越える次世代パワーデバイス用半導体材料として期待されている。また、高出力高周波、高温動作、耐環境分野においても注目されている。

Siデバイスの理論限界を越えた低損失SiCデバイスが国内外の研究機関から報告され^{(1)~(3)}、実用化に向けたデバイス開発が進められている。三菱電機では、1994年から6年間実施された通産省重要地域技術研究開発「エネルギー使用合理化燃焼等制御システム技術開発」に参画し、高温動作デバイスとしての検討を開始した。また、高耐圧パワーデバイスに関しては、基板から素子化まで幅広い範囲の開発を1998年から行う通産省ニューサンシャイン計画「超低損失電力素子技術研究開発」に参画して、kV級MOSFETの研究開発を行ってきた⁽⁴⁾。

2. SiC半導体の特長と応用分野

SiCとSiの材料特性⁽⁵⁾の違いによって得られる素子の寸法と特性の違いを、MOSFETを例として前頁の図に示す。パワーMOSFETは、高電圧を保持する低電子濃度のn⁻耐圧領域(ドリフト層)と電流のオン/オフを制御するチャンネル部とで構成される。チャンネル部によって電流が遮断されたオフ状態では、空乏化したドリフト層が高電圧を保持する。オン状態では、電子密度の低いドリフト層がオン抵抗の主要因になる。高電圧を保持するには厚いドリフト層が必要であるが、絶縁破壊電界がSiの10倍であるSiC素子では、ドリフト層の膜厚をSi素子の1/10にできる。最大電界が10倍で空乏層厚が1/10になるため、電界分布の傾きに対応するドリフト層の電子濃度を100倍にできる。このため、膜厚と電子濃度の積に比例するドリフト層の抵抗は1/1,000程度に低減できる。したがって、前頁に示した性能指数(BFOM⁽⁶⁾)は、絶縁破壊電界の3乗に比例する。Siデバイスと比較し、SiCパワーデバイスの優位性が期待される領域とその応用分野を前頁に示した。

シリコンデバイスでは、ユニポーラデバイスによる高耐圧・大電力容量デバイスの実現は難しく、一般にGTO(Gate-Turn-off Thyristor)、IGBT(Insulated Gate Bipolar Transistor)等バイポーラデバイスが用いられる。SiC素子では、優れた材料物性のため、FET等のユニポーラ素子が1kV以上においても実現可能である。ドリフト層の低抵抗化に加え、pn接合の拡散電位がなく、オン電圧の大幅な低減が期待できる。インバータ用では、現在主にSi-IGBTとSi-pnダイオードが用いられる1kV以上の分野において、SiC-MOSFETやSiCショットキーダイオード(SBD)の実現によって定常及びスイッチングの両方の損

失の低減を図ることが可能であり、現在検討を進めている。

その他の分野においては、電気自動車用としては、損失の低減に加え、高温動作による空冷化によって水冷機構を省くことが期待される。電鉄・鉄鋼プラント用では、GTO等が用いられる高電力容量分野の応用にSiC-IGBTを利用することができ、電流制御から電圧制御になることで周辺回路の簡略化が期待される。また、直流送電や周波数変換等の大電力分野では、Siでは困難な10kV以上の高耐圧素子の実現が期待される。

3. SiCの研究開発状況

3.1 基板の開発状況、メーカー

SiC半導体は様々な結晶構造を持っているが、基板としては、昇華法によって成長した六方晶(4Hや6H)が主で⁽⁷⁾、素子実用化への課題は、欠陥の低減と大口径化である。従来から問題であったマイクロパイプと呼ばれる直径数 μm の中空貫通欠陥は市販レベルで15個/cm²(2インチ)、研究レベルで1.1個/cm²(2インチ)となって、素子特性向上に対して転位等の結晶欠陥低減がようやく問題となり始めた。従来は米国社製が大半を占めていたが、国内及び欧州数社からも同程度の品質の基板の供給がされつつある。また、HOYAからSi基板上の3C-SiC厚膜エピタキシャル結晶が報告され⁽⁸⁾、素子化で従来先行していた六方晶以外に立方晶の3C基板を使う可能性も生じてきた。

3.2 素子研究開発の状況

素子の開発は、海外のパワーエレクトロニクスメーカーや自動車関連メーカーで活発である。図1はパワー素子における耐圧とオン抵抗のグラフであり、SiCとSiのユニポーラ素子の限界及び各社のSBD、MOSFETの学会発表例を示す。SBDは、構造が比較的簡単であり、基板の欠陥の影響のため歩留り向上や大面積化の問題はあるがSiC限界に近い値が達成されていて、一部製品化の動きもある⁽⁸⁾。MOSFETについては6H結晶を用いたものや蓄積動作において低オン抵抗の素子の報告もなされているが、「超低損失電力素子技術研究開発」プロジェクトにおいて、当社は、バンドギャップやバルク結晶の移動度が大きく物性定数上最も有利であるとされる4H結晶でのSi限界の1/10以下のオン抵抗実現を目指している。

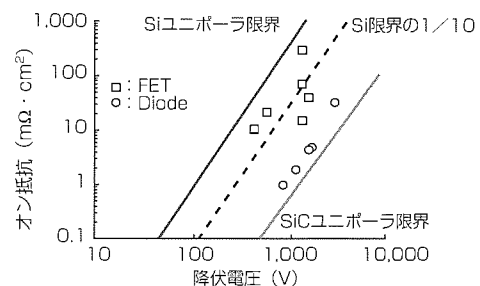


図1. 降伏電圧とオン抵抗の関係及び報告値

4. SiC-MOSFET素子技術の検討

当社におけるSiC-MOSFET素子技術の開発状況を紹介します。SiC半導体は様々な結晶構造を持っているが、結晶多形制御技術がある程度確立され、物性定数上最も有利な4Hを主に検討を進めている。

4.1 チャンネルドーピングによる移動度向上

SiCを用いたMOSFETについて各種の報告がなされているが、チャンネル部の抵抗が、ドリフト層に比べ大きく、素子特性を制限している。このため、チャンネル抵抗の低減が重要課題になっている。特に、物性定数上パワー素子用として最も有利であるとされる4Hについては、チャンネル移動度が小さいことが問題とされ、伝導帯端近傍の界面準位がその原因と予測されている⁽⁹⁾。そこで、図2に示すドリフト層を持たない構造の平面型のMOSFETにおいてチャンネル領域への窒素ドーピングを行い、チャンネルを界面から離すことによる効果について検討を行った。

(1) 作製

基板には市販p型4H-SiCエピタキシャル付きウェーハ(エピタキシャル層厚10μm, $p = 4 \sim 300 \times 10^{15} \text{cm}^{-3}$)を用い、ソース、ドレインn型領域は0.3μm厚にNの多段イオン注入(体積密度で $1 \sim 3 \times 10^{19} \text{cm}^{-3}$)、チャンネル領域は0.15μm厚にNの多段イオン注入(体積密度で $0 \sim 1 \times 10^{18} \text{cm}^{-3}$)で形成し、Ar雰囲気中で活性化アニールを施した。ウェット酸素で1,100℃、2時間の酸化を行いゲート絶縁膜を形成した。ソース、ドレイン電極としてNi電極を、裏面電極、ゲート電極としてはAl電極を蒸着によって形成した。ゲート長、幅はそれぞれ10, 100μmである。

(2) 結果

ゲート電圧に対するドレイン電流の1/2乗特性の傾き

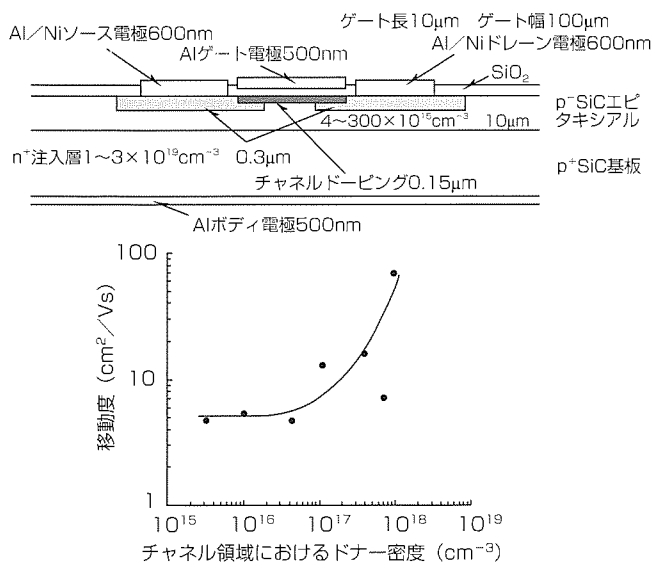


図2. 移動度評価用MOSFET素子の断面構造とチャンネルドーピングによる実効移動度の変化

からチャンネル移動度を求めた。チャンネル領域がp型の範囲では $10 \text{cm}^2/\text{Vs}$ 未満であったが、図2に示すように、n型になると $1 \times 10^{17} \text{cm}^{-3}$ 以上で移動度が増加し、ノルマリオフの領域 ($4 \times 10^{17} \text{cm}^{-3}$ 以下) で $20 \text{cm}^2/\text{Vs}$ 程度、ノルマリオンの領域で $70 \text{cm}^2/\text{Vs}$ が得られた。

(3) 今後の課題

Si限界の1/10の達成には、耐圧構造を持つ素子においてこのチャンネル移動度の実現が必要である。

4.2 二重注入MOSFETの試作・評価

このチャンネルドーピングを利用して、ボディとソースとの二重注入によって図3に示すような耐圧構造を持つMOSFETを試作した。

(1) 作製

基板には市販n型4H-SiCエピタキシャル付きウェーハ(エピタキシャル層厚30μm, $n = 3 \times 10^{15} \text{cm}^{-3}$)を用い、ボディp型領域は0.7μm厚にAlの多段イオン注入(体積密度で $7 \times 10^{17} \text{cm}^{-3}$, 表面付近は $2 \times 10^{16} \text{cm}^{-3}$)、ソースn型領域は0.3μm厚にNの多段イオン注入(体積密度で $3 \times 10^{19} \text{cm}^{-3}$)で形成した。チャンネル領域はノルマリオフとなるよう0.15μm厚にNの多段イオン注入(体積密度で $3 \times 10^{17} \text{cm}^{-3}$)で形成した。活性化アニールはAr雰囲気中で行った。ウェット酸素で1,100℃、2時間の酸化を行いゲート絶縁膜を形成した。ソース、ドレイン電極としてNi電極を、ゲート電極としてはAl電極を蒸着によって形成した。ゲート長、幅、デプレッション領域長はそれぞれ14, 100, 5μmである。

(2) 結果

図3に示すように、ドレイン電圧に対するドレイン電流はゲート電圧に応じた飽和特性を示し、MOSFET動作が確認され、耐圧としては650Vの値を示した。また、ゲート電圧に対するドレイン電流の1/2乗特性の傾きから求めたチャンネル移動度は $5 \text{cm}^2/\text{Vs}$ であった。

(3) 今後の課題

耐圧値はドリフト層のドーピングや厚さから予想される3~4kVよりも小さく、チャンネル移動度も平面型の場合と比べて小さい。Al注入層に活性化アニールを施すと表面にバンキングステップが発生するため、移動度向上には平坦(坦)化が必要と考えられる。また、ステップの密度がメサ型pnダイオードにおいても逆方向特性と相関が見られたので、耐圧向上にも表面平坦化が有効であると考えられる。そこで、エピタキシャル結晶を利用して平坦化を図った素子構造の検討が必要となる。

4.3 チャンネル領域へのエピタキシャル結晶の適用

耐圧構造を持つMOSFETの試作・評価結果を基に、エピタキシャル結晶をチャンネル領域に適用した素子構造の検討を開始した。

(1) エピタキシャルの成長

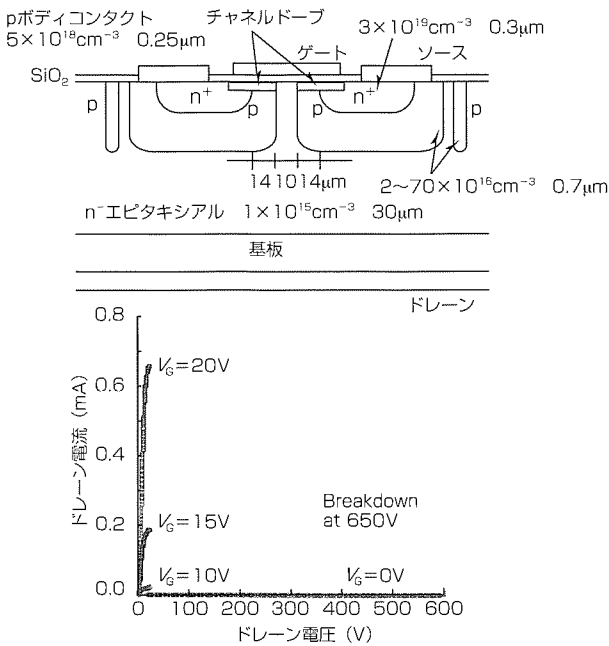


図3. 二重注入MOSFET素子構造とドレイン電流-電圧特性

エピタキシャル結晶の純度, n型ドーピング, 素子構造適用の基礎検討を行った。成長条件は水素50 l/min, SiH₄9cm³/min, C₃H₈3~6cm³/minの流量で圧力25,000Pa, 成長温度1,550~1,650℃である。n型ドーピングの際は窒素を0~40cm³/min流した。図4に残留不純物濃度の面内分布を示す。ウェーハ周囲ではアクセプタ不純物の混入が見られるが, 中央部では不純物濃度10¹³cm⁻³台の極めて高純度の結晶が得られた。また, 図5に窒素ドーピング特性を示す。10¹⁴~10¹⁸cm⁻³の範囲において窒素流量に比例したドーピング結果が得られた。これらの結果はドリフト層(10¹⁵cm⁻³台)やチャネル領域(10¹⁶cm⁻³台)の形成には十分な値である。また, MOSFET作製に必要なAl注入層上へのエピタキシャル成長及びAlの活性化について検討を行い, 成長炉中のAr雰囲気アニールによって十分な活性化率が得られることが分かった。これらの結果を用いて平面型MOSFETを作製し, その動作を確認した。

(2) 今後の課題

エピタキシャル結晶をチャネル領域に用いた素子構造の耐圧についてデバイスシミュレーションを行い, 通常の反転動作MOSFETや同じドリフト層を持つpnダイオードと同程度の耐圧を示し, 酸化膜中の最大電界値も5MV/cm以下に抑えられていることを確認した。今後, エピタキシャルチャネルの耐圧構造を持つMOSFETへの適用を進めていく予定である。

5. むすび

以上, SiC-MOSFET素子の開発状況を紹介した。試作・評価結果の耐圧650V, チャネル移動度5cm²/Vsか

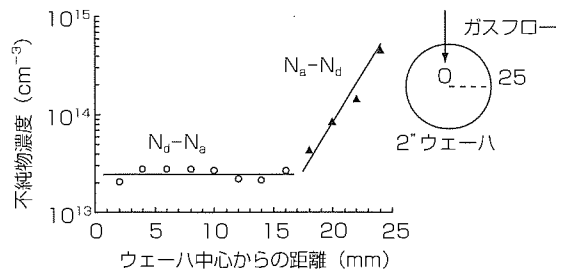


図4. ノンドープエピタキシャル結晶における不純物濃度分布

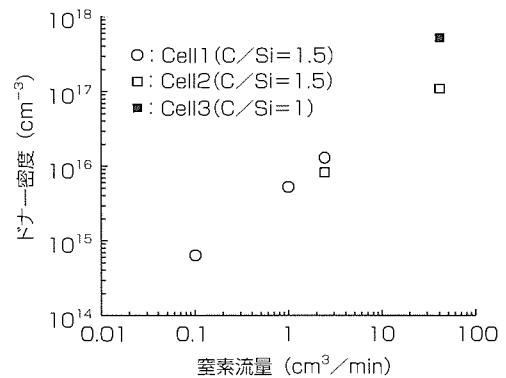


図5. エピタキシャル成長における窒素ドーピング特性

ら, 今後, チャネル移動度の改善を始めとして, 各要素技術を構築し, 低損失1kV級MOSFETの実現を図る所存である。この研究は, 通産省ニューサンシャイン計画「超低損失電力素子技術研究開発」として, NEDOから新機能素子研究開発協会を通じ委託され実施されたものである。

参考文献

- (1) Tan, J., Cooper, Jr. J. A., Melloch, M. R.: IEEE, Electron Device Lett., **19**, 487 (1998)
- (2) Chow, T. P.: 1st International Workshop on Ultra-Low Loss Power Device Technology, 117 (2000)
- (3) Das, M. K.: 1st International Workshop on Ultra-Low Loss Power Device Technology, 66 (2000)
- (4) Ohtsuka, K. et al.: Fabrication of Double Implanted MOSFET for Power Semiconductor Devices, 19th Symposium on Future Electron Devices, 148 (2000)
- (5) Yoder, M. N.: IEEE Electron Devices, **43**, 1633 (1996)
- (6) Baliga, B. J.: J. Appl. Phys., **53**, 1759 (1982)
- (7) 大谷 昇 他: 信学技報, J81-C-II, 112 (1998)
- (8) 長澤弘幸 他: SiC及び関連ワイドギャップ半導体研究会第9回講演会, I-2 (2000)
- (9) Ploss, R., Rupp, R., Zverev, I.: European Conference on SiC & Related Materials, 5 (2000)
- (10) Afanasev, V. V., Bassler, M., Pensl, G., Schulz, M.: Phys. Stat. Sol.(a), **162**, 321 (1997)



特許と新案***

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 知的財産渉外部
電話(03)3218-9192(ダイヤルイン)

半導体パワーモジュールおよびその製造方法 (特許 第2781329号, 特開平6-188363号)

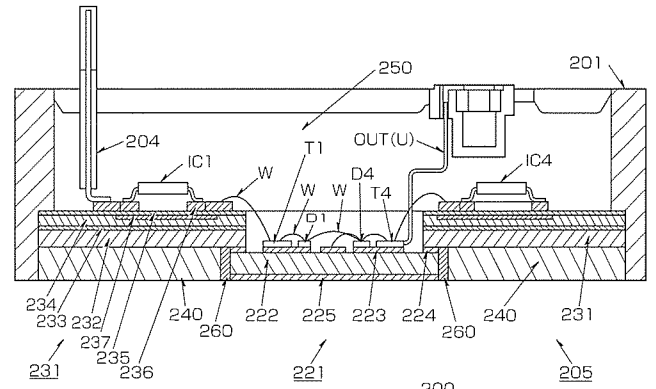
発明者 大島征一

この発明は、半導体パワーモジュールに関するもので、特に回路基板の温度変化に伴う変形をなくすための改良に関するものである。

電力用スイッチング半導体素子が箱状の外囲器に収容された半導体パワーモジュールであって、前記外囲器の底部が耐熱性絶縁材(セラミック)を含んだ電力用基板本体と前記電力用基板本体の上主面上に結合して配設され、前記電力用スイッチング半導体素子が接続される熱及び電気良導性の電力用配線パターン(銅材)と前記電力用基板本体の下主面上に結合して配設され、前記電力用配線パターンと実質的に同一の材料を有する熱良導性の板材とを一体的に形成してなる電力用基板を備え、前記板材を前記外囲器の下側表面に露出させたことにより、外部の放熱板などに直接接触するように取り付けることが可能となり、回路に発生する熱を従来の銅ベース板なしで外部に放出できる。銅ベース板なしにより、バイメタル効果は発生せず、基板の変形をなくすことができる。

図にこの発明の一実施例を示す。221は電力用基板、222

は電力用基板本体、223は電力用配線パターン、225はパターン(板材)、T1、T4はIGBT素子(電力用スイッチング半導体素子)を示す。



- | | |
|------------------------|-------------------------------|
| 200: 半導体パワーモジュール | 240, 240a: スペース |
| 205: 複合基板 | 241: ねじ |
| 221: 電力用基板 | 260: 接着剤 |
| 222: 電力用基板本体 | 270: 導熱板 |
| 223: 電力用配線パターン | 271: ねじ |
| 225: パターン(板材) | 280: プリコート樹脂 |
| 231: 制御用基板 | T1~T6: IGBT素子(電力用スイッチング半導体素子) |
| 232: 金属板(押圧部材) | IC1~IC4: 半導体素子(制御回路素子) |
| 235: 制御用基板本体 | V61~V66: ゲート電圧信号(制御信号) |
| 236: 配線パターン(制御用配線パターン) | |

半導体装置およびその製造方法 (特許 第2656416号, 特開平5-167006号)

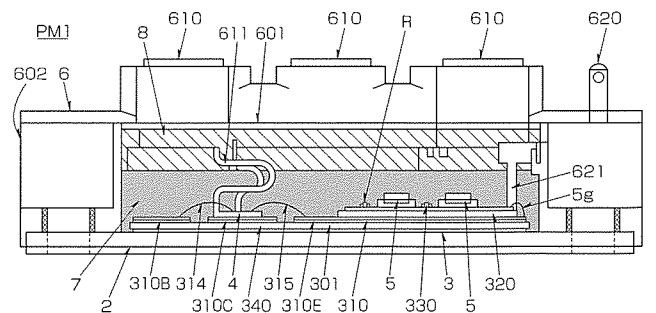
発明者 新井規由, 大町洋文

この発明は半導体装置及びその製造方法に関するもので、静電シールド効果によってノイズによる制御素子の誤動作を防止し、信頼性が高い半導体装置を提供できる。

この半導体装置は複合基板を備え、前記複合基板は前記第1セラミック基板の上面の第1領域上に接合された第1金属板と前記第1セラミック基板の上面の第2領域上に第2金属板と前記第1金属板の上面に接合された第2セラミック基板と前記第2セラミック基板の上面に接合され、所定のパターンに加工された第3金属板とを備えており、前記半導体装置は、前記第2金属板の上面に搭載された電力用半導体素子と前記第3金属板の上面に搭載され、前記電力用半導体素子を制御するための制御用半導体素子とを更に備えた半導体装置である。

この発明の半導体装置においては、電力用半導体素子が搭載された第2金属板と制御用半導体素子が搭載された第3金属板との間に第1金属板が介在される。このため、第1金属板の領域がシールド材として機能して、静電シールド効果によって第2金属板側にかかるノイズは第3金属板側に誘導されない。

図にこの発明の一実施例を示す。3は複合基板、4は電力素子、5は制御素子、301は第1のセラミック基板、320は第2のセラミック基板、310は第1の金属板、330は第2の金属板、340は第3の金属板を示す。



- | | | |
|---------------|-----------------|-----------------|
| PM1: パワーモジュール | 2: 銅ベース板 | 3: 複合基板 |
| 4: 電力素子 | 5: 制御素子 | 301: 第1のセラミック基板 |
| 310: 第1の金属板 | 320: 第2のセラミック基板 | 330: 第2の金属板 |



特許と新案

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは
三菱電機株式会社 知的財産渉外部
電話(03)3218-9192(ダイヤルイン)

混成集積回路装置 (特許 第2922733号, 特開平6-130131号)

発明者 川上隆由

この発明はパワーMOS-FETをベアチップ状態で搭載した混成集積回路装置に関するもので、パワーMOS-FETに対して効果的かつ効率の良い手法でバーンイン試験を行えることにより、信頼性の高い混成集積回路装置が提供できる。

この混成集積回路装置は、パワーMOS-FET、このパワーMOS-FETとは別に形成されこのパワーMOS-FETを制御する制御IC、前記パワーMOS-FETと前記制御ICとを搭載する回路基板、前記パワーMOS-FETのゲート端子と前記制御ICとを接続する制御電圧供給線、前記パワーMOS-FETのゲート端子に上記制御ICとは独立してバーンイン試験用電圧を供給するためのバーンイン試験用接続端子、前記バーンイン試験用接続端子と前記パワーMOS-FETのゲート端子とを接続するバーンイン試験電圧供給線を備えたことを特徴としている。

これにより、バーンイン試験用外部接続端子に所望のバーンイン試験電圧を印加することで、制御ICからの制御電圧とは独立にパワーMOS-FETのゲート端子にバーンイン試験電圧を効率良く供給することができる。

図1にこの発明の一実施例を示す。2はパワーMOS-FET、3は回路基板、4は制御電圧供給線、5はバーンイン試験電圧供給線、6:ダイオード、20はバーンイン試験用外部接続端子を示す。

また、図2はこの混成集積回路装置がパッケージ内に収められた場合で、100aはパッケージ100の本体、100bはふた(蓋)を示す。

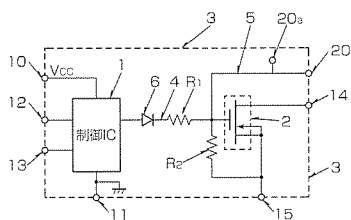


図1

- 2: パワーMOS-FET
- 3: 回路基板
- 4: 制御電圧供給線
- 5: バーンイン試験電圧供給線
- 6: ダイオード
- 10~15: 外部接続端子
- 20: バーンイン試験用外部接続端子
- 20a: バーンイン試験用内部接続端子

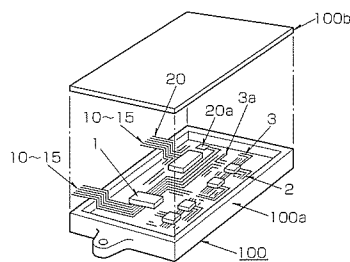


図2

<次号予定> 三菱電機技報 Vol.75 No.7 「ハイテック時代の精密放電加工機」特集

特集論文

- 放電加工機の将来展望
- 新しい放電加工の出現と将来性
- 放電加工機の技術動向と将来への課題
- 形彫放電加工機EAシリーズによる高精度金型加工
- 半導体向け超高精細ワイヤ放電加工機“PX03”
- 半導体向け超高精細細穴放電加工機“VH10”
- 放電加工機現場へのIT実用化技術
- 放電表面処理技術の開発とその利用

- 64ビットCNC搭載ワイヤ放電加工機“FAシリーズ”
- 高速ワイヤ自動供給装置“AT”
- 放電加工機におけるCAD/CAMシステム
- CAD/CAMシステムを活用した放電加工自動化システム
- 放電加工機に対するバーチャルエンジニアリングの適用
- Technology in INGERSOLL EDM system

普通論文

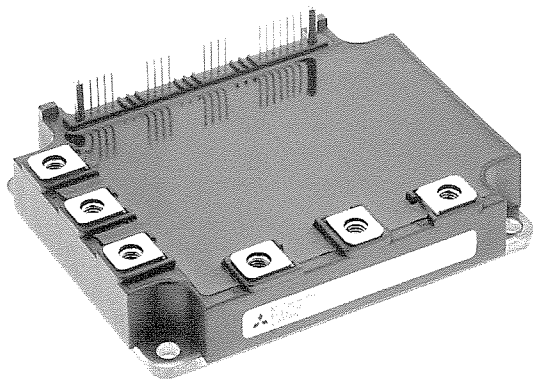
- 固体高分子型クリーン電源
- ビルシステムにおけるBACnet対応

<p>三菱電機技報編集委員</p> <p>委員長 井手 清</p> <p>委員 中村 治樹 村松 洋 吉原 孝夫</p> <p>栗原 幸志 安福 正樹 松本 修</p> <p>浜 敬三 荒木 政敏 西谷 一治</p> <p>中島 克人 河内 浩明</p> <p>畑谷 正雄 山木 比呂志</p> <p>幹事 名畑健之助</p> <p>6月号特集担当 森 敏</p>	<p>三菱電機技報 75巻6号 2001年6月22日 印刷</p> <p>(無断転載・複製を禁ず) 2001年6月25日 発行</p> <p>編集人 井手 清</p> <p>発行人 名畑 健之助</p> <p>発行所 三菱電機エンジニアリング株式会社 ドキュメント事業部</p> <p>〒105-0011</p> <p>東京都港区芝公園二丁目4番1号</p> <p>秀和芝パークビルA館9階</p> <p>電話(03)3437局2692</p> <p>印刷所 株式会社 三菱電機ドキュメンテクス</p> <p>発売元 株式会社 オーム社</p> <p>〒101-0054</p> <p>東京都千代田区神田錦町三丁目1番地</p> <p>電話(03)3233局0641</p> <p>定 価 1部735円(本体700円)送料別</p> <p>三菱電機技報に関するお問い合わせ先 cep.giho@ml.hq.melco.co.jp</p>
<p>電子文書時刻証明に関するお知らせ</p> <p>2001年5月16日 三菱電機株式会社</p> <p>集約期間:2001年4月16日~2001年5月15日</p> <p>集約ハッシュ値:</p> <p>YrdOXbGFmqUEEdzjJNOsJu/OI/aGaEIJz/bX0hjZyJEPmfyx</p>	<p>URL http://www.melco.co.jp/giho/</p>

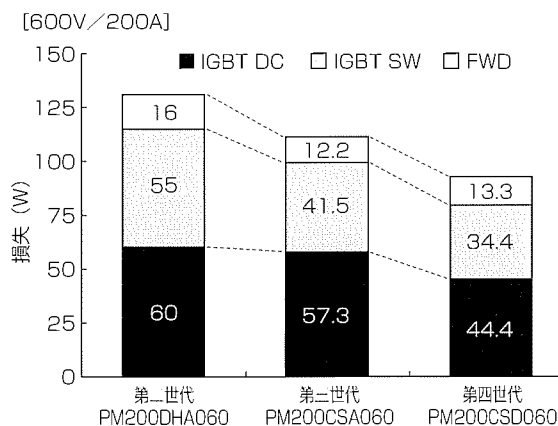
スポットライト

飽和電圧と電磁ノイズ低減を目指した S-DASH IPMシリーズ

パワーモジュールの高性能化への対応として、これまでの高性能、小型、低損失に加え、市場では、使いやすさや環境への配慮など新しい要求が高まっています。三菱電機ではこうした市場の要求におこたえするため、従来シリーズに追加して、今回、AC220V/AC440V電源用として、従来シリーズと互換性のある第四世代IPM“S-DASHシリーズ”を製品化しました。



S-DASH IPMの外観



三菱IPMの世代ごとの損失比較

用途

AC220V/AC440V対応インバータ・サーボ等のモータ制御機器、UPSなど電源装置のインバータの小型化に最適です。

特長

1. 第四世代1 μ mプレーナIGBTチップ採用によって低損失化を実現

コレクター-エミッタ間飽和電圧は次のとおりです。

600V品: $V_{CE(sat)} = 1.7V$ (typ.)

1,200V品: $V_{CE(sat)} = 2.1V$ (typ.)

2. 新設計FWDの採用によって電磁ノイズを低減

ダイオードリカバリー特性を改善し、電磁ノイズを更に低減しました。

3. パッケージ互換性

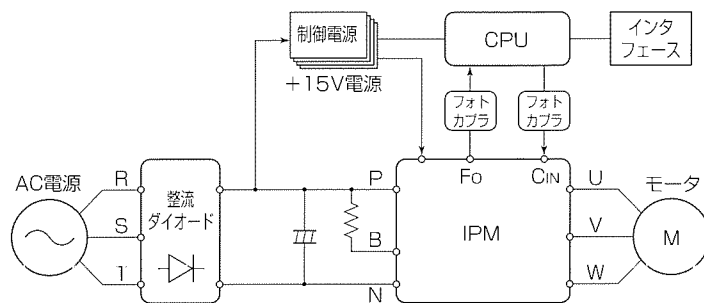
CSD/RSDは当社第三世代SシリーズIPMパッケージと、CSE/RSEは当社第二世代IPMパッケージと互換性があります。

4. 保護回路内蔵

過電流・短絡・過熱及び制御電源電圧低下の検知・保護・エラー信号出力機能を内蔵しています。

5. 静電対策不要

IGBTモジュールに対する静電対策は不要で、バイポーラTTLと同等の取扱いが可能です。



S-DASH IPMのインバータ装置構成例

製品系列

V_{CES} (V)	結線	エラー出力の有無	I_c (A)					
			50	75	100	150	200	300
600	3 ϕ	P, N両側から出力	PM50CSD060	PM75CSD060	PM100CSD060	PM150CSD060	PM200CSD060	PM300CSD060
		N側のみ出力	PM50CSE060	PM75CSE060	PM100CSE060	PM150CSE060	PM200CSE060	PM300CSE060
	3 ϕ + Brake	P, N両側から出力	PM50RSD060	PM75RSD060	PM100RSD060	PM150RSD060	PM200RSD060	PM300RSD060
		N側のみ出力	PM50RSE060	PM75RSE060	PM100RSE060	PM150RSE060	PM200RSE060	PM300RSE060
1,200	3 ϕ	P, N両側から出力	PM50CSD120	PM75CSD120	PM100CSD120	PM150CSD120		
		N側のみ出力	PM50CSE120	PM75CSE120	PM100CSE120	PM150CSE120		
	3 ϕ + Brake	P, N両側から出力	PM50RSD120	PM75RSD120	PM100RSD120	PM150RSD120		
		N側のみ出力	PM50RSE120	PM75RSE120	PM100RSE120	PM150RSE120		