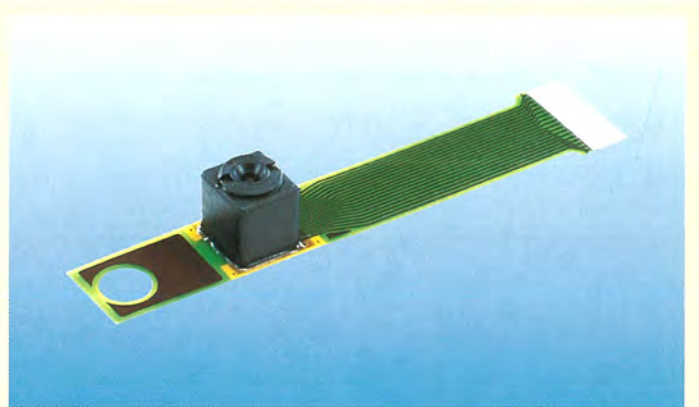
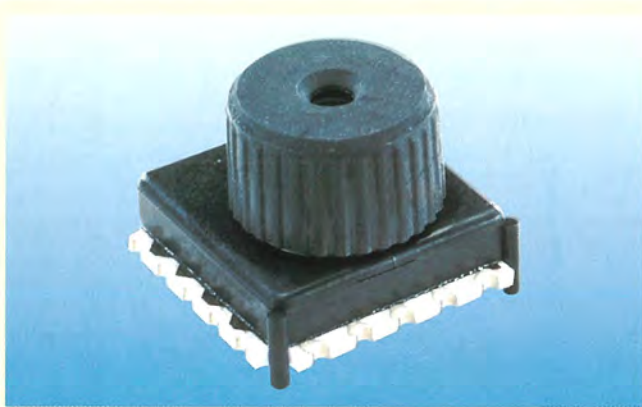


# MITSUBISHI

## 三菱電機技報 Vol.75 No.3

特集Ⅰ「IT時代におけるLSI」  
特集Ⅱ「三菱保護リレーMELPROシリーズ」

# 2001 3



## 目 次

### 特集 I 「IT時代におけるLSI」

未来社会をデザインするシステムLSI .....	1
廣瀬全孝	
先端LSIプロセスの技術動向 .....	2
犬石昌秀	
1.8V, 2.5GHz動作マルチプレクサ/デマルチプレクサ M69897VP/M69899VP .....	6
吉村 勉・和田佳樹・松本拓治・高相 純・久保和夫	
携帯機器向けカラー人工網膜LSI .....	10
原 邦彦・近藤山和・久保洋士・新田嘉一・久間和生	
高性能32ビットマイコン M32C/83グループ .....	14
山崎貴志・中村和夫・藤高繁明・新田康彦・野口達也	
フラットパネルディスプレイ向けピクチャプロセッサM6661×FPシリーズ .....	18
坂下和広・杉浦博明・西 春彦・松本 誠・鳥川和弘	
0.18 $\mu$ m 128Mビット ダブルデータレートSDRAM .....	22
吹上貴彦・池田 豊・岩本 久	
CPU内蔵ASICの短期開発を可能にするプラットフォームベース設計手法 .....	26
東田基樹・安藤智子・野田知義	
システムLSI用クロック分配回路設計及びスキュー解析用CADツール .....	30
寺井正幸・金本俊幾・小谷 健・柴山泰範	
LSI解析技術 .....	34
小守純子・小山 徹・吉田映二	
LSIの鉛フリーの現状と将来 .....	38
山本健司・村上智博・辛嶋 崇	

### 特集 II 「三菱保護リレー-MELPROシリーズ」

電力流通の課題と保護リレーの役割 .....	43
岩本伸一	
電力系統保護リレー技術の動向と革新 .....	44
東 信一・辻倉洋右・安斉俊夫	
MELPRO-CHARGEの基本構成 .....	48
磯松信夫・片山善博・須賀武彦	
MELPRO-CHARGEの要素技術 .....	51
佐藤 廣・大園賢志・高良 卓・高島一樹	
MELPRO-CHARGEのソフトウェア生産環境MELPRO-SAVE .....	55
高野富裕・山根定章・田中靖之	
MELPRO-CHARGEの実用化展開 —— 中部電力様向け77kV距離継電装置フィールド機への適用 —— .....	58
伊藤正弘・阿部高久・長澤 宏・関口延夫・伊藤健司・中川弘樹	
配電線保護リレー MELPRO-DASH .....	60
細井真知夫・上田豊樹・藤田和芳	

### 特許と新案

「ガリウム砒素半導体記憶装置」「母線保護装置」 .....	42
「電流差動リレー装置」 .....	64

### スポットライト

リズムフレーズプレーヤーLSI M65575- $\times\times\times\times$ FP .....	(表3)
---	------

### 表紙

#### カラー人工網膜LSIカメラモジュール(a)

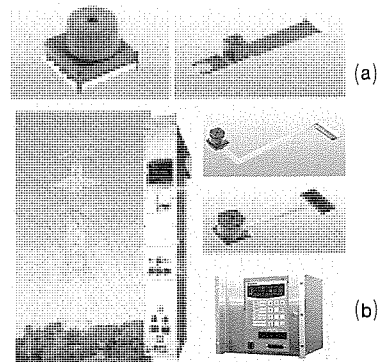
モバイル機器に最適な超小型カラー人工網膜LSIカメラモジュールの製品ラインアップである。いずれも、高画質(S/N比60dB)、高感度(最低被写体照度:10lx以下, 業界一)、低消費電力(25~45mW@2.8V, 業界一)等の特長とともに、エッジ検出, 射影出力などの画像処理機能も備えている。

#### 三菱保護リレー-MELPROシリーズ(b)

新しいデジタルリレーユニット及び保護制御装置の外観を示す。これは、従来装置に比べ、コンパクトで高性能化を進めた新機種である。ネットワークを活用した保守管理業務の合理化と製造・試験過程の品質向上支援環境の構築により、多様なニーズにこたえる新時代の保護制御装置として実現した。

背景写真は、二回線送電線鉄塔で、地域の基幹供給系統を構成している。

“MELPRO”は、三菱電機㈱が商標登録申請中である。



## I 未来社会をデザインするシステムLSI

広島大学 工学部  
ナノデバイス・システム研究センター長

教授 廣瀬全孝



20世紀は量子力学の登場で幕を開け、トランジスタとICの発明、コンピュータのダウンサイジングを経て、インターネットを軸とする情報技術革命のただ(只)中で新しい世紀を迎えることになった。集積回路はシリコンチップ上に巨大電子システムを実現できるまでに進化した。システムLSI又はシステム・オン・チップによって実現される情報処理システムとサービスは、インターネットを介して産業構造、流通、ビジネスモデルを激変させつつある。また、人々のライフスタイルや行動様式もネットワーク社会の中で大きく変化している。量子力学的世界観が20世紀に生きた人々の物質観や宇宙・生命体に対する認識を大きく変えたのは、新技術によって社会に提供された応用製品やサービスによるところが大きい。人は技術に適應することによって自分を変えるのである。

21世紀のネットワーク社会において、LSIは社会のあらゆるシステムの中に埋め込まれ、LSIのもたらす機能やサービスによって人々は自らの世界観を変えていく。携帯電話の登場が若者文化を一変させたように、LSI技術者は、その応用システムの開発を通して、人々の生活様式と社会構造を変革する役割を果たしている。もちろん製品としてのLSIと様々な機能とサービスを提供する応用システムの間には多くの技術やソフトウェアが介在するが、中核となるLSI技術のインパクトが本質的に重要である。これからシステムLSIの性能が更に劇的に向上し機能が拡張されると、LSIの設計・開発は“未来社会をデザインすること”と同義語となる。

したがって、これからのLSI技術開発は、人々の生活にどのようなサービスを提供し社会システムをどう進化させたいのかを、技術者自身が提示できる哲学と理念を持たなければならない。21世紀の情報技術革命が人々の意識と生活をどう変えていくのか、技術者は社会に向けてどのよう

な提案ができるのか自ら解答を模索し、製品を通してそのコンセプトを発信することが求められている。

10年後のシステムLSIの世界市場規模は70兆円を超えると言われている。この市場規模は、LSI技術が社会システムに与えるインパクトの大きさが革命的であることを示している。情報機器の超小型化・モバイル化・ウェアラブル化が進むと、機器の操作は音声によって行われる。画像のリアルタイム送受信も自然の流れであろう。グローバルネットワーク環境における膨大な情報空間からユーザーの意図を認識・理解し必要な情報を瞬時に取り出してくれる優れたエージェントをだれもが必要とする。時として立ち現れる言語の壁も自動翻訳・通訳システムによって容易に乗り越えられるだろう。このような未来社会の夢が実現されていくには、認知度の高いヒューマンインタフェースの開発が必要であり、これをハードウェアレベルでサポートするシステムLSIや高機能コンピュータが開発されなければならない。

我が国の半導体産業が力強く国際競争力を復活させるバックボーンとなるのは、LSI開発の上位概念を未来社会のデザインにまで踏み込んで明確に設計することではないか。それぞれの企業が個性的なシステム開発のプランを持ち、その実現に必要な技術開発を戦略的に推進することが必要ではないか。

高性能システムLSI実現のために強力な微細化技術・デバイス技術を開発することは、その技術によって実現すべきターゲットシステムが体系化されていることによって始めて大きな力となる。回路・設計・システムアーキテクチャの技術開発も、明確な意図を持って社会に提案できるシステムコンセプトの存在によってこそ適確に方向付けされるものと考ええる。

# 先端LSIプロセスの技術動向

犬石昌秀\*

## 要旨

従来のパソコン分野を中心にけん(牽)引されてきたLSIは、ネットワーク、携帯電話等の情報通信や情報家電に軸足を移した開発が進められている。これらの高度情報化技術を支えるLSIは、微細化プロセスの進展により、高集積化・高機能化・高性能化が急速に進んでいる。

また近年、VLSIプロセス技術の国際標準ロードマップが作成され、システムサイドが半導体メーカーのプロセス技術力を評価する基準となるため、世界中の半導体メーカーは、この標準ロードマップに合わせた非常に早いペースで開発競争を繰り広げている。

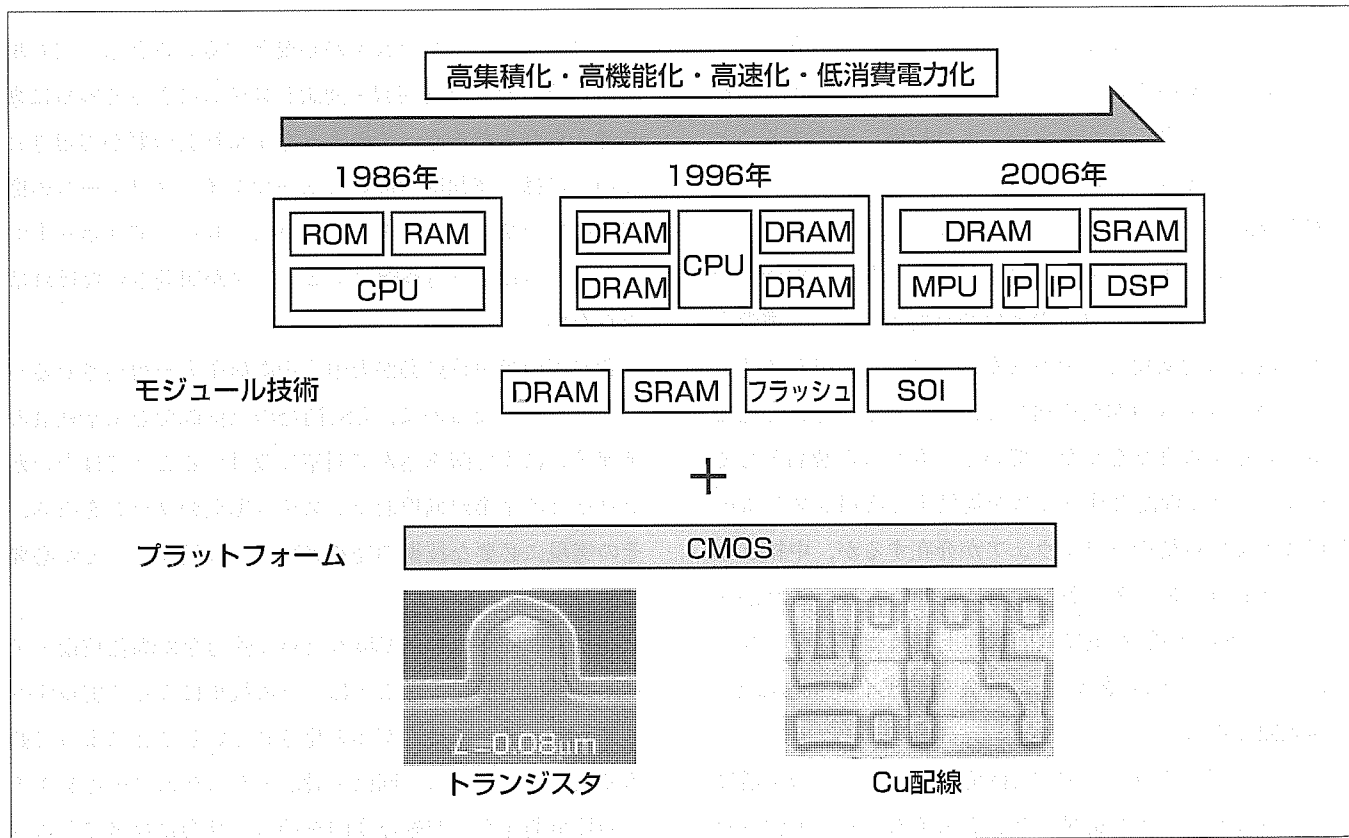
微細加工の中心となる光リソグラフィ技術はKrFエキシマレーザを光源に用いた超解像技術で0.13 $\mu$ mのLSIにまで使用され、0.13 $\mu$ m以降の微細化に対してはArFエキシマ

レーザを光源に用いたリソグラフィ技術が開発されている。微細加工の進展により、CMOSトランジスタも0.1 $\mu$ mのゲート長まで開発され、また、トランジスタ数の増大に伴い、Cuを用いた埋め込み配線などによる高密度多層配線により、回路規模の増大、性能向上も実現している。

今後は、高集積化・高機能化・高速化を実現させるために先端CMOSプロセス技術を先行開発し、CMOS技術をプラットフォームとして、三菱電機のDRAM、SRAM、フラッシュ、SOI(Silicon on Insulator)などのモジュール技術を組み込むシステムLSI対応の先端プロセス技術を開発していく。

本稿では、プラットフォームとなるCMOS技術の流れと当社の取組を紹介する。

特集  
I



## 先端CMOSプロセスによるシステムオンチップ

微細化による高集積化・多機能化・高性能化・低電圧化の流れに対し、当社は、CMOSプロセス技術をプラットフォームとして、メモリ技術、SOI技術などのモジュール技術を統合し、次世代電子機器のLSIに対応している。

## 1. ま え が き

半導体プロセスの微細加工技術の飛躍的進展により、メモリLSIのみならずロジックLSIの高集積化・高機能化・高性能化が進み、システムを1チップに搭載するシステムオンチップ(SoC)が潮流となりつつある。情報通信、情報家電の分野でのLSIは特に世代交代が激しく、LSIプロセスの微細化を各社とも競って進め、電子機器の技術革新を促している。

また近年、半導体に関する国際半導体技術ロードマップ ITRS(International Technology Roadmap for Semiconductor)が設けられ、このロードマップをターゲットにして半導体各社の微細化への開発競争が繰り広げられている。

三菱電機も、次世代電子機器の要求を満たすLSIを供給するために、先端プロセス技術の開発に注力している。

本稿では、先端プロセス技術の流れ、当社の取組について、CMOS技術を中心に紹介する。

## 2. 国際半導体技術ロードマップ(ITRS)

従来、先端プロセス技術は、DRAMをテクノロジードライバとして、チップサイズを縮小するために微細加工を牽引してきた。しかし、システムLSIの技術革新も激しく進み、高集積のみならず高機能化・高性能化・低電圧化に対応するプロセスも強く要求されるようになってきた。これらの要求を踏まえたプロセス技術のロードマップが作成され、各社の次世代LSI対応プロセス開発のターゲットになっている。

1999年に設定された国際半導体技術ロードマップの主な諸元を表1に示す。2002年に0.13 $\mu\text{m}$ の技術が、2005年に0.1 $\mu\text{m}$ の技術が量産開始されるとして、各技術のノードに対して、諸元が示されている。今後の開発でブレークスルーが特に必要となるものはトランジスタ高性能化のためのゲート絶縁膜の薄膜化、及び微細化した配線間の容量に起因した配線部での信号伝搬遅延の改善であり、0.1 $\mu\text{m}$ の技術ノードでは新材料の開発と導入が必要になってくる。

図1には、国際半導体技術ロードマップに基づいて概算した各技術ノードでのMPUとSoCのロジックゲート密度と、性能の指標となるゲート長を示している。SoCでは、0.18 $\mu\text{m}$ の技術ノードで1平方ミリメートル当たり約100Kゲートの密度が0.13 $\mu\text{m}$ の技術ノードでは約200Kゲートと2倍になり、0.1 $\mu\text{m}$ ノードでは2倍の

約400Kゲートまで達する。種々の機能ブロックを搭載した高集積・高機能・高性能なシステムLSIの時代となる。

### 2.1 微細加工

微細加工の中心となる光リソグラフィ技術は光源の短波長化が進められてきた(図2)。当社では、249nmの光源であるKrFエキシマレーザを用いたリソグラフィは、0.3 $\mu\text{m}$ の設計基準を用いたメモリLSIから使用し始めた。変形照明を始めとする超解像技術を用いることにより、周期性パターンを転写するメモリでは0.13 $\mu\text{m}$ まで延命される。0.13 $\mu\text{m}$ 以降の微細化対応のリソグラフィとして193nmの光源であるArFエキシマレーザを用いたリソグラフィ技術が開発されている。解像力を向上させるため光源の短波長化かレンズの開口数を上げる手法を用いるために、焦点深度が浅くなり、シリコンウェーハ表面に段差があると微細パターンが形成できなくなる。この解決策として用いられる変形照明や位相シフトマスクなどの超解像技術は、周期的な微細パターンで焦点深度と解像力を向上させるため、メモリLSIやロジックLSIのSRAMなどのパターンニングに対してKrFリソグラフィの有効な手法として開発され、用いられてきた。更なる微細化、ArFへの短波長化では、超解像技術を用いても焦点深度が低下するため、平坦化(坦)化プロセスが今後ますます重要となる。このため、LSIの製造プロセスでリソグラフィ工程の前に平坦化プロセスとして層間絶縁膜を化学的に機械研磨するCMP(Chemical Mechanical Polishing)技術を用いた平坦化技術が多用される。

### 2.2 MOSトランジスタ

LSIの基本構成要素であるMOSトランジスタの微細化は、マイクロプロセッサや高速ロジックLSIに牽引され、非常に早いペースで進んでいる。近年、50~30nmまでの動作

表1. 国際半導体技術ロードマップ

量産開始時期	1999	2002	2005	2008
設計基準 (nm)	180	130	100	70
DRAM 1/2ピッチ (nm)	180	130	100	70
(MPU)孤立ゲート長 (nm)	140	85~50	65	45
Siウェーハ径 (mm)	200	300	300	300
電源電圧 (V)	1.8~1.5	1.5~1.2	1.2~0.9	0.9~0.6
ゲート絶縁膜厚 (nm)	1.9~2.5	1.5~1.9	1.0~1.5	0.8~1.2
トランジスタ駆動電流(高速) ( $\mu\text{A}/\mu\text{m}$ )	750/350	750/350	750/350	750/350
トランジスタのオフ電流(高速) (nA/ $\mu\text{m}$ )	5	10	20	40
トランジスタ駆動電流(低消費) ( $\mu\text{A}/\mu\text{m}$ )	490/230	490/230	490/230	490/230
トランジスタのオフ電流(低消費) (pA/ $\mu\text{m}$ )	5	10	20	40
層間絶縁膜比誘電率 ( $\kappa$ )	3.0~4.0	2.7~3.5	1.6~2.2	1.5
メタル配線層数	6~7	7~8	8~9	9
局所配線ピッチ (nm)	450	325	230	165
中間配線ピッチ (nm)	560	405	285	210
SoCトランジスタ総数 (M Tr.)	12~25	25~100	50~500	100~2,000
クロック周波数 (GHz)	0.5~1.2	0.7~1.6	0.9~2.0	1.2~2.5
消費電力(LP-HP) (W)	1.4~90	2~130	2.4~160	2~170

開発中

現在は解なし

出典: International Technology Roadmap for Semiconductors (1999 Edition)

確認がされており、各半導体メーカーは、LSIの高性能化で差別化を図るため、国際技術ロードマップよりも早くトランジスタのゲート長を縮小する傾向にある。

MOSトランジスタを微細化して動作させるには不純物分布が重要であり、図3に示すようにしきい(閾)値電圧を設計値に保ちつつ、ソースとドレイン間の空乏層がつかないように基板内部の不純物分布を設定し、パンチスルーを抑制する。これには、①ソースとドレインを形成している不純物の拡散を抑制するために熱処理を削減する、②ソースとドレイン形成時の不純物イオン注入の注入エネルギーを下げる、③閾値電圧制御とソース/ドレイン部の空乏層の広がりを抑制するために、チャンネル不純物の分布を従来の基板全域に均一に配置する代わりに、ソース/ドレインに接した局所的な不純物分布を採用する等の対策を施す。熱処理の削減及び不純物拡散の抑制には、ランプアニール、層間絶縁膜形成の低温化、CMPによる平坦化を多用する。また、イオン注入は5 keV以下の低エネルギー注入を用いる。このような不純物分布とプロセスを用いて、図4に示すような、コバルトシリサイド化したソース/ドレイン、ゲート構造の0.08 $\mu\text{m}$ までの高性能トランジスタを開発している。

0.13 $\mu\text{m}$ 以下の技術ノードでMOSトランジスタの最大の課題は、薄いゲート絶縁膜である。ゲート酸化膜が2.5nm以下になると、直接トンネル電流により、ゲート酸化膜のリーク電流が大きくなり、待機時のLSIの消費電力に影響

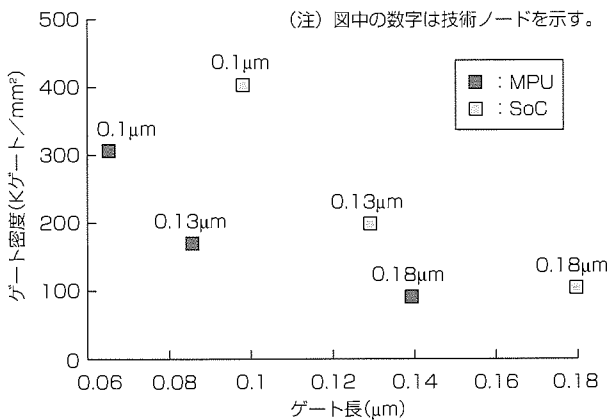


図1. 各技術ノードでのゲート長とゲート密度

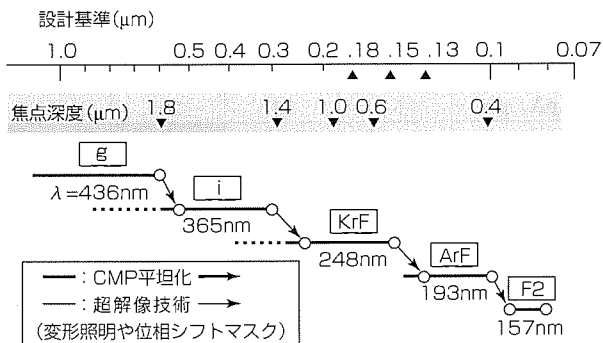


図2. リンググラフィ技術の進展

し出す。図5に示すように、低消費電力のLSIで要求されるトランジスタのリーク電流レベルの規格が1 $\mu\text{m}$ のチャンネル幅当たり10pA以下の場合には、ゲート酸化膜が約2.3nm厚以下でゲートリークによって限界に至る。また、許容されるリーク電流の大きい高速ロジックLSIで1nAとすると、高速ロジック対応では1.8nmのゲート酸化膜厚以下でゲートリークによって薄膜化限界に至る。このため、ゲート絶縁膜材料を酸化膜から高誘電率の材料への変更が必要となる。候補としては0.07 $\mu\text{m}$ 技術ノード対応のLSI用にはHfO<sub>2</sub>やZrO<sub>2</sub>等の材料が研究開発されているが、新材料の導入にはまだ時間がかかるため、回路の高速動作が必要な部分には1.8~1.5nmの薄いゲート酸化膜、リーク電流を抑制する部分には2.5nm程度の酸化膜を用いるDual Oxideが検討されている。

微細化による回路性能の改善効果を更に向上させるために、MPUなどの高速LSIにSOI基板を用いたCMOS構造が使われるようになってきた。図6に示すように、埋め込み酸化膜を持つSOI構造は接合容量の低減、MOSトランジスタの基板バイアス効果の低減、基板との完全な分離が可能

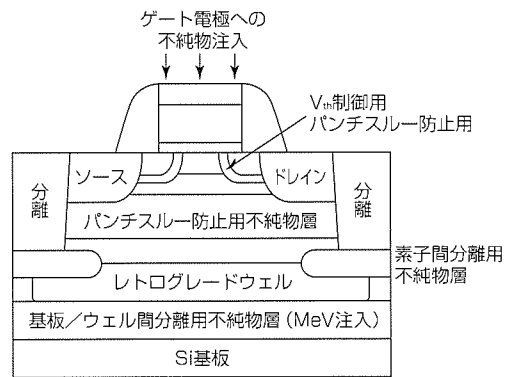


図3. 微細トランジスタの不純物分布

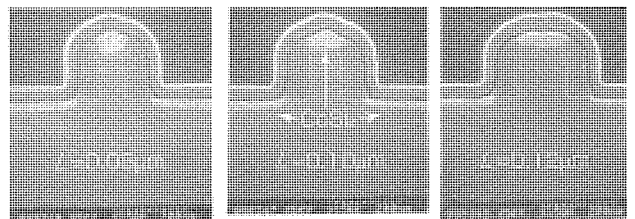


図4. コバルトシリサイド化したトランジスタ

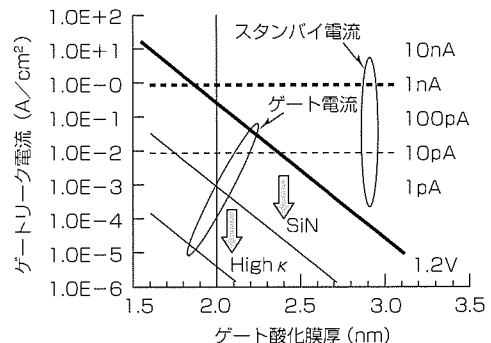


図5. ゲート酸化膜厚とリーク電流

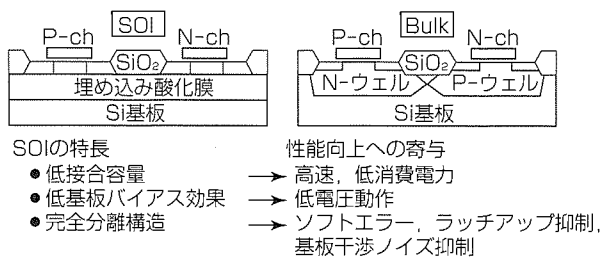


図 6. SOIの特長

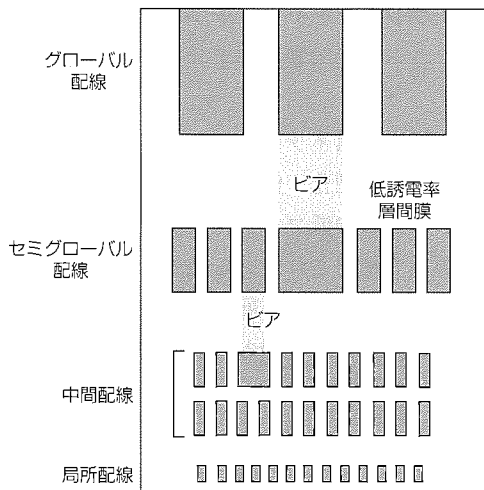


図 7. 多層配線構造

であり、かつ高速・低電圧動作や微細化で問題となってくるソフトエラーやウェル間の分離、ノイズ抑制に効果があり、当社でも高速動作のLSIに適用している。

### 2.3 多層配線構造プロセス

微細化によって回路規模が大きくなるにつれ、ゲート間、ブロック間、チップ間を結ぶ配線数が増す。これに対応して、図7に示すように、配線幅/配線間隔を縮め、配線層数を増やして配線密度を向上させる多層配線構造が重要になる。配線幅/配線間隔が縮小されると配線抵抗、配線間容量が増し、回路の高速動作にはトランジスタ部の遅延によって配線における信号遅延が律速されるようになる。配線抵抗を下げるために配線材料をアルミからより低抵抗であるCuへ切り換え、また配線間容量を下げるためには低誘電率の層間絶縁膜の採用を高速ロジックで行っている。特に信号遅延が大きくなるグローバル配線と呼ばれる長距離配線はCu配線を厚くし、線幅も大きくして抵抗を下げると同時に配線間隔を大きくし、局所配線や中間配線などの短距離配線は配線ピッチを縮めて配線密度を上げている。

Cu配線の形成には、Cuがドライエッチングしにくいこととメタル配線層形成後の平坦化が容易なこともあり、従来のレジストをマスクにしてエッチングする方法に代わり、ダマシン法と呼ばれる図8に示した埋め込み配線プロセスが用いられる。層間絶縁膜に溝を形成し、Cuめっきによって溝にCuを埋め込み、CMPによって溝に埋め込まれたCu以外を研磨除去する。酸化膜などの層間絶縁膜は加工

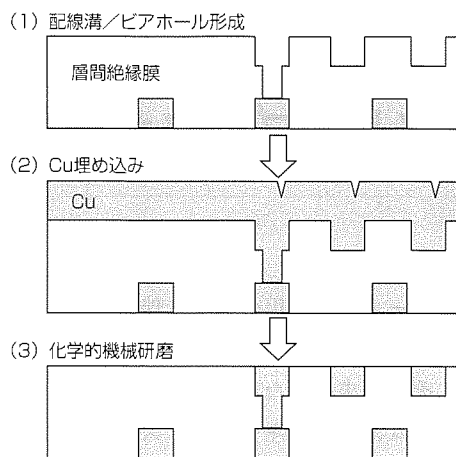


図 8. 埋め込み配線プロセス

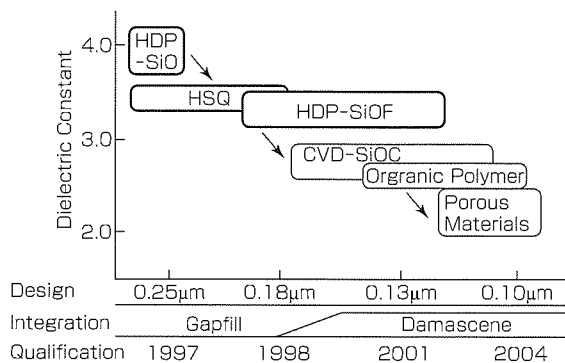


図 9. 層間絶縁膜の技術ロードマップ

しやすく、微細化に適しており、また配線形成後も平坦性が保たれ、微細パターンに対しても光リソグラフィの焦点深度の低下をカバーできる。

この埋め込みCu配線プロセスでは、下層配線と接続させるビアホールも配線溝と同時に形成するデュアルダマシン(Dual Damascene)法を用いて、配線とホールの微細化及び接続抵抗を下げる方法を用いる。

微細化による配線間の容量増大を避けるための低誘電率層間絶縁膜の技術ロードマップを図9に示す。酸化膜にふっ素を添加したSiOF系の酸化膜では比誘電率3.6程度が高密度プラズマCVD法を用いて使用されており、0.13μmの技術ノードでは比誘電率2.7程度の無機系のプラズマCVDによるSiOCや塗布で形成される有機ポリマーがCuダマシンと組み合わせて開発されている。

### 3. むすび

今後のシステムオンチップ化に対応できる先端プロセス技術の流れ、当社の取組を紹介した。システムオンチップは、ここに述べた先端CMOSプロセス技術をプラットフォームとして、当社の得意分野であるメモリなどのモジュール技術を統合させ、展開していく。

今後のシステムLSIを具現化するために先端プロセス技術によるプラットフォーム構築を強力に推進し、求められる要求に対して確実に対応していく所存である。

# 1.8V, 2.5GHz動作マルチプレクサ/ デマルチプレクサ M69897VP/M69899VP

吉村 勉\* 高相 純\*\*\*  
和田佳樹\* 久保和夫+  
松本拓治\*\*

特集  
I

## 要 旨

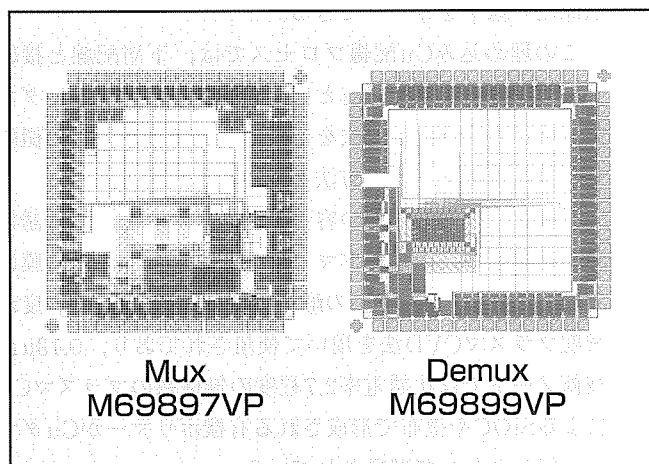
近年のインターネット利用の拡大に伴い、通信ネットワークに対する高速化・大容量化・高度化の要求は急速に高まっている。その要求にこたえるために、高速光通信ネットワークシステムにおけるキーデバイスである2.5Gbps級のマルチプレクサ(Mux)/デマルチプレクサ(Demux)LSI(信号多重/分離化回路)を、SOI(Silicon on Insulator)基板を用いたCMOSプロセスを適用し開発した。今回、OC-48(Optical Carrier-48)準拠2.5GHz動作PLL(Phase-Locked Loop)内蔵16:1マルチプレクサと1:16デマルチプレクサの2品種の製品を開発した。

CMOSで2.5GHzを実現したことにより、従来のGaAs

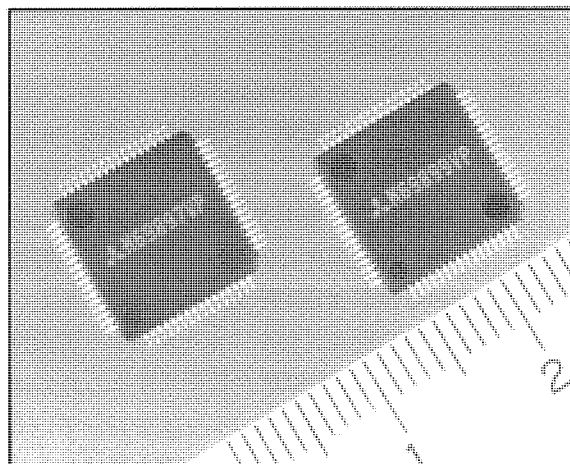
(ガリウムヒ素)などの化合物半導体やバイポーラ素子で製品化されたマルチプレクサ/デマルチプレクサと同等の電気性能を達成し、さらに従来製品の半分以下の低消費電力を実現した。

これにより、高速光通信ネットワークシステムにおける装置及びモジュールの小型化・低消費電力化が図ることができ、トータルシステムの低コスト化が実現可能となる。

現在は通信幹線系で使用されている光ファイバ網が、将来は家庭や事務所及び工場などに展開されていくいわゆるFTTH(Fiber to the Home)構想の実現へ向けてこの製品の貢献が大いに期待される。



レイアウトプロット



チップ写真

Package Size  
10mm × 10mm

## SOI/CMOSを用いたマルチプレクサ/デマルチプレクサ(チップ写真とレイアウトプロット)

通信ネットワーク高度化の要求により、微細化CMOS技術を駆使した超高速通信用ICの開発が急務となっている。今回、SONET/SDH<sup>®</sup> OC-48準拠のマルチプレクサ/デマルチプレクサのチップセットを、0.18 $\mu$ m SOI/CMOSプロセスを適用し製品化した。今後、各種IP(Internet Protocol)の集積化及び更なる高速化を図っていく予定である。

(注) "SONET/SDH"は、国際電気通信連合・電気通信標準化セクタ(ITU-TS)で標準化された光ファイバを用いた高速デジタル通信方式の国際規格で、SONETは北米、SDHはヨーロッパでの名称である。



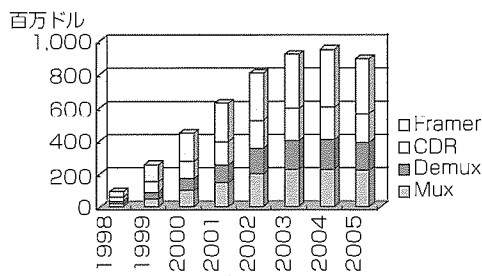
1. ま え が き

インターネットが急速に普及する中、光ファイバ網などの高速通信ネットワークには、回線規模拡大に加え、高速化及び高機能化が求められている。一方、CMOS技術の微細化の進展は、光通信規格であるOC-48(2.488GHz)対応のCMOS製品の開発を加速させており、またOC-192(9.953GHz)対応回路技術の開発をも対象範囲に入れようとしている。さらに、通信ネットワーク高度化の流れは、微細化CMOS技術を駆使した大規模ロジック集積化を通信用半導体に要求し始めている。

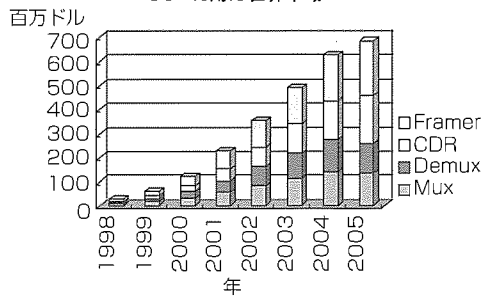
三菱電機はSOI基板を用いたCMOSプロセス技術開発によるCMOSデバイスの性能向上を図ってきたが、このたび、動作速度向上と動作余裕拡大を目的に、OC-48対応のMux/Demux(信号多重/分離化回路)チップに0.18μm SOI/CMOS技術を適用し製品化した。今後、このMux/Demuxチップを中核にして各種IPの集積化及び高速化を図っていく予定である。

2. 通信用ICの世界市場動向

昨今、インターネットの普及に伴う通信ネットワークの大容量化によって超高速通信IC市場は急速に拡大している。通信用ICの世界市場を分類すると、①SONET/SDHに準拠するTeleCom市場、②GビットEthernetなどのDataCom市場、に大別できる。特にTeleCom向けMux/Demuxの世界市場規模は、今後急速に拡大すると予想される。図1は、通信用ICの世界市場での売上高を予想したグラフである。OC-48用IC市場は1999年ごろから急速に立ち上がり、2003年ごろでMux/Demuxの売上高が500億円を超えると



OC-48用IC世界市場



OC-192用IC世界市場

出典：International Business Strategies, Inc.レポート

図1. TeleCom向け通信用ICの世界市場

予測される。一方、OC-192の市場は2002年ごろから立ち上がり、2005年にはOC-48と並ぶ売上げの伸びが期待される。OC-192はその後も着実な成長が見込まれている。

3. Mux (M69897VP) / Demux (M69899VP) の概要

3.1 システム概要

図2に、Mux/Demuxを用いたシステムの概要を示す。Muxは、システム(ASICなど)からの低速パラレル(並列)信号を高速シリアル(直列)の電気信号に変換し、レーザダイオードに出力する。レーザダイオードではその電気信号を光信号に変換し光ファイバに出力する。Demuxは、フォトダイオードからの高速シリアル電気信号を低速パラレル信号に変換し、システム側の論理LSI(ASICなど)に出力する。

3.2 Mux (M69897VP) の概要

図3にMux(M69897VP)のチップ概要を示す。今回開発した16:1 Muxは、156MHzの16ビットパラレルデータを2.5GHzのシリアルデータに変換する。また、SONET/SDH OC-48準拠の16:1 通倍PLLを内蔵し、155MHzの参照クロックから2.5GHzのシリアルクロックを出力する。そのほか、16ビットパラレル入力データのパリティ(偶奇性)をチェックしパリティビット入力(PARITYI)との比較をした上でその結果をパリティエラー(PARIERRO)として出力する機能も内蔵している。

表1にピン機能一覧を示す。入出力I/Oレベルは1.8V-

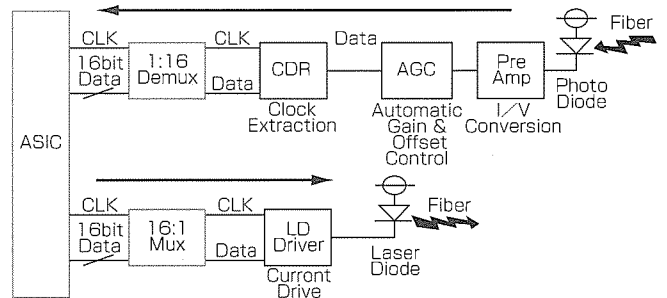


図2. Mux/Demuxを用いたシステム概要

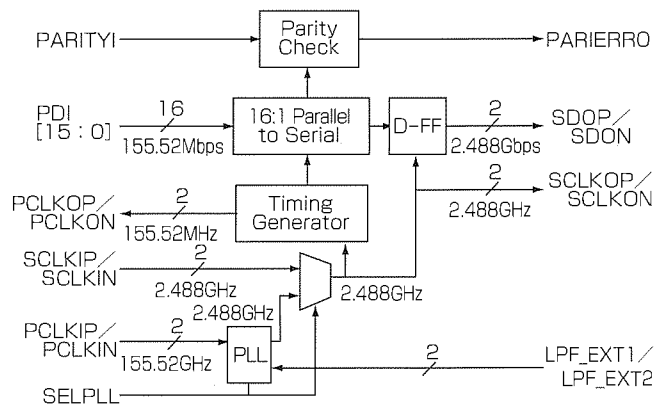


図3. M69897VPのチップ概要

LVPECLで、DC接続時は50Ω終端抵抗を入力～GND間に挿入する。図4はMux(M69897VP)のピン配置図である。電源は1.8V単一電源を使用する。チップ内部でコア用電源(VDD1)、I/O用電源(VDD2)、アナログ電源(VDDANA)の3系統に分けて使用する。表2にAC特性の一覧、図5に関連する入出力タイミングチャートを示す。

表1. M69897VPのピン機能

Pin Name	Level	I/O	Pin#	Description
LPF_EXT1	-	I	22	PLL用フィルタ外部ピン
LPF_EXT2			21	
PDI [15:0]	PECL	I	図4	パラレルデータ入力
SCLKIP	PECL	I	29	シリアルクロック
SCLKIN			30	
PCLKIP	PECL	I	12	パラレルクロック入力
PCLKIN			13	
PARITYI	PECL	I	11	パリティビット入力
SDOP	Differential	O	38	シリアルデータ出力
SDON	PECL		37	
SCLKOP	Differential	O	41	シリアルクロック出力
SCLKON	PECL		40	
PCLKOP	Differential	O	52	パラレルクロック出力
PCLKON	PECL		51	
PARIERRO	PECL	O	53	パリティエラー出力
SELPLL	CMOS	I	20	GND固定
NC	-	-	26, 47, 54	不使用ピン

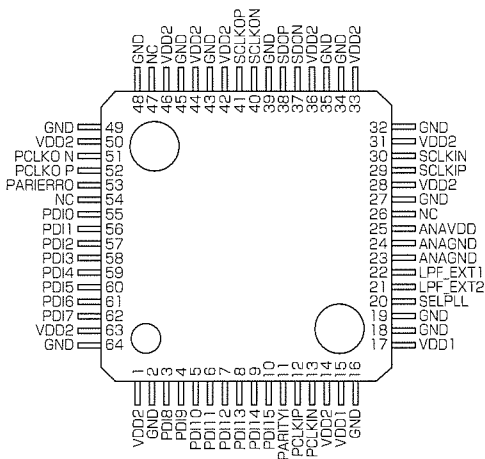


図4. M69897VPのピン配置図

表2. M69897VPのAC特性

Symbol	Description	Min	Typ	Max	Units
	シリアルクロック周波数		2.488		GHz
T <sub>DS</sub>	パラレルデータセットアップ時間	1.0			ns
T <sub>DH</sub>	パラレルデータホールド時間	1.0			ns
T <sub>SD</sub>	シリアルクロック～シリアルデータ出力遅延	-50	50		ps
	シリアルクロック立ち上がり・立ち下がり時間*		100		ps
	シリアルデータ立ち上がり・立ち下がり時間*		120		ps
	パラレルクロック入力立ち上がり・立ち下がり時間*			1.0	ns
	パラレルデータ入力立ち上がり・立ち下がり時間*			2.0	ns
	パラレルデータ入力&パリティ入力間スキュー			1.5	ns

\* 20~80%

高速シリアルクロック及びデータ出力の測定波形を図6に示す。PN23段の擬似ランダムパターンを入力としている。出力データは、パターン依存性の少ない良好なアイ開孔が得られている。消費電力は、出力ピン終端なしの条件で約310mWとなる。

### 3.3 Demux(M69899VP)の概要

図7にDemux(M69899VP)のチップ概要を示す。今回開発した1:16Demuxは、2.5GHzのシリアルデータを156MHzの16ビットパラレルデータに変換する。また、16ビットデータのパリティを示すパリティビット(PARITYO)出力機能を持っている。

表3にピン機能一覧を、図8にピン配置図を示す。Mux/Demuxともに64ピンプラスチックQFP(Quad Flat Package)を使用している。図9が入力クロック・データ及び出力データ・クロックのタイミングチャートである。表4に入出力のAC特性をまとめた。消費電力は、出力ピン終端なしの条件で約340mWとなる。

## 4. ユーザー評価用ボード

ユーザーが高速デバイスを測定評価するための負荷を軽減するため、M69897VPとM69899VP両チップを搭載したデータ転送評価用ボードを作成した。

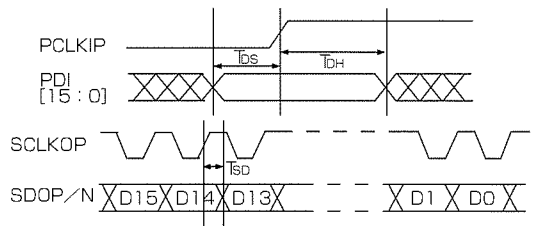


図5. M69897VPのタイミングチャート

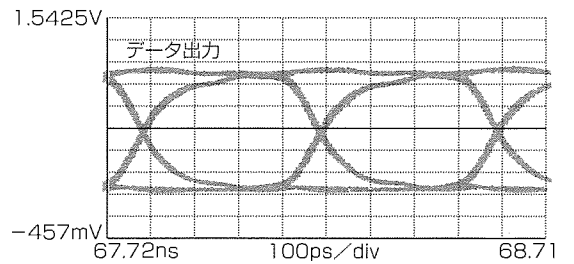
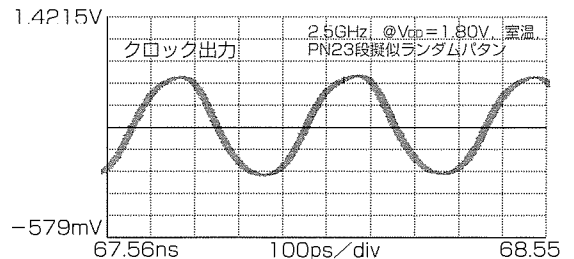


図6. M69897VPのシリアルクロック及びデータ出力波形

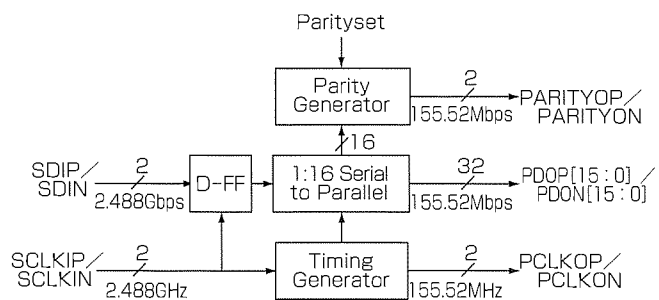


図 7. M69899VPのチップ概要

表 3. M69899VPのピン機能

Pin Name	Level	I/O	Pin#	Description
SCLKIP SCLKIN	差動PECL	I	11 10	シリアルクロック入力
SDIP SDIN	差動PECL	I	14 13	シリアルデータ入力
PARITYSET	CMOS	I	21	パリティビットセット
PDOP[15:0] PDON[15:0]	差動PECL	O	図 8	パラレルデータ出力
PCLKOP PCLKON	差動PECL	O	6 5	パラレルクロック出力
PARITYOP PARITYON	差動PECL	O	24 23	パリティビット出力

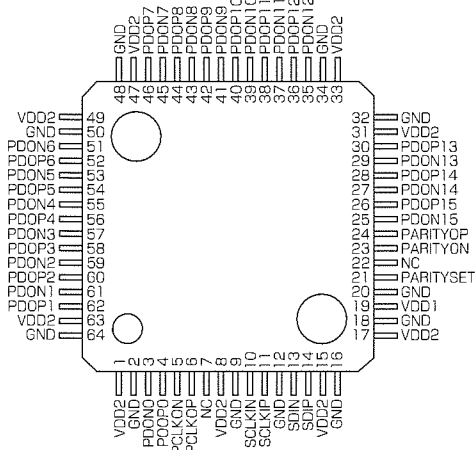


図 8. M69899VPのピン配置図

Demuxの16対パラレル出力を基板上でMuxの入力として配線しているため、インタフェースがシンプルになり、測定の手間が大幅に簡素化されている。

Mux/Demux評価ボードの写真を図10に示す。ボード左側から高速データ・クロックをDemuxに入力し、ボード右側からMuxの高速データ・クロックを出力する構成となっている。基板サイズは208mm×208mm、電源電圧は1.8V単一、インタフェースは1.8V-LVPECLである。

### 5. む す び

インターネットの普及などで急速な需要が見込まれる高

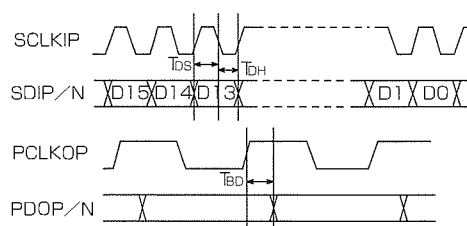


図 9. M69899VPのタイミングチャート

表 4. M69899VPのAC特性

Symbol	Description	Min	Max	Units
T <sub>DS</sub>	シリアルデータセットアップ時間	50		ps
T <sub>DH</sub>	シリアルデータホールド時間	50		ps
T <sub>BD</sub>	パラレルデータ～パラレルクロック出力遅延		500	ps
	パラレルクロック出力デューティ比	45	55	%
	パラレルデータ出力立ち上がり・立ち下がり時間*		400	ps
	パラレルクロック出力立ち上がり・立ち下がり時間*		300	ps

\* 20~80%

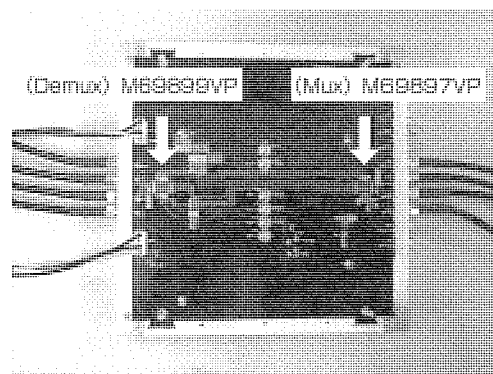


図10. Mux/Demuxの評価ボード

速通信用マルチプレクサ(Mux)/デマルチプレクサ(Demux)LSIの開発を行った。用いたプロセスは部分空乏型0.18μm-SOI/CMOS、動作速度は2.5GHzでOC-48準拠のインタフェース機能を持っている。消費電力は、Demuxが340mW、Muxが310mW(いずれも出力オープン条件下での値)で、従来の化合物やSiバイポーラ技術によって製造された製品の半分以下の低消費電力となる。

今後、コアのIP化も含め更なる高性能化・多機能化の製品開発を進め情報化社会のキーデバイス開発を発展させていく所存である。

### 参 考 文 献

- (1) Nakura, T., Ueda, K., Kubo, K., Matsuda, Y., Mashiko, K., Yoshihara, T.: A 3.6-Gb/s 340-mW 16:1 Pipe-Lined Multiplexer using 0.18μm SOI-CMOS Technology, IEEE Journal of Solid-State Circuits, 35, No.5, 751(2000)

# 携帯機器向けカラー人工網膜LSI

原 邦彦\* 新田嘉一\*\*\*  
 近藤由和\*\* 久間和生\*  
 久保洋士\*\*\*

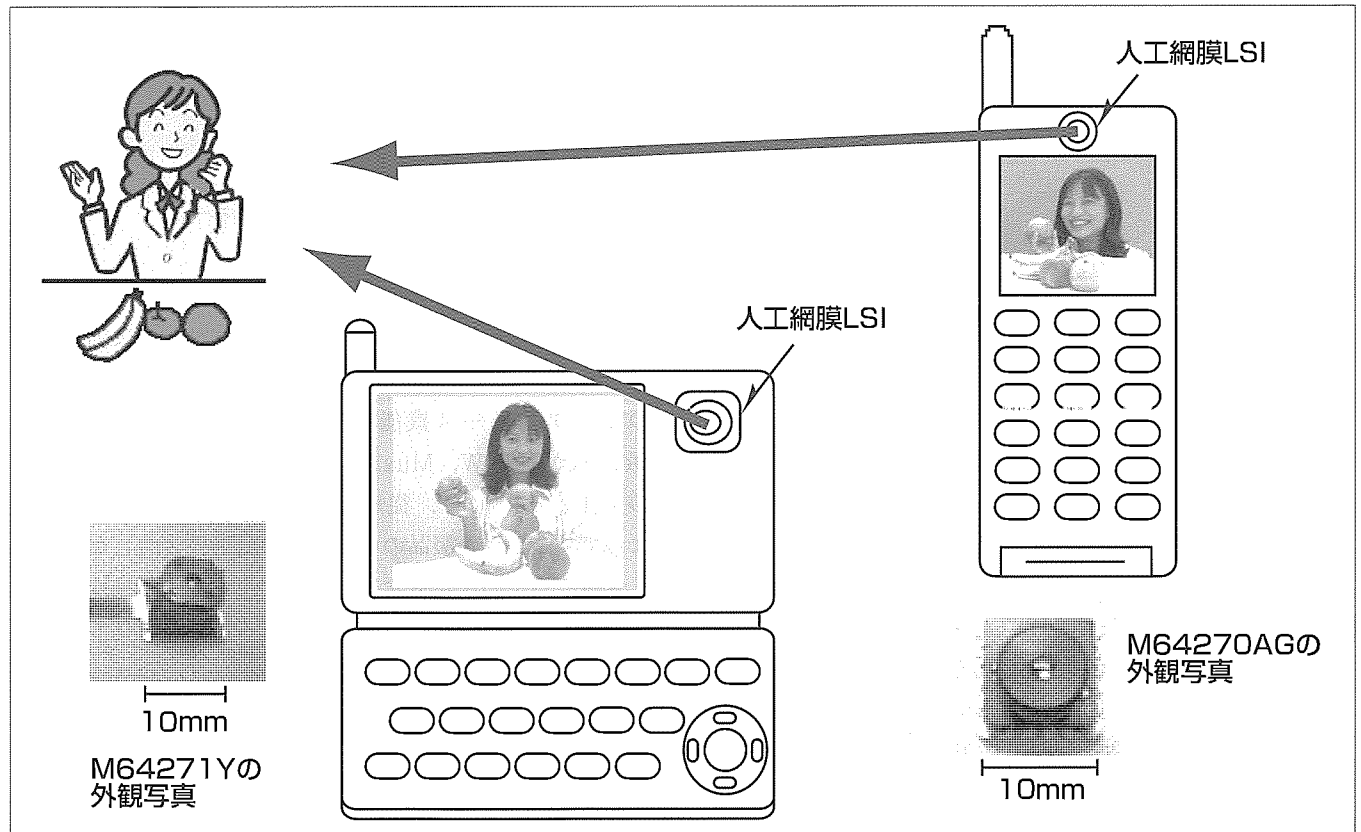
## 要 旨

最近、携帯電話や携帯端末へカメラを搭載するニーズが急速に高まっている。しかし、従来のCCDカメラは、画像検出を行うCCDイメージセンサ以外にアナログ信号処理ICなど多くの周辺ICで構成されているので、小型・低消費電力が要求される携帯機器には適さない。これに対し、三菱電機の人工網膜LSIは、画像検出と信号処理機能を兼ね備えたデバイスであり、その高い機能性を活用すればコンパクトなカメラシステムの構築が可能である。

本稿では、携帯機器向けカラー人工網膜LSIとしてM64270AGとM64271Yの技術概要を解説する。M64270AG

は、0.8ccの小型レンズ一体型パッケージに封入した画素数160×144の人工網膜LSIである。機器本体側のマイコンに接続するだけでカラーカメラが構築でき、消費電力も33mWと低い。一方、M64271Yは、画素数352×288の人工網膜LSIとカラー信号処理ASICの2チップを0.7ccの小型レンズ一体型パッケージに封入した製品である。M64271Y単体でカラー撮像に必要なすべての処理を実行するだけでなく、フリッカ除去、射影などの機能も搭載している。消費電力は50mWである。

特集  
I



## カラー人工網膜LSIの外観写真と携帯機器への応用イメージ

カラー人工網膜LSI“M64270AG”及び“M64271Y”は、小型レンズ付きパッケージに封入されたワンチップカメラであり、携帯電話や携帯端末への搭載に最適である。

## 1. ま え が き

携帯電話、携帯端末の普及が進むにつれ、従来の音声と文字の伝送だけでなく、画像(静止)を活用した情報通信が急激に拡大している。さらに、2001年に次世代携帯電話サービスが開始されれば、その高速転送レートを活用した動画通信が本格的に立ち上がると予測されている。このような携帯市場における画像通信の拡大に伴い、画像を携帯機器に直接取り込むために必ず(須)のイメージセンサに対するニーズも急速に増加している。ただし、携帯機器向けでは、単に高画質というだけでなく、低電圧の単一電源で動作すること、消費電力が少ないこと、レンズを含めて小型なカメラシステムが構築できることが求められている。

これに対し三菱電機のカラー人工網膜LSI“M64270AG”及び“M64271Y”は、携帯機器向けに最適なイメージセンサである。M64270AGは画素数160×144(QCIF相当)、M64271Yは画素数352×288(CIF)である。両者ともレンズ付きパッケージに封入されており、小型で低消費電力なカメラシステムの構築が可能である。

本稿では、M64270AG及びM64271Yの技術概要を紹介する。

## 2. 人工網膜LSIの特長とカメラシステムの構成方法

カラー撮像機能を備えたカメラシステムを構築するには、レンズを介して入力される光画像情報を電気信号に変換する画像検出だけでなく、生の撮像信号に対しノイズ低減、ゲインとオフセット調整を行う基本信号処理、画素補間、色バランス調整、γ補正などを行うカラー信号処理、各種撮像パラメータ(露光時間、ゲインなど)の自動調整など多くの処理が必要である(図1)。

従来のCCDカメラはCCDイメージセンサ、アナログ信号処理IC、タイミング生成IC、カラー信号処理ASIC、レンズなど多くの部品で構成されていた。これに対し、人工網膜LSIは画像検出機能と画像処理機能を兼ね備えたデバイスであり、その高い機能性を活用すればコンパクトなカメラシステムの構築が可能である。

図2に人工網膜LSIを用いたカメラシステムの構成方法

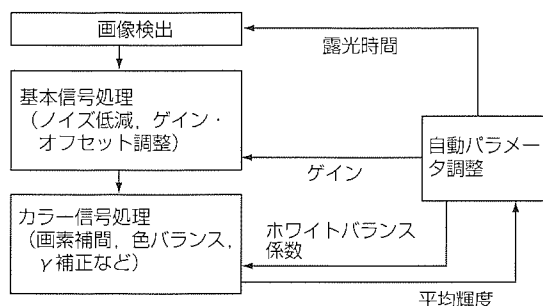


図1. カメラシステム構築に必要な処理

を示す。図の(a)はレンズ一体型パッケージに封入した人工網膜LSIと機器本体側のマイコンのみからなる構成である。カメラ向けで使用できるマイコンの演算パワーは限られるので、人工網膜LSIの設計においては次の点が重要である。

- 各種信号処理は人工網膜LSIの周辺アナログ回路部で実行する。一方、アナログ処理に適さない自動パラメータ調整はマイコンのファームウェアで実行する。
- 1画素当たり3個のフォトディテクタ(RGB)を配置し、大規模な演算回路、メモリ(ラインバッファ)を必要とする画素補間演算を不要にする。

(a)の構成は3章で説明するM64270AGのように比較的低解像度のシステムに適している。

一方、解像度が高くなると1画素が占有できる面積が縮小するため、Bayerパターンのような後段で画素補間が必要となる画素アレー構成を採ることになる。この場合は図の(b)に示す人工網膜LSIとカラー信号処理ASICをレンズ一体型パッケージに封入する構成が適している。この構成ではカメラシステムに必要な機能を二つのチップに適切に割り振ることが重要である。4章で説明するM64271Yはこの構成を採用している。

なお、二つの構成ともレンズ一体型パッケージに実装されているが、これはユーザーにとっては複雑な光学系設計を行う必要がなくなるという大きな利点になる。

## 3. QCIF版カラー人工網膜LSI“M64270AG”

### 3.1 チップ構成と動作

図3にM64270AGのチップ構成を示す。画像検出を行う画素アレーに加えて、基本信号処理回路、カラー信号処理回路、アナログ-デジタル(A-D)変換器、画像処理回路(エッジ強調回路)が集積されており、撮像に必要な基本的な処理がワンチップで実行可能である。

画素アレーには22μm角の画素が160×144個配置されている(QCIF相当)。各画素はストライプ状の三つのフォトディテクタ(RGB)で構成した(各画素当たり3色の情報)。画素アレー部でRGBの輝度信号が直接得られるため、後段での画素補間は不要である。

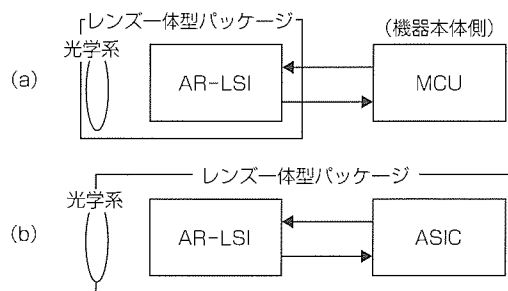


図2. カメラシステムの構成方法

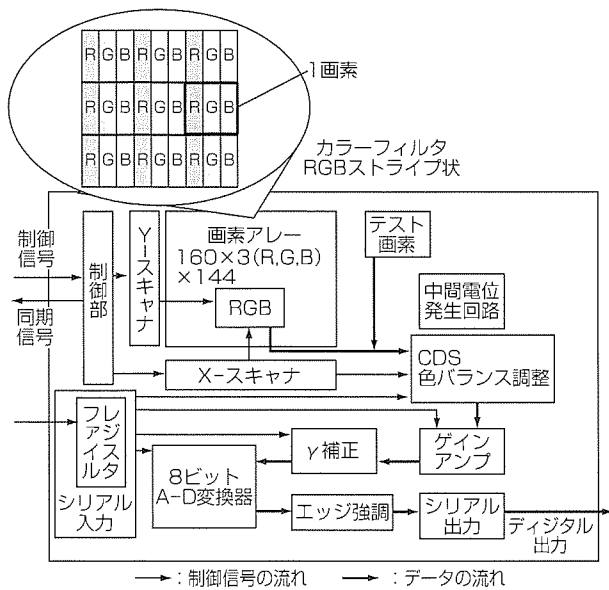


図3. QCIF版カラー人工網膜LSIの構成

基本信号処理回路としては、固定パターンノイズを低減するための相関二重サンプリング(CDS)回路、画像信号のゲイン調整を行うアンプ、画像信号のオフセット調整を行う中間電位発生回路が内蔵されている。

カラー信号処理回路としては、色バランス調整回路、 $\gamma$ 補正回路を内蔵した。色バランス調整回路はRGBの輝度信号を各色独立に調整する回路であり、照明条件(色温度)に応じた撮像が可能となる。また、 $\gamma$ 補正回路は、表示デバイスの特性を考慮した輝度信号変換を行う。これらの回路の動作パラメータ(ゲイン、色バランス係数、 $\gamma$ 係数など)は、レジスタ値を介して外部から調整可能である。

さらに、画像処理回路としてエッジ強調回路を内蔵している。エッジ強調とは、原画像に含まれる輪郭線を際立たせる処理である。エッジのみの画像(エッジ抽出画像)を出力することも可能であり、撮像した画像から線画を作成する応用などに役立つ。

表1にこのLSIの仕様を示す。中間電位発生回路を内蔵しているため、3V単一電源動作が可能である。消費電力も33mWと小さい。また、0.8ccという小型なレンズ付きパッケージに封入されている。

### 3.2 カメラシステムへの応用

M64270AGは、マイコンの汎用ポートに直結できるシリアルインタフェースを搭載しており、図2の(a)に示すように、機器本体側のマイコンに接続するだけでコンパクトなカメラシステムの構築が可能である。マイコンのファームウェアでは、M64270AGから出力される画像信号を基に撮影環境に応じた露光時間、ゲイン、色バランス係数を計算するとともに、その値をM64270AGのレジスタに設定しフィードバックを行う。

表1. M64270AGの仕様

チップ仕様	
有効画素数	(H)160×3(R, G, B)×(V)144
カラーフィルタ	RGBストライプ状
画素サイズ	22μm×22μm/RGB
画素エリア	(H)3.520×(V)3.168 (mm)
フレームレート	10fps(typ)
入力クロック周波数	3MHz(typ)
電源電圧	2.75~3.3V
消費電力	30mW@3.0V, 3MHz(typ)
S/N	56dB@3.0V
光学仕様	
光学系	約1/4インチフォーマット
レンズ材料	PMMA
レンズ構成	プラスチック1群1枚
Fナンバー	2.2
水平画角	55°

## 4. CIF版カラー人工網膜モジュール“M64271Y”

### 4.1 CIF版人工網膜LSI

図4に、CIF版人工網膜モジュールM64271Yに使われている人工網膜LSIの構成を示す。画素部には10μm角の正画素が(H)352×(V)288個配置されている。カラーフィルタはRGBのBayerパターンを採用した(各画素当たり1色の情報)。画素補間処理は後段のASICで実行される。画素信号を時系列に読み出すためのスキャナは双方向に走査可能な回路を導入した。これは、カメラ部に回転機構を設けた際に必要なスキャン反転機能を実現するためのものである。後段のASICで実現する場合に比べ、フレームメモリが省略できるという利点がある。また、水平及び垂直のブランキング期間を設定する機能も持っている。

基本信号処理回路としては、CDS回路、ゲイン調整用のアンプ、オフセット調整用の中間電位発生回路を内蔵している。ゲイン及びオフセットはレジスタ制御であり、レジスタ値はシリアルインタフェースを介してASICから書換え可能である。

### 4.2 カラー信号処理ASIC

図5に、M64271Yに使われているカラー信号処理ASICの構成を示す。CIF版人工網膜LSIの画像データ(Bayerパターン)に対して画素補間を行うほか、 $\gamma$ 補正・色調補正・フィルタ処理などのカラー信号処理機能を内蔵している。また、自動パラメータ調整機能を搭載し、露光時間・ゲイン・色バランス調整をASIC単体で実現した。マイコンによる自動パラメータ制御が不要となるため、ファームウェアに対する負荷やシステムの消費電力を低減できる。

さらに、携帯用途に適した画像処理機能を2種類開発した。一つ目は、カメラシステムにつきまとう蛍光灯フリッカの自動検出・除去機能である。フリッカは商用交流のちらつきがしま(縞)状明暗となって画像に重畳する現象で、

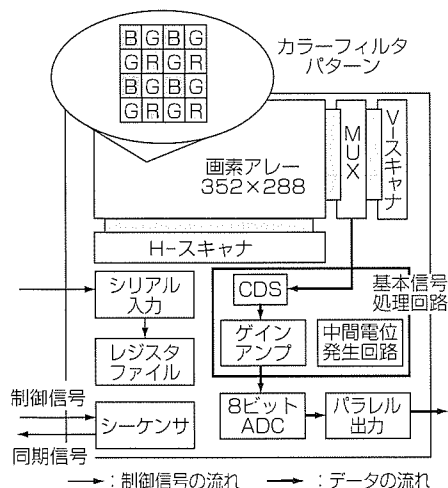


図4. CIF版人工網膜LSIの構成

日本のように2種類の電源周波数が混在する地域では、自動的に検出・除去することが望ましい。このASICでは、画像処理によって電源周波数を検出し、明暗の差が最小になるようパラメータを調節する回路を搭載した。

二つ目は、画像データの射影演算機能である。射影情報を利用した各種アプリケーションの開発に役立つ。システムの計算パワーやポートを無駄に消費しないよう、画像データを機器本体側のマイコンで処理しやすいサイズ(64バイト射影データ)まで圧縮し、I<sup>2</sup>Cバスを介して随時読み出す構成とした。

#### 4.3 全体構成

人工網膜モジュールM64271Yは、CIF版人工網膜LSIとカラー信号処理ASICをレンズ一体型パッケージに封入した構成である(図2の(b))。その特長を以下に示す。

- 3V単一電源による動作が可能

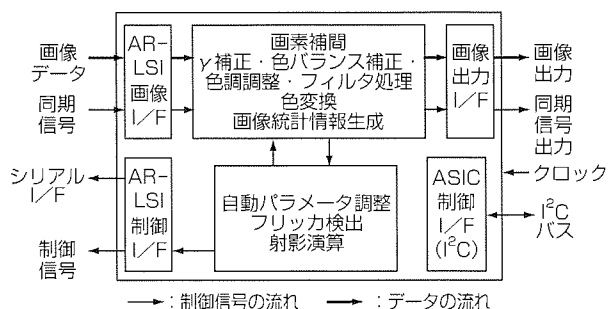


図5. カラー信号処理ASICの構成

- モジュール全体の消費電力は約50mWと低い
- レンズ部を含めて0.7ccと小型
- 撮像機能以外にフリッカ除去と射影という画像処理機能を搭載

なお、現在は2チップ構成によってモジュールを構築しているが、将来的にはすべての機能を1チップに搭載するシステムLSI化も展開する予定である。

#### 5. むすび

携帯機器向けカラー人工網膜LSIとしてM64270AGとM64271Yの技術概要を解説した。両者とも小型レンズ一体型パッケージに搭載し、単一電源動作、低消費電力という携帯用途に最適な特長を持っている。

また、当社では、人工網膜LSIの画像処理機能を活用した画像認識アルゴリズムの開発も行っている。今後は、人工網膜LSI/モジュールというハードウェアを提供するだけでなく、ユーザーのアプリケーション開発に役立つ画像応用技術も提供していく予定である。

# 高性能32ビットマイコン M32C/83グループ

山崎貴志\* 新田康彦\*  
中村和夫\* 野口達也\*\*  
藤高繁明\*

特集  
I

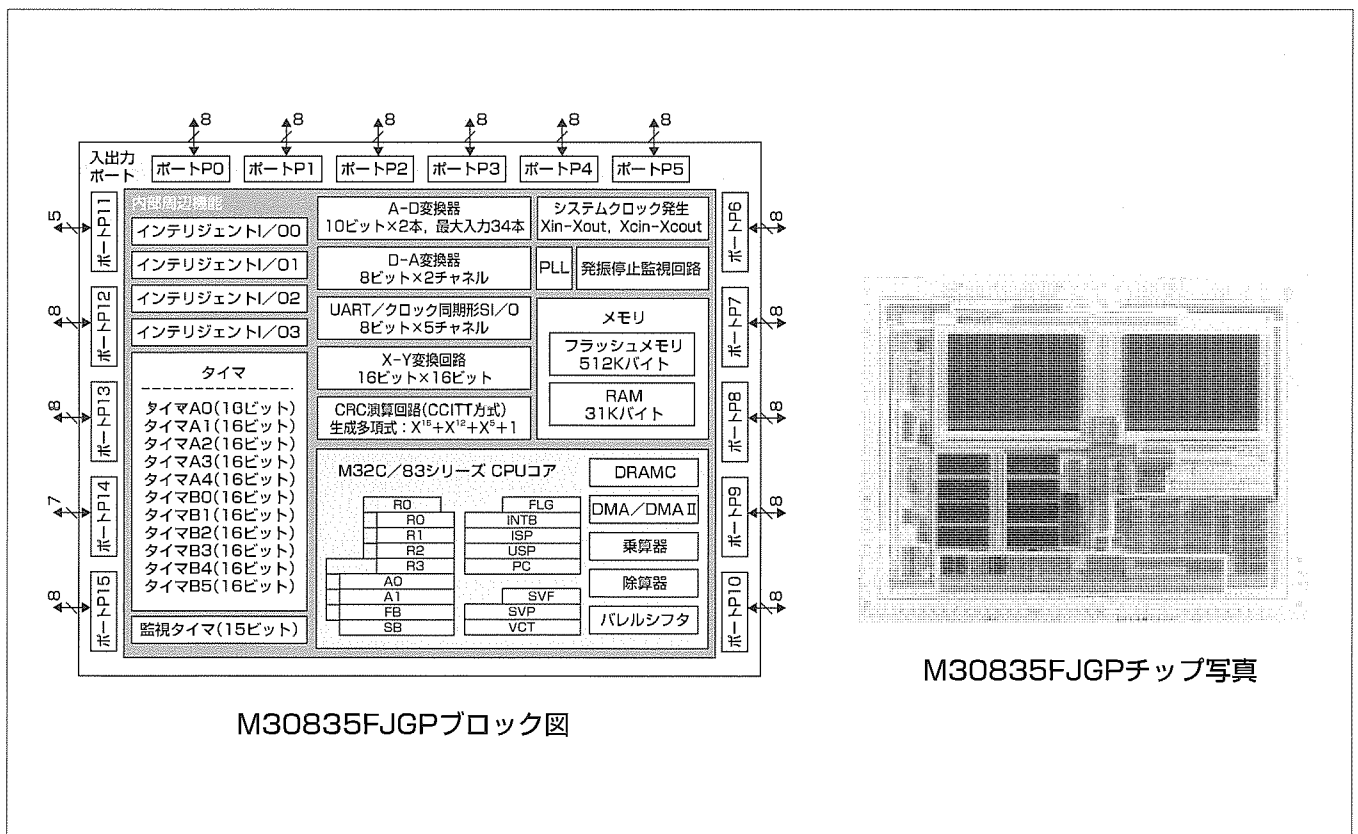
## 要旨

M32C/83は、高速な演算処理が必要な産業機器・通信機器・OA機器などの制御に適した高性能32ビットシングルチップマイコンであり、命令セットと内部構造の最適化によって高速性とRISCの約2倍のROMコード効率を実現している。また、M16C/80で内蔵したDSPクラスの積和演算能力を実現する乗算器に加え、シフト命令を高速に実現するバレルシフタや32ビット除算を行う除算器を内蔵することで、32ビットシフト命令や32ビット除算命令を実現した。周辺機能についても、三菱電機独自のインテリジェントI/Oと呼ぶ高機能I/Oを内蔵した。もちろん、M16Cファミリの特長である低ノイズふく(輻)射、高ノイズ耐性、低消費電力という特長も継承している。

M32C/83(M30835FJGP)の主な仕様は次のとおりである。

- メモリ容量：ROM 512Kバイト，RAM 31Kバイト
- 電源電圧：4.2～5.5V
- 動作周波数：最大30MHz
- 消費電流：38mA (30MHz動作時)
- 周辺機能 (新規分)：
  - ・インテリジェントI/O 4チャンネル
  - ・波形生成機能，時間計測機能，各種通信機能 (UART, SI/O, HDLC, IEBus<sup>®</sup> など)
  - ・DMA II (高機能DMA)

(注) “IEBus”は、日本電気(株)の商標である。



M30835FJGPブロック図

M30835FJGPチップ写真

## M30835FJGPのチップ写真とブロック図

高性能CMOSプロセスを採用しており、M32C/80CPUコアとフラッシュメモリ512Kバイト、RAM 31Kバイト、インテリジェントI/Oなどの周辺機能を多数内蔵している。



## 1. ま え が き

M32C/83(M30835FJGP)は、高効率C言語対応と高速処理、低消費電力、ノイズ耐性などの特長で好評を得ているM16Cファミリの最上位に位置する。

M32C/83は、M16Cファミリのこれらの特長を継承しながら30MHz高速動作を実現し、さらに32ビット演算命令にもフルに対応するなど、CPUのブラシュアップを行っている。M32C/83は23VAXMIPSの性能を持っている。

また、インテリジェントI/Oと呼ぶ独自の周辺機能を内蔵することで様々な通信機能にも対応できる仕様とした。表1にM30835FJGPの概略仕様を示す。

## 2. CPU性能強化

M32C/83のCPUコアは、M16C/80CPUコアをベースに、パレルシフトと除算器を内蔵した。これにより、従来可能であった32ビットの加算、減算、転送命令に加え、乗算、除算、シフト命令も可能となった。

## 3. インテリジェントI/O

M32C/83は、新規機能としてインテリジェントI/Oを内蔵した。インテリジェントI/Oとは、タイマ機能と通信機能を一体化することにより、若干のソフトウェアの処理によってこれまで専用回路を必要としていた特殊通信機能を汎用回路で実現できるようにしたものである。

従来、カーオーディオ市場ではIEbus、通信市場ではHDLC(ISDN)、自動車市場ではCANなど、それぞれの市場で用いられる独特の通信プロトコルを持った特殊通信手段は専用のハードウェアを必要としていた。これを実現するためにはチップ内に専用の機能ブロックを組み込むことが必要で、コストアップの原因の一つにもなる上、その用途にしか使えないというデメリットがあり、汎用マイコンに内蔵するのは不利な面が多い。

そこで、通信に使用するクロックにタイマ機能を利用することによって通信機能とタイマ機能を一体化させるという発想で開発したものがインテリジェントI/Oである。

インテリジェントI/Oは、タイマ機能部とシリアルI/O機能部で構成される。

### 3.1 タイマ機能部

タイマ機能部は、16ビットのベースタイマと8本の16ビットの波形生成レジスタ又は時間計測レジスタで構成される。ベースタイマは、カウントソースを発振周波数(f1)、最大80MHzまで発生可能なPLLクロック、外部クロックの中から選択でき、しかも5ビットのプリスケアラを内蔵しているので、幅広い計測が可能になる。

時間計測レジスタは、外部入力信号のエッジタイミング時のベースタイマ値をラッチする機能を持つレジスタであ

表1. M30835FJGPの概略仕様

<CPU>	
基本命令数	108命令
最短命令実行時間	33ns(f(xin)=30MHz)
メモリ空間	16Mバイト
<メモリ>	
ROM	512Kバイト
RAM	31Kバイト
<周辺機能>	
インテリジェントI/O	4グループ
時間計測機能	12チャンネル
波形生成機能	28チャンネル
通信機能	クロック同期シリアルI/O
	UART
	HDLC
	IEバス
シリアルI/O(従来機能)	5チャンネル
A-D変換器	10ビットAD×2回路
D-A変換器	8ビットDA×2回路
DMAC	4チャンネル
DMAC II	すべての可変ベクタ割り込み要因で起動
DRAMC	CASビフォアRASリフレッシュ
CRC演算回路	CRC-CCITT方式
X-Y変換回路	16ビット×16ビット
監視タイマ	あり
割り込み	内部41本、外部20本、ソフトウェア4本
<電気的性能>	
電源電圧	4.2~5.5V(f(xin)=30MHz, ウェートなし)
消費電流	38mA(5V, f(xin)=30MHz, ウェートなし)
入出力特性	入出力耐電圧 5V
	入出力電流 5mA
動作周囲温度	-40~85℃
素子構造	CMOS高性能シリコンゲート
パッケージ	144ピンプラスチックモールドQFP

る。時間計測機能には、最初のエッジが入った後に一定期間の間入力エッジを禁止するゲート機能や、設定回数のエッジが入るまでベースタイマの値をラッチしないプリスケール機能なども内蔵した。

波形生成レジスタは、設定した値とベースタイマの値が一致したとき制御信号を発生し、それによって様々な種類のパルスを発生することができるようにしたものである。

パルス出力方法としては、PWM(パルス幅変調)出力4種類とRTP(リアルタイムパルス)出力を用意した。

出力モードには次のものがある(図1)。

#### (1) 単相波形出力モード

ベースタイマのクリアタイミングでセットされ、波形生成レジスタとの一致タイミングでクリアするモードである。周期固定でパルスのデューティのみを可変にする場合に有効なモードである。

#### (2) 反転出力モード

波形生成レジスタとの一致タイミングで出力を反転させ

るモードであり、“H”“L”の長さを交互に設定することによって周期とデューティの両方を可変にできる。

(3) S-R出力モード

このモードでは、セットするタイミングを決定する波形生成レジスタとリセットするタイミングを決定する波形生成レジスタを別々に使用することにより、反転出力モードよりも更に自由度の高いパルスの発生が可能となる。

(4) ビットモジュレーションPWM出力モード

一部のチャンネルにはビットモジュレーション方式のPWM波形出力機能も内蔵した。

この方式は、波形生成レジスタの上位6ビットでPWM周期を決定し、下位10ビットでビットモジュレーションする頻度を決定する方式のPWMである。このPWM方式では、各パルスの周期が短いため、電圧を細かく制御する用途などに最適である。

(5) RTP出力モード

同じく一部のチャンネルにはRTP出力モードも内蔵した。ベースタイムと波形生成レジスタの一致タイミング信号により、あらかじめRTPレジスタに設定した値を該当するI/Oポートから出力する。各端子に波形生成レジスタのチャンネルを一致させる通常RTPモードと、すべての波形生成レジスタを全ポートのRTP出力タイミングとする並列RTPモードの2種類を用意した。

3.2 シリアルI/O機能部

インテリジェントI/Oにはベースタイムを基本とした波形生成レジスタが存在し、その一致信号は、シリアル

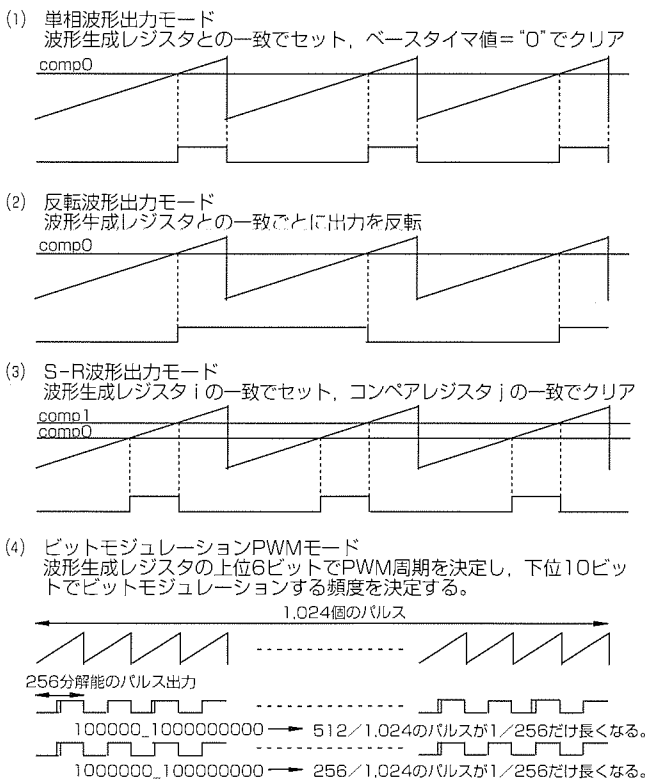


図1. パルス出力機能

I/O部に必要なクロックの変化タイミング、送信シリアルデータ出力タイミング、受信シリアルデータラッチタイミングとして使用することができる。

図2に、インテリジェントI/Oを使用したクロックドシリアルI/Oのブロック図を示す。

ch0(チャンネル0)の波形生成レジスタの一致でベースタイムはクリアされる。すなわち、ch0は、シリアルI/Oの通信速度を決定する機能を持っている。

ch3は、パルス出力機能を利用してシリアルクロックを生成するのに利用する。ch3の一致でシリアルクロックをセットし、ベースタイムのクリアでリセットする。ch3に設定する値によってクロックのデューティも可変にすることができる。

ch1は、受信したデータのサンプリングタイミングを決定する。送信クロックに対して、受信データの出力遅延が大きい場合には、サンプリングタイミングを後ろにずらすことも可能になり、通信系の自由度が非常に高くなる。

シリアルI/O機能部にはデータの受信カウンタを内蔵しているため、所定のビット数のデータを送信/受信すれば自動的に停止させるようにしている。

この考え方をベースに、パリティ検出、CRC演算、ビットスタッフィング、アドレス比較などの各通信プロトコルに必要なハードウェアを内蔵することで、

- クロックドシリアルI/O
- UART(非同期シリアルI/O)
- HDLC

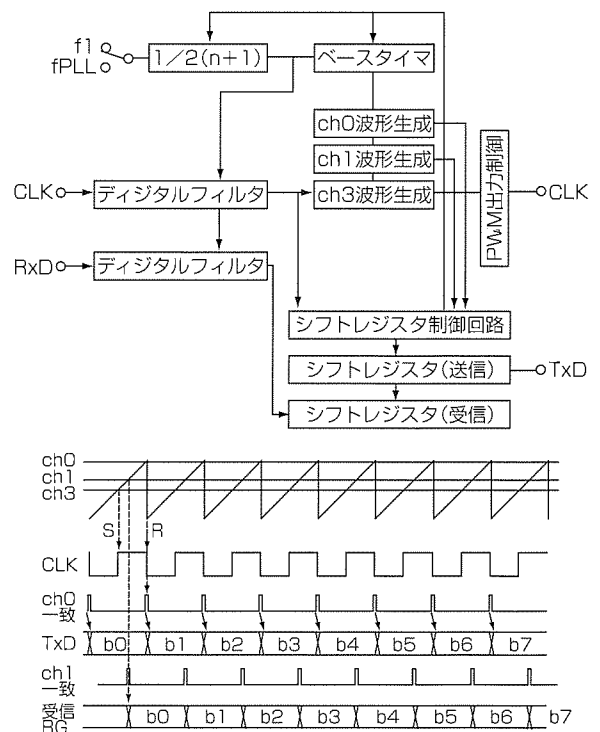


図2. インテリジェントI/OによるクロックドシリアルI/Oの構成

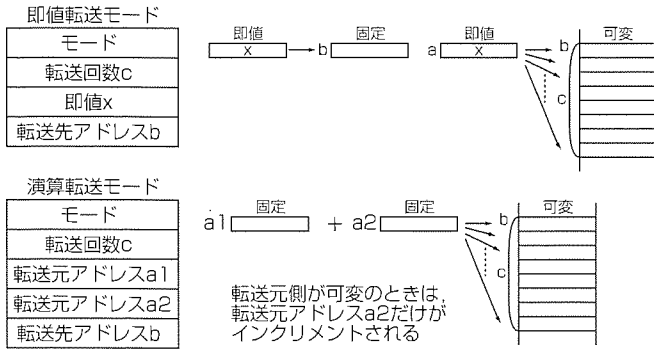


図3. DMA IIによる転送例

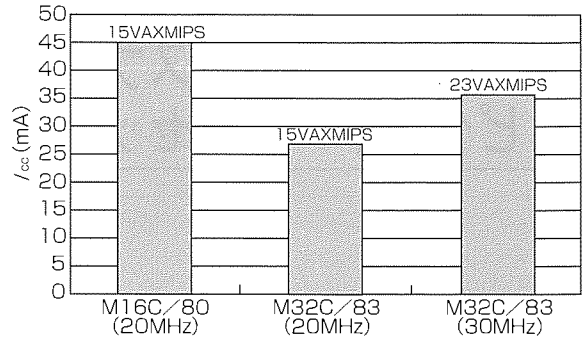


図4. 消費電流

● IEBus

などの通信機能を実現できるようにした。

4. DMA II (高性能DMAコントローラ)

M32C/83には演算機能を持った高性能DMAコントローラDMA IIを内蔵した。このDMAコントローラは、割り込み要求信号をトリガとして、RAMに格納された転送パラメータに従ってDMA転送を実行する。ここで特長的なのは、転送元アドレスに格納されたデータに即値や別のアドレスに格納された値を加算して転送先に転送することができることである。これと前述したインテリジェントI/Oを組み合わせて使用することによって、出力パルスの制御を容易に行うことができる。すなわち、パルスエッジのタイミングで時間計測レジスタにラッチした値とあらかじめ設定したRAMの値を加算して波形生成レジスタに書き込む。この動作をDMA IIで実行することができる。パルスの周期はRAMの値を書き換えることで変更でき、パルス出力はDMA IIとインテリジェントI/Oで自動的に出力できる。

そのほかにも、バースト転送やチェーン転送など多彩なDMA転送を可能とした(図3)。

5. 特性評価

M32C/83は、内部3.3Vで動作させるためにVDC(電圧降下回路)を内蔵した。内部回路の電源を下げることによって、図4に示すように、消費電流もM16C/80の57%程度まで下げることができた。消費電流が小さいため自己発熱も抑えることができ、従来以上に高温動作保証の対応が容易になる。

性能面では、M32C/83は、高性能CMOSプロセスの採用により、30MHzでの高速動作を実現した。内蔵のRAM

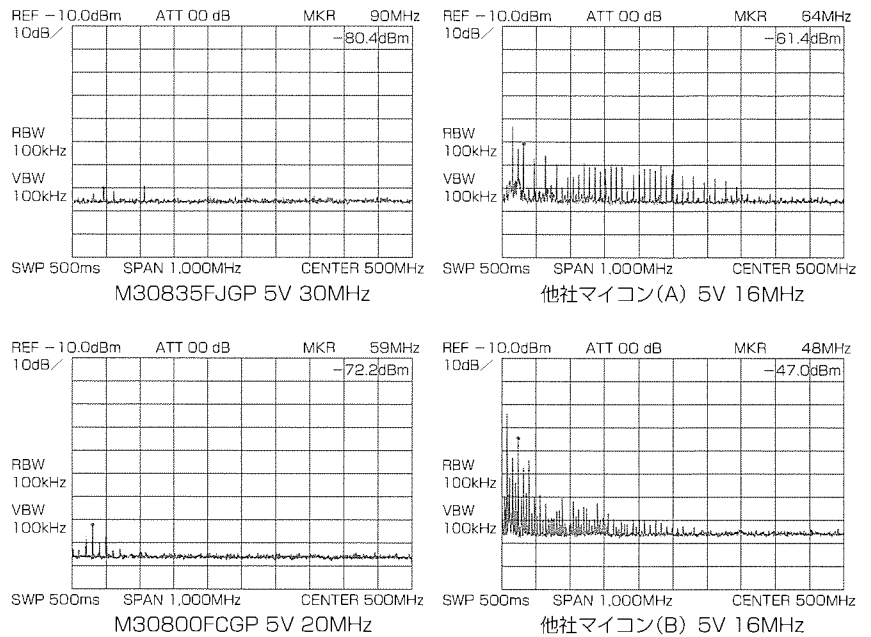


図5. EMIノイズ比較

やフラッシュメモリもノーウェイトでアクセス可能である。

また、M16Cファミリの大きな特長である低ふく(輻)射ノイズの特性についても、図5に示すように、M16C/80(M30800FCGP)より更に低くなっていることが分かる。

このように、M32C/83は、高性能周辺機能の内蔵やCPU能力のブラシュアップなどによって更に高い処理能力を持つとともに、低消費電流、低輻射ノイズというM16Cファミリの特長も向上させることができた。

6. むすび

以上、M32C/83の仕様・特長について述べた。

M32C/83は、今後インテリジェントI/Oの本数を削減したM32C/81(インテリジェントI/O×2)、M32C/82(インテリジェントI/O×3)の開発やメモリ展開を行っていく予定である。

さらに、高速化・高機能化の要求にこたえていくため、完全32ビット処理のM32C/100も既に仕様の検討を開始した。

# フラットパネルディスプレイ向け ピクチャプロセッサM6661×FPシリーズ

坂下和広\* 松本 誠\*  
杉浦博明\*\* 島川和弘\*\*\*  
西 春彦\*

特集  
I

## 要 旨

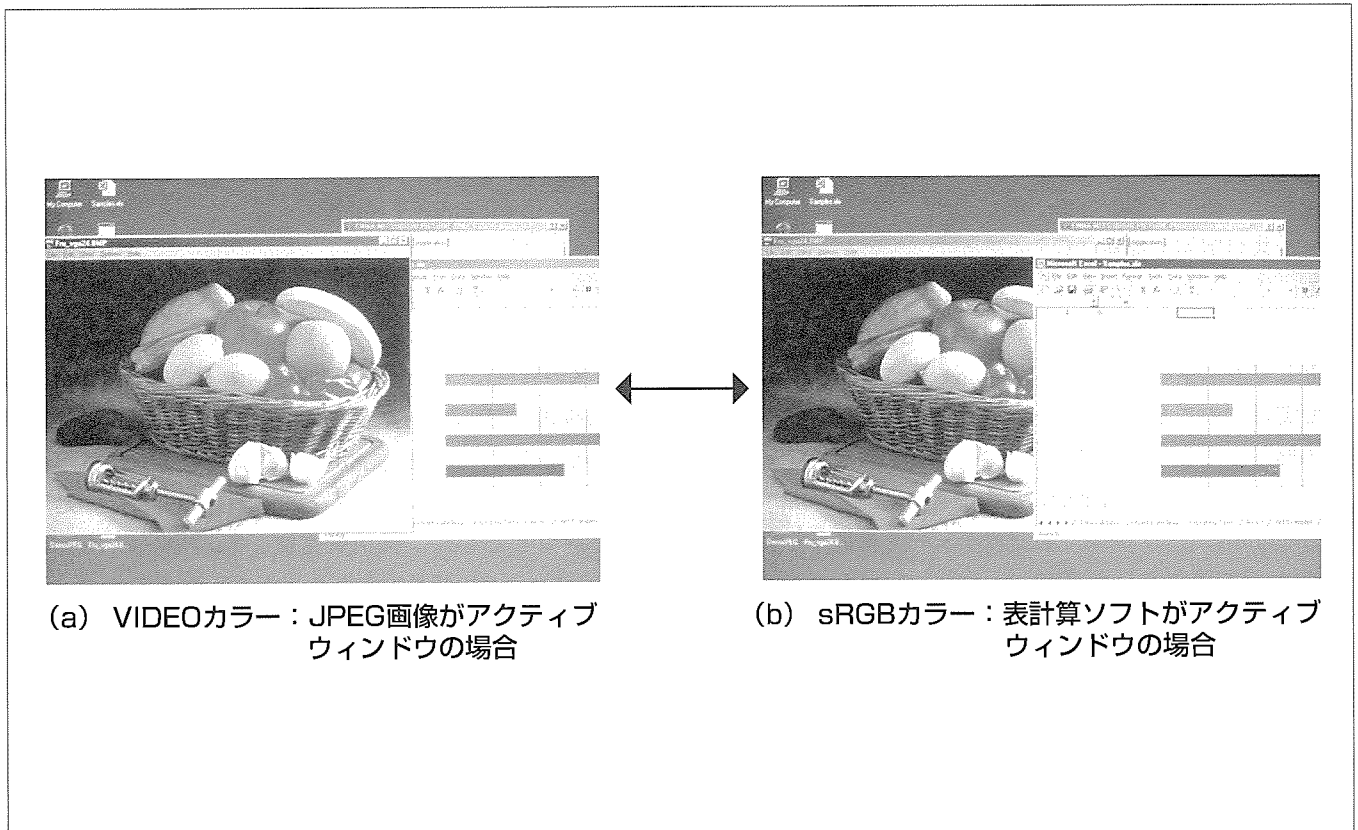
近年のコンピュータの急激な普及に伴い、コンピュータモニタに要求される役割も大きく変わってきている。そして、次の二つの面からモニタで色を制御する必要が生じてきている。第一はインターネットを利用した商取引に伴う色合わせの必要性が生じたこと、第二は本来TVで見ていた画像をコンピュータモニタで見る機会が増加し、きれいな(人工的な)色で画像を見たいという要望が高まってきたことである。

これらの要求にこたえるため、従来のマトリックス演算の方式の問題点を解決した新しい色変換の演算方式を開発した。この方式により、モニタ装置が本来持つ色再現域を狭めることなく、リアルタイムに色変換を実施することが可能になった。

M6661×FPシリーズのピクチャプロセッサは、この新しい色変換方式を始め、高精細なスケーリング、フレー

ムメモリを用いないインタレース処理など随所に新しい機構を盛り込んだサブメガゲート規模のLSIである。開発に当たりCプログラムでのアルゴリズムの確認、HDL(Hardware Description Language)記述をベースとしたFPGA(Field Programmable Gate Array)ボードでの実動作の検証などを採用し、短期間に開発を完了することができた。

このLSIは、演算係数を切り換えることによって何種類も異なる色合いを再現することが可能である。この特長を最大限に生かすために、パソコンのOSからの制御によって自動的にウィンドウ内の色合いを最適に変更できるファームウェアが準備されている。この結果、煩わしい設定なしに、きれいに見たいシーンは人工的な色できれいに、正しい色で見たい画像は正しい色で表示することが可能になった。



## M6661×FPを適用したモニタシステムの画像表示例

パソコンからの自動制御によってアクティブウィンドウ内の色合いが変更され、常に最適な色合いで画像を見ることが可能になった。この例では、(a)JPEGの表示画像をアクティブにするとそのウィンドウ内がVIDEOカラー表示になり、(b)表計算ソフトのウィンドウをアクティブにするとsRGBカラーに自動的に設定される。これらはアプリケーションごとにあらかじめ設定した値である。

### 1. まえがき

近年のコンピュータ技術の進歩は激しく、世界中に張り巡らされたネットワークを介して連携して動き、新しい社会システムの一部として機能し始めている。このような中、コンピュータモニタの役割も大きく変わってきている。

本稿では、モニタにおいて、色彩のコントロールが非常に重要になってきたことを述べる。次に、それに対応した新しい色変換方式とそのLSIへの搭載及びそのLSIを適用したシステムの効果について説明する。

### 2. モニタの動向

近年、インターネットを利用した商取引が盛んになり、広い地域間での色合わせが必要になってきている。一方、本来TVで見ていた映画などの画像ソースをコンピュータモニタで見る機会が増加し、きれいで人工的な色で画像を見たいという要望が高まってきている。このため、一般のユーザー向けに手軽に実現できる色制御の技術が必要になってきている。このような要求を背景に、sRGBという標準の色域が制定され（1999年10月成立：IEC61966-2-1）、マイクロソフト社のOSを始め各種の団体でこの色域を標準色として扱うことが表明されている（図1）。

インターネットによる売買において、売り手は実際の製品をカメラで撮影しホームページに掲載する。顧客はそれを自分のモニタで見て購入することになる。ここで問題なのは、カメラとモニタがそれぞれ異なる色域を持つことである。色比較のため21ページの図2(a)にその様子を示す。現物の製品の色がa点だとすると、カメラはやや黄色がかった色b点と認識してデータを作成し保存する。そのデータを取り出し、受け取ったモニタでは更に黄味が強い色c点として再現してしまうことになる。この結果、本来緑色だったはずの製品の色はモニタではかなり黄味がかって見えてしまうことになる。sRGBを標準色として採用するこ

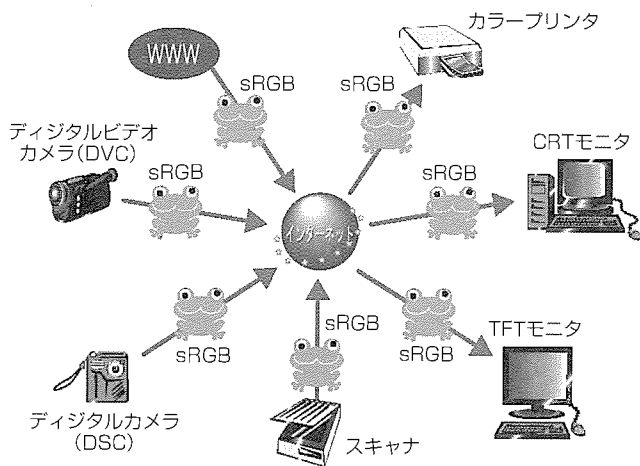


図1. インターネット時代におけるsRGB

とで、各装置の色再現域にかかわらず、各周辺装置間の色相を合わせることができる。これにより、モニタに製品と同じ色合いの色を再現できることになる（図2(b)）。

### 3. 新しい色制御方式

モニタでは、回路規模が比較的小規模でリアルタイムに変換できる色変換方式が望まれる。色変換の方式はテーブルルックアップとマトリックス演算の方式とに大別されるが、前者は、回路規模が大きく、データ作成に手間が掛かることが知られている。一方、従来のマトリックス演算方式では、本来の色再現領域が狭まるのが問題として認識されている。例えば、青を赤みがけた青として変換した場合の色空間図を図3に示す。

図4に今回開発したこれらの問題点を解決した新しいマトリックス演算方式の処理の流れを示し、以下に処理内容を示す。

- 処理1：入力画像データを無彩色と有彩色成分に分離する。
- 処理2：有彩色成分から色相と色相間データを算出する。
- 処理3：無彩色、色相、色相間データを演算項とした

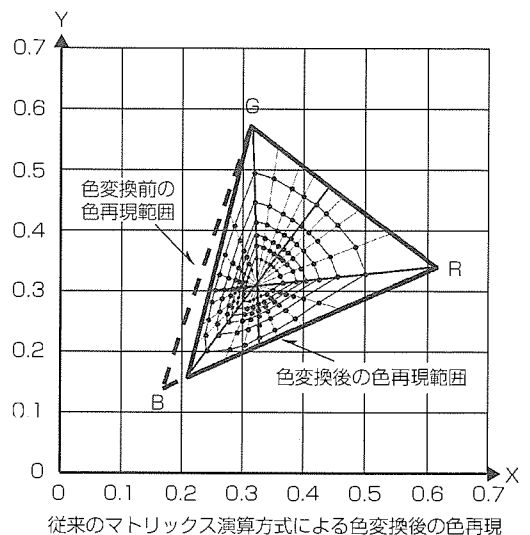


図3. 青を赤みがけた場合（従来のマトリックス）

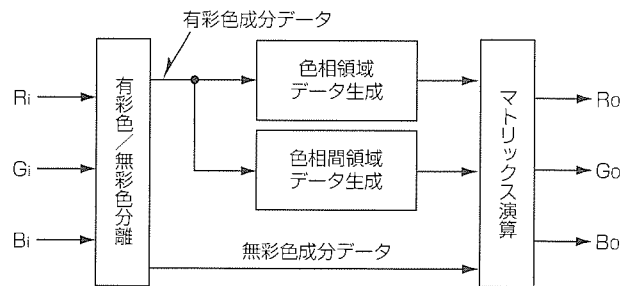


図4. 新しい色変換方式の構成

マトリックス演算を実施する。

これにより、モニタが本来持っている色再現領域を狭めずに色変換演算が実施できる。

図5に、同様に青を赤みがけた青として表示する演算を行った場合の色空間図を示す。

#### 4. LSIの開発と評価

M6661×FPシリーズのピクチャプロセッサは、新しい色変換方式を始め、高精細なスケーリング、フレームメモリレスインタレース処理など多くの新しい機構を盛り込んだサブメガゲート規模のLSIである。このような大規模なLSIを、結果として、アーキテクチャ設計開始からシステム装置でのサンプル評価完了まで9か月、延べ100人月のリソースで誤りなく開発を成功させることができた。

これを実現するために採用したLSIの開発フローを図6に示す。開発に当たり、新しいアルゴリズムはCプログラムで基本的な効果を確認した。論理設計はHDL言語で記

述し、FPGAボードにマッピングして実動作でシステムレベルの機能を検証した。最後に、HDL記述をそのままLSIにマッピングした。このフローの採用により、設計工程が大幅に短縮されたのに加え、システムレベルでの不具合の早期修正を含め、設計の信頼度を大幅に高めることができた。

表1にM6661×FPシリーズの機能一覧を示す。

#### 5. このLSIの適用による効果

このLSIは、表示中に演算係数を切り換えることによって何種類も異なる色域を再現することができる。この機能を活用するために、パソコンから自動的にウィンドウ内の色域を最適に設定できるファームウェアを準備した。図7にその様子を示す。また、このシステムの構成図を図8に示す。画像信号線のほかに制御線が必要になる。

図9は、このLSIの色制御機構を用いてマイクロソフト社が提案しているクリアタイプの文字を表示した例を従来品と比較したものである。この色変換技術によってクリア

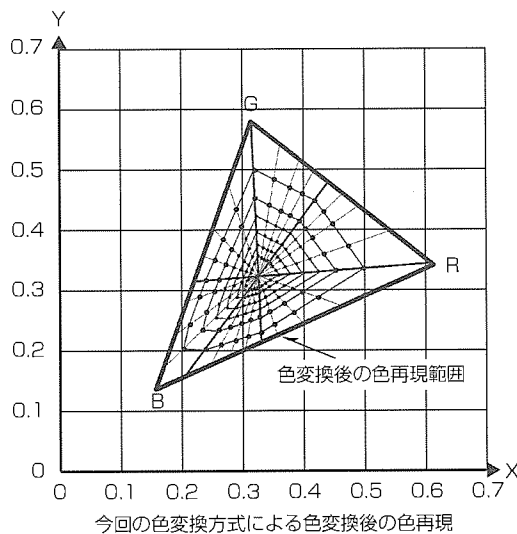


図5. 青を赤みがけた場合(新色変換方式)

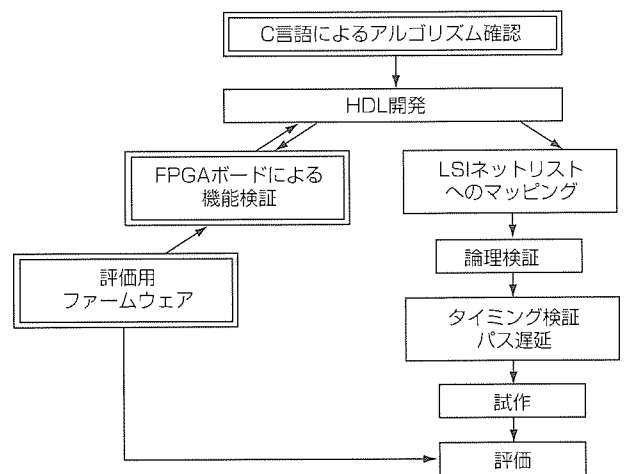


図6. LSI開発フロー

表1. M6661xFPシリーズ機能一覧

M6661×FPシリーズ	M66611	M66612	M66613	M66614	M66615
輝度制御	○	×	○	×	○
色変換	○	×	○	×	○
R/G/B-γテーブル	(1,024×3) bytes	(256×3) bytes	(1,024×3) bytes	(256×3) bytes	(256×3) bytes
エッジ強調	○	○	×	×	×
スケーリング	◎(キュービック)	◎(キュービック)	○(2点間)	○(2点間)	×
Sync. Separator	Separate-sync./Composite-sync./CCIR601	Separate-sync./Composite-sync./CCIR601	Separate-sync./Composite-sync./CCIR601	Separate-sync./Composite-sync./CCIR601	Separate-sync.
OSD機能	○	○	○	○	○
自動調整対応	○	○	○	○	○

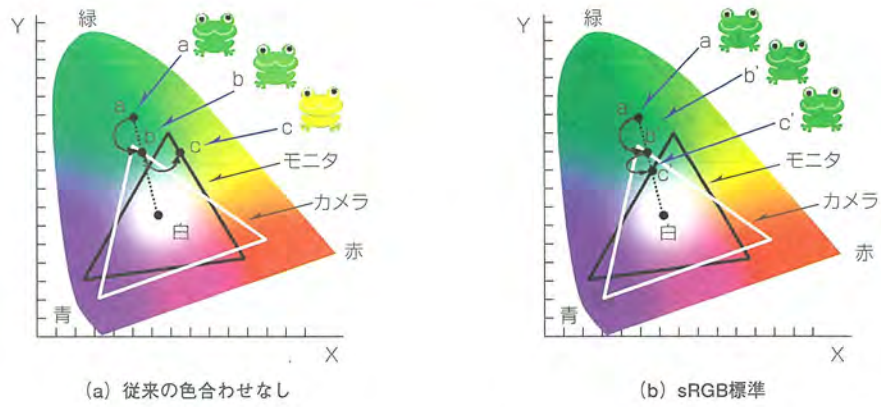


図2. sRGBにおける色合わせの原理

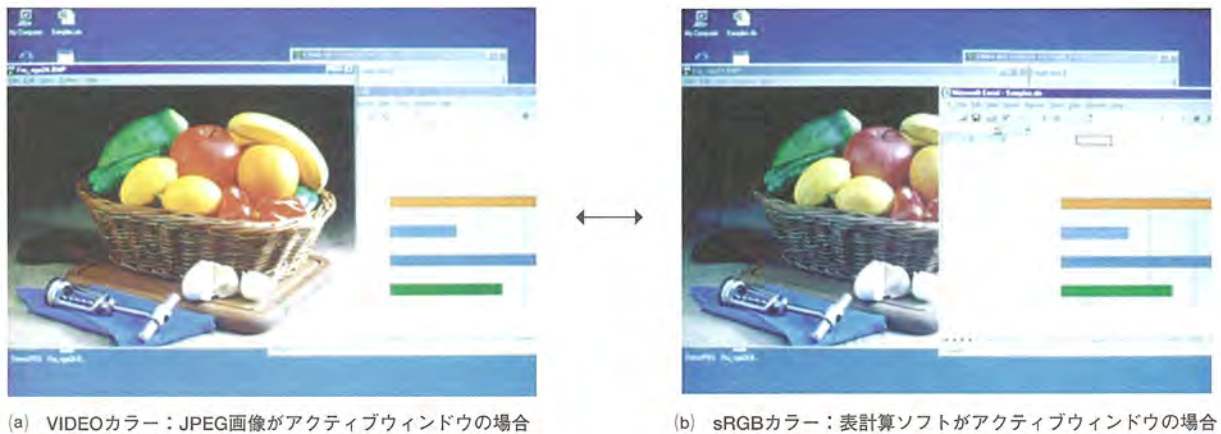
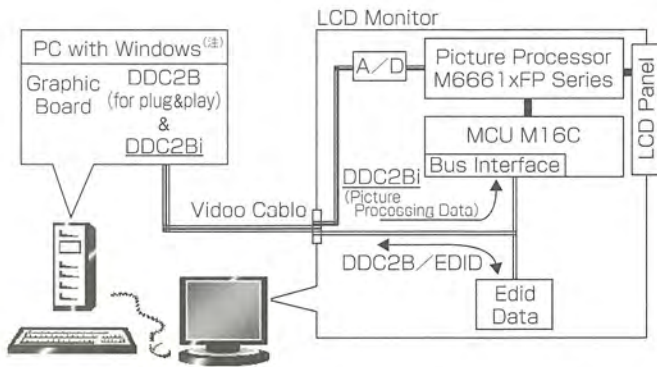


図7. ウィンドウ制御



(注) "Windows"は、米国Microsoft Corp.の登録商標である。

図8. システム構成

タイプに最適の表示環境が実現できるのが分かる。

## 6. むすび

最近のモニタにおいて色合わせと色作りが重要なことを示し、新しいマトリックス演算方式の提案とそれを搭載し

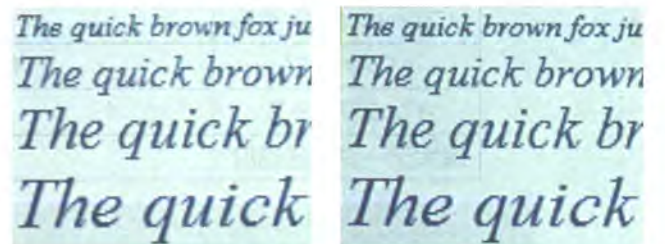


図9. クリアタイプ画像

たLSIの開発について述べた。また、このLSIの採用により、液晶パネルの本来の色再現域を無駄にすることなく、VIDEOカラーとsRGBカラーがウィンドウごとに自動で再現できることを述べた。この結果、煩わしい設定なしに、きれいに見たいシーンは人工的な色できれいに、正しく見たい画像は正しい色で表示することが可能になった。

# 0.18 $\mu$ m 128Mビット ダブルデータレート SDRAM

吹上貴彦\*  
池田 豊\*  
岩本 久\*\*

特集  
I

## 要 旨

近年、ネットワークやマルチメディア機器に代表される情報機器システムの高性能化は目覚ましく、メインメモリとして使用されているDRAM(ダイナミックランダムアクセスメモリ)においても大容量化と高性能化が要求されている。

このようなニーズにこたえるために、三菱電機では、0.18 $\mu$ m CMOSプロセスを用いて、 $\times 4 / \times 8 / \times 16$ 構成の128MビットDDR SDRAM(ダブルデータレート シンクロナスDRAM)を開発した。

DDR SDRAMは、基本CLK(クロック)の立ち上がり立ち下がりの両エッジでデータを入出力するため、従来の基本CLKの立ち上がりだけに同期してデータを出力するSDR(シングルデータレート)SDRAMに比べ、2倍のデー

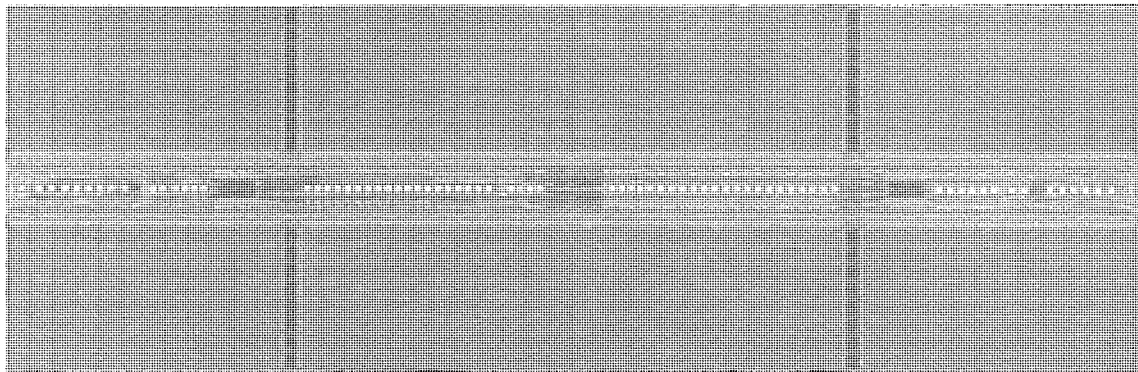
タ転送速度を可能にする。また、DDR SDRAMの主な入力コマンドは、SDR SDRAMと共通であり、置き換えが容易である。

今回開発した128MビットDDR SDRAMは、アレー構成、データバス回路の最適化により、JEDEC標準準拠のDDR266規格である266MHzでの高速データ転送が可能である。

さらに128MビットDDR SDRAMは、リフレッシュ回路とDLL回路の最適化により、低消費電力化も実現しており、サーバやワークステーション等の高性能化に適しているだけでなく、ノートパソコン等にも使用が可能である。

128MビットDDR SDRAMの製品概要

語 構 成	32M $\times$ 4	16M $\times$ 8	8M $\times$ 16
形 名	M2S28D20ATP	M2S28D30ATP	M2S28D40ATP
動作電圧	2.5V $\pm$ 0.2V		
リフレッシュサイクル	15.6 $\mu$ s $\times$ 4Kサイクル		
パッケージ	66ピン 400ミル TSOP(II)		
インタフェース	SSTL_2		
最大データ転送速度	266MHz		



チップ写真

## 128MビットDDR SDRAMのチップ写真と製品概要

0.18 $\mu$ m CMOSプロセスルールを用いた128MビットDDR SDRAMのチップ写真と製品概要を示す。

DDR SDRAMは、基本クロックの立ち上がり立ち下がりの両エッジに同期してデータを転送するため、従来のSDR SDRAMに比べて転送レートを2倍にすることが可能である。



## 1. ま え が き

DRAMは、テクノロジードライバとして最先端の微細加工技術を用いて大容量化を実現してきた。また、DRAMを使用するシステムには、高性能化のために、大容量化だけでなく高速データ転送を可能にする高速メモリへの要求が強くなってきている。

三菱電機では、微細加工技術及び最適回路設計を用いて、大容量、高速データ転送を実現する128MビットDDR SDRAMを開発した。DDR SDRAMは、基本CLKの立ち上がり立ち下がりの両エッジに同期してデータを転送するため、従来のSDR SDRAMに比べて転送レートを2倍にすることが可能である。

本稿では、128MビットDDR SDRAMの特長及び電気的特性を述べる。

## 2. DDR SDRAMの特長

### 2.1 SDR SDRAMとDDR SDRAMの比較

従来のSDR SDRAMではデータ転送速度が一般に最大133MHz周期(7.5nsサイクル)であるが、DDR SDRAMではSDRAMの2倍の転送速度である266MHz周期(3.75nsサイクル)でのデータ転送が可能である。

図1に133MHz周期のデータ転送を持つSDR SDRAMの読み出し制御タイミングを示す。基本CLKが133MHz周期

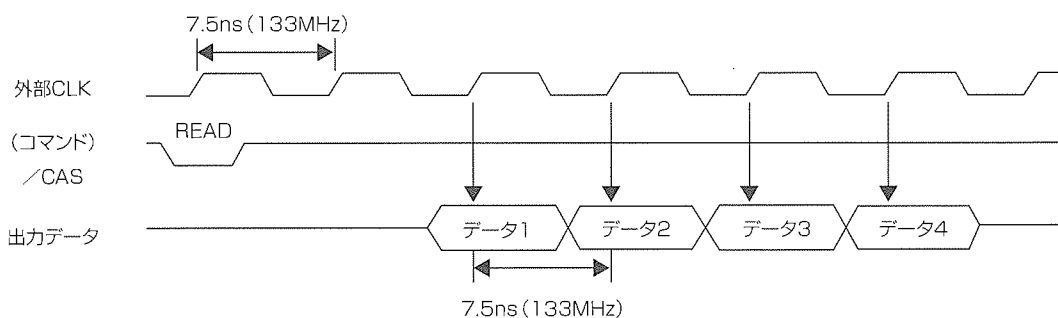


図1. SDR SDRAMの読み出し動作 (CL= 2, BL= 4 の例)

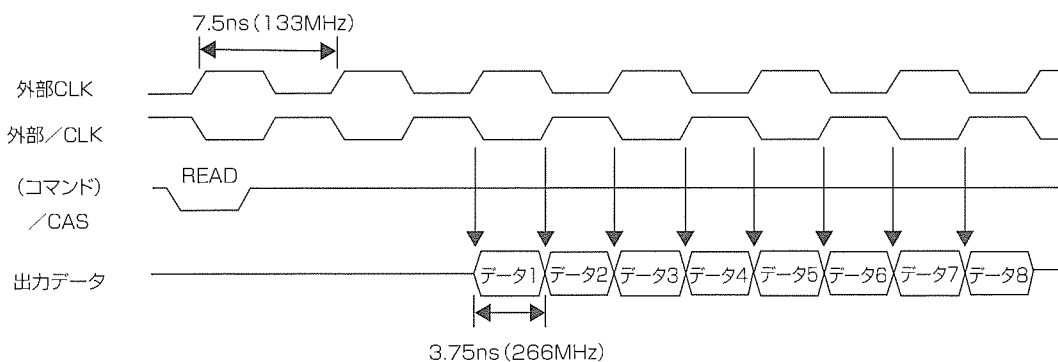


図2. DDR SDRAMの読み出し動作 (CL= 2, BL= 8 の例)

で与えられ、データのREAD(読み出し)コマンドが入力された( /CAS="L"レベル)場合、CL(CASレイテンシ)分だけ読み出しデータが遅延し、BL(バースト長)分のデータが出力される。図はCL=2, BL=4の例を示している。

図2に266MHz周期のデータ転送を持つDDR SDRAMの制御タイミングを示す。図はCL=2, BL=8の例を示している。基本CLKが133MHz周期の相補CLKで与えられ、READコマンドが入力された場合、データは基本CLKの立ち上がり、立ち下がりに同期して出力されるため、266MHz周期でのデータ転送が可能である。

### 2.2 128MビットDDR SDRAMの製品概要

表1に128MビットDDR SDRAMの製品概要を示す。

動作電源電圧は2.5Vであり、リフレッシュ方式は128MビットSDR SDRAMと同様に64ms, 4Kサイクルである。インタフェースはSSTL\_2 (Stub Series Terminated Logic)である。CASレイテンシは2及び2.5, バースト長は2, 4, 8に対応できる。電気的動作特性は最大動作周波数が133MHzであり、JEDEC標準準拠であるDDR200, DDR266の規格を満足している。語構成(×4 / ×8 / ×16)は、ボンディング切換えを用いて1チップで対応できる。パッケージは、66ピン400ミルTSOP Type2である。

## 3. プロセス技術

128MビットDDR SDRAMは0.18μmCOMSプロセス技術

表 1. 128MビットDDR SDRAMの製品概要

語構成 (型名)	32M×4 / 16M×8 / 8M×16 M2S28D20ATP/M2S28D30ATP/M2S28D40ATP
動作電圧	2.5V±0.2V
リフレッシュサイクル	15.6μs×4Kサイクル
パッケージ	66ピン 400ミル TSOP(II)
インタフェース	SSTL_2
最大動作周波数	133MHz
動作モード	CASレーテンシ = 2, 2.5
	バースト長 = 2, 4, 8
バンク数	4

表 2. 主なプロセス技術

デザインルール	0.18μmCMOS
リソグラフィ	KrFエキシマリソグラフィ+変形照明
メモリセル	円筒スタック型セル
ゲート長	0.19μm
素子分離	STI (Shallow Trench Isolation)
配線層	1シリサイド 1タングステン 2アルミニウム

特集  
I

を使用して、表 2 に主なウェーハプロセス技術を示す。0.18μmの微細加工はKrFエキシマリソグラフィ+変形照明で実現している。

また低抵抗なシリサイド層のワード線とタングステン層のビット線を採用したため、アレー動作の高速化と面積縮小を可能にした。

#### 4. チップ構成

図 3 に128MビットDDR SDRAMのチップ構成を示す。128Mビット全体が8個の16Mビットブロックに分割されており、二つの16Mビットブロックで1バンクを構成し、合計4バンクが独立して動作可能である。

ワード線は、副行デコーダによってバッファされる階層行デコーダ方式で選択される。ビット線は、256セル単位で分割され、シェードセンスアンプでセンス増幅される。

ワード線とビット線の低抵抗化により、ワード線の分割数を16Mビットブロック当たり12に抑え、ビット線イコライズ回路もシェードセンスアンプに含めることでチップ面積を縮小しながら、 $t_{RCD}$ 、 $t_{RP}$ はJEDEC標準準拠 $t_{RP}=t_{RCD}=20ns$ に対応できる実力を持っている。

#### 5. 設計技術

##### 5.1 DLLの設計

DDR SDRAMでは、外部CLK信号の立ち上がり立ち下りの両エッジタイミングでデータを出させるために、DLL回路を使用している。図 4 に今回採用したDLLの構成を示す。DLL回路は、外部CLKと内部CLKを比較する位相比較回路、位相比較回路の判定結果を格納するカウンタ、カウンタに従って外部CLKを遅延させる可変遅延回路、及び出力バッファの遅延相当のレプリカ遅延で構成される。

可変遅延回路は、外部CLKバッファの出力を $T-t_i-t_o$  ( $T$ :クロック周期,  $t_i$ :入力バッファ遅延,  $t_o$ :出力バッファ遅延)期間遅延させる。そのため、出力バッファは、 $T-t_o$ のタイミングでトリガされ、外部CLKと同位相のデータを出力することになる。

可変遅延回路の遅延量は、位相比較回路によってフィー

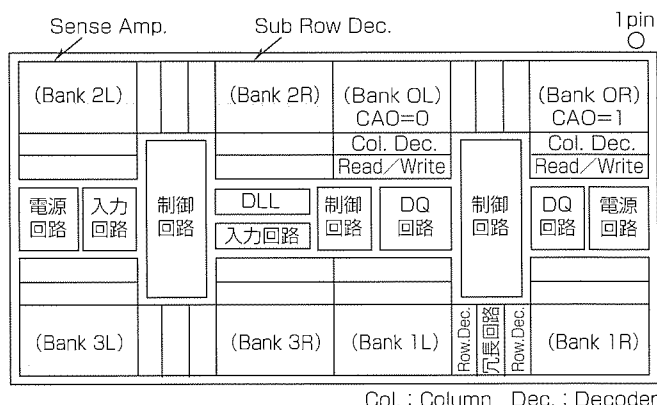


図 3. チップ構成

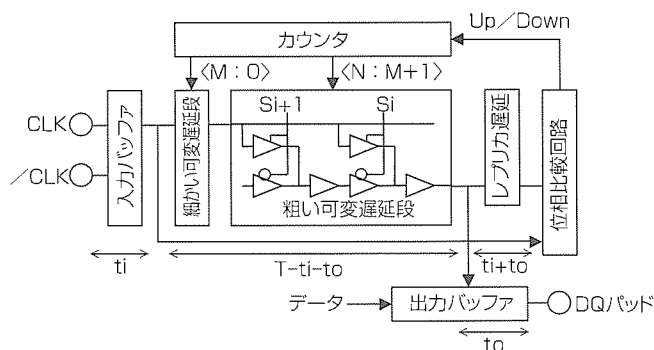


図 4. 階層デジタルDLLの構成

ドバック制御されるが、一連の動作サイクルは、制御の安定性、ロック時間、消費電流を考慮して最適化している。カウンタのアップ/ダウンは位相比較の履歴に基づいて決定される。

またDDR SDRAMは、従来のSDR SDRAMに比べ、DLL回路の動作電流が追加されるため、ノートパソコン等で要求される待機時の消費電流を減らすことが重要である。128MビットDDR SDRAMでは、DLLの動作サイクルと回路の最適化を行って動作電流を低減するとともに、パワーダウン時(CKE="L")に入力バッファを含めたDLL全体の動作を停止することによって待機時の消費電流を低減している。

128MビットDDR SDRAMでは、15.6μs置きにAREF(オートリフレッシュ)コマンドを入力する必要がある。128MビットDDR SDRAMでは、AREFコマンド入力時にDLL回路動作を実施することにより、低消費電力化と安定動作

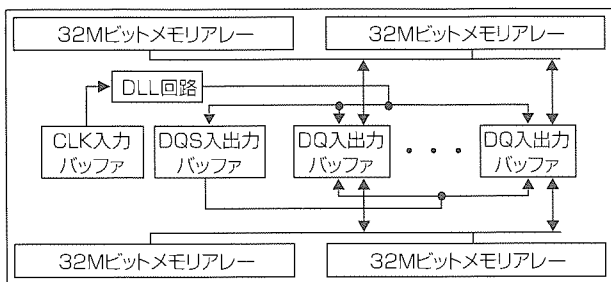


図5. 入出力制御信号の配線構造

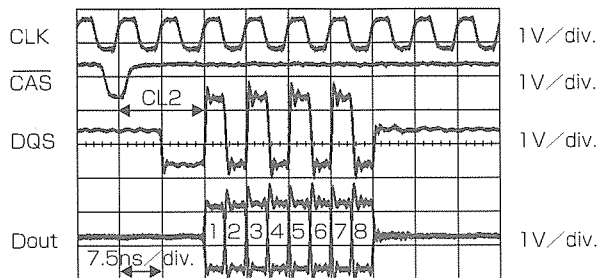


図6. 出力波形

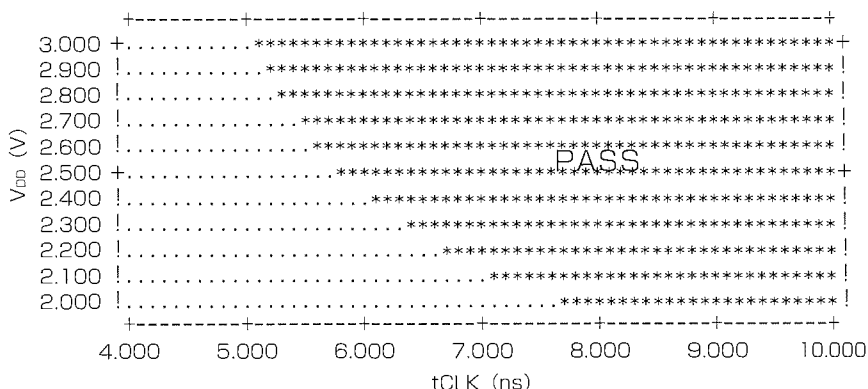


図7.  $V_{DD}$ - $t_{CLK}$  (周波数) シュムー ( $T_a=70^\circ\text{C}$ , CL2)

を確立している。

この構成により、DLL回路のパワーダウン時電流が1.2mA(@133MHz)になり、SDR SDRAMレベルの値を実現している。

### 5.2 データストロブピンの採用

DDR SDRAMでは、データの転送速度が従来のSDR SDRAMの2倍である。そのため、複数のメモリを使用するシステム上で安定して動作するためには、高精度のデータ転送技術が必要になる。DDR SDRAMでは、メモリを制御するコントローラと複数のメモリ間の伝搬遅延をキャンセルするために、DQS(データストロブ)ピンが採用されている。DQSピンはDQ(データ入出力)ピンに同期して出力される。同一メモリにおいては、DQSピンはDQピンと同じ配線距離を持つため、コントローラから同じ遅延時間を実現できる。このDQSピンを用いることにより、複数のメモリを使用して高速データ転送を実現することが可能である。

このDQSピンを使用したデータ転送において、読み出し時には、DQSピンと各DQピン間のスキュー(ばらつき)が動作安定の大きな要素になる。そのため、128M DDR SDRAMでは、図5のように、データ出力のトリガーである内部CLK信号とデータの取り込み制御信号である内部

DQS信号をツリー配線している。この工夫により、データ出力のスキューを低減し、データのセットアップ、ホールド時間のマージンを向上させている。

## 6. 実デバイスの評価結果

図6に128MビットDDR SDRAMの133MHz周期における出力データ波形を示す。出力データは、基本CLKの2倍の周期になっているため266MHzのデータ転送が可能になっている。

図7に $t_{CLK}$ (動作クロック時間)の電源電圧依存性を示す。測定条件は周囲温度70°Cである。広範囲の電源電圧範囲において、 $t_{CLK}$ が7 ns以下(=143MHz以上)の実力を満たしており、高速動作を実現している。

## 7. むすび

今回、0.18 $\mu\text{m}$ プロセスを用いて $\times 4 / \times 8 / \times 16$ ビット構成の128MビットDDR SDRAMを開発した。この製品は、JEDEC標準DDR266に準拠しており、今後、サーバ、ワークステーション、パソコンだけでなく、ノートパソコン等の大容量・高速DRAMへの要求に十分こたえ、システムの高性能化に役立つと考える。

# CPU内蔵ASICの短期開発を可能にする プラットフォームベース設計手法

東田基樹\*  
安藤智子\*  
野田知義\*

## 要旨

CPU内蔵ASICの開発で用いるCPUモジュールを実現する手法について述べる。

CPUモジュールには、最新のプロセス技術の適用、カスタマイズ要求への柔軟な対応、短期開発が求められる。

三菱電機では、この要求にこたえるために、

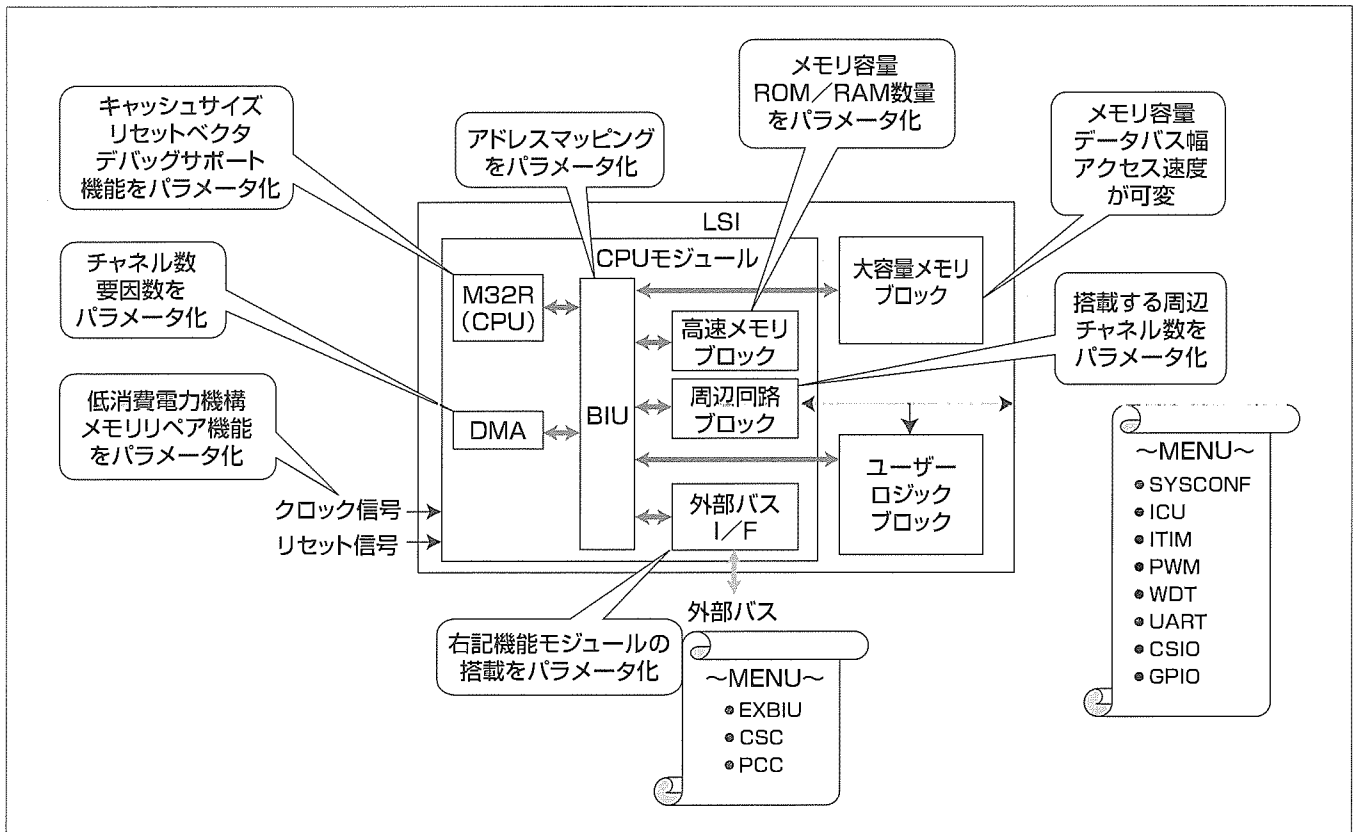
- (1) CPUモジュールの提供方法の見直し
- (2) カスタムCPUモジュールの生成手法(プラットフォームベース設計手法)の開発を行った。

(1)については、“ユーザー要求に応じたCPU周辺回路、メモリ構成を備えたブラックボックスのカスタムCPUモジュールの提供”を実現した。レイアウトまで含めたCPUモジュールの内部設計を提供者側が実施することで、ユーザー

の設計負荷を軽減する。

(2)については、応用分野での要求を包含した最大機能仕様を持つCPUモジュールの設計データをリファレンスとして準備し、この設計データからの機能削減によってカスタムCPUを実現する手法を開発した。リファレンスの設計データは、パラメータ化HDL、機能検証用テストベンチと検証パターン、ユーザーズマニュアルからなる。機能削減を容易にする工夫を施し、カスタムCPUモジュールのプラットフォームとして整備している。

数種の実品種に適用した結果、カスタムCPUモジュールの開発を平均2人週で実現することができた。従来の手法に比べ、短期間、高品質で実現できることを実証した。



## カスタマイズを考慮したパラメータ化設計

ASIC内蔵用のCPUモジュールでは、ユーザーの要求に合わせてCPUモジュールの構成を変更する必要がある。変更の可能性がある部分をパラメータとして表現したソフトマクロ(論理合成可能なHDLデータ)をプラットフォームとして準備した。上図はCPUモジュールの内部構成とパラメータを示している。パラメータを変更するだけで様々なカスタムCPUモジュールを短期間に生成できる。

## 1. ま え が き

CPU、メモリ、アナログ回路等の機能ブロック、及びユーザーロジックブロックを1チップに集積したカスタムLSI(CPU内蔵ASIC)を採用する製品が増加している。ASIC内蔵用CPUモジュール(本稿では、CPUコア、CPU周辺回路、メモリ等を含んだモジュールを“CPUモジュール”という。)には、最新のプロセス技術の適用、カスタマイズ要求への対応、短期開発、低価格、CPU内蔵に対応したASIC設計・検証手法の提供、内部のブラックボックス化、安定した品質、汎用マイコン並みの応用技術サポート、ソフトウェア開発環境の提供が求められる。

従来のCPUモジュールの提供方法では、必ずしも上記の要求を満足できていなかった。

本稿では、まず、CPUモジュールの提供方法について、従来の問題点と新しい方法について述べる。さらに、カスタマイズ要求に合わせたCPUモジュールを短期間・低コストで実現する手法であるプラットフォームベース設計手法についても述べる。

## 2. CPUモジュールの提供方法

### 2.1 従来の提供方法とその問題点

CPUモジュールの提供方法には、大きく分けて、次の2種類が存在する。

#### (1) CPU周辺込みのハードマクロ提供型

CPU周辺を含んだ既存マイコンのレイアウトデータをハードマクロとして提供するケース(図1の(a))である。ソフトマクロ(論理合成可能なHDLデータ)の提供形態に比べ、回路の安定性や性能があらかじめ分かっていることに利点がある。しかし、利用可能なプロセス技術の制限、CPU周辺機能やメモリ構成のカスタマイズが困難、フロアプラン上の自由度が小さいといった問題があった。

#### (2) コア・周辺独立のソフトマクロ提供型

CPUコアやCPU周辺回路等の個々のブロックをソフトマクロとして提供するケース(図の(b))である。バス仕様を標準化し、バス接続部の設計を容易化している場合もある<sup>(1)</sup>。しかし、ユーザーは、ユーザーロジック部の設計以外に、CPUコアとCPU周辺ブロック間の接続設計、論理合成以降の設計を行う必要がある。CPU内蔵ASICでは、内蔵メモリとCPUコアのバス接続部がタイミング上のクリティカルパスになることが多い。ユーザーには、フロアプランの考慮まで含めた注意深い設計が求められる。

### 2.2 新しい提供方法

当社では、“ユーザーの要求に応じたCPU周辺機能やメモリ構成を持つブラックボックスのカスタムCPUモジュール”を提供することを目指した。カスタムCPUモジュールはソフトマクロとして実現されるが、論理合成以降の設

計についても提供者側が実施する。これにより、ユーザーはブラックボックスとしての扱いが可能である(図の(c))。ソフトマクロであるため、カスタマイズの対応は容易であり、チップの形状に合わせてフロアプランも自由に変更できる。ユーザーは、CPUモジュール内部の設計から開放され、ユーザーロジック部の設計に集中できる。

## 3. プラットフォームベース設計手法

### 3.1 基本概念

前章で説明した提供方法によるカスタムCPUモジュールを短期間・低コストで実現する方法として、プラットフォームベース設計手法を開発した。一般に、“機能追加・修正による設計データの生成よりも機能削除による設計データの生成の方が容易”である。従来は、カスタムCPUモジュールを既存品種の設計データからの修正によって実現していた。プラットフォームベース設計手法では、単一の設計データからの機能削減によって実現する。

以下に、プラットフォームベース設計手法の基本概念について述べる。

想定適用分野に必要と見込まれる機能仕様の最大構成のCPUモジュールをリファレンスとする。リファレンスCPUモジュールに対応した各種設計データ(ソフトマクロのHDLデータ、機能検証環境、ユーザーズマニュアル等のドキュメント)を設計する。個別の品種対応のカスタム

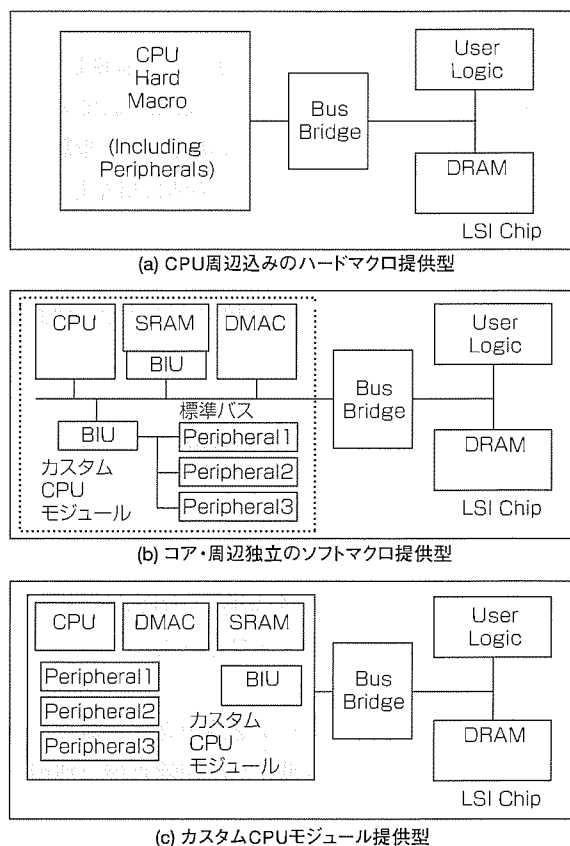


図1. CPUモジュールの提供方法

CPUモジュールの仕様は、リファレンスCPUモジュールのサブセットであり、上記設計データから不要な仕様に対応した機能ブロックを削除することで実現可能である。機能ブロックの削除の容易化を考慮してリファレンスの設計データを整備する。この設計データをカスタムCPU生成のためのプラットフォームと呼ぶ。このプラットフォームを用いてカスタムCPUモジュールの生成を容易化する手法が、プラットフォームベース手法である。

### 3.2 リファレンスCPUモジュール

リファレンスCPUモジュールを構成する機能ブロックの一覧とその機能を表1に示す。

CPUコアとしては、当社製の32ビットRISC型CPUコア(M32R)を搭載している。CPU内蔵ASICでは、汎用マイコンのようなインサーキットエミュレータ(ICE)を用意することができない。ICEの代替として、オンチップのソフトウェアデバッグサポート機構(SDI-2)を搭載している。

周辺回路としては、汎用マイコンに搭載されている標準的な回路を用意している。個々の周辺回路は、複数の機能の一つに統合せず、単機能な回路を個別に用意した(タイマとして3種類、シリアルIOとして2種類)。ASIC搭載用CPUモジュールでは、周辺回路の用途を限定できる。単機能な周辺回路を必要なだけ選択することで、回路規模を小さくできる。

CPU周辺モジュールの中では、DMAコントローラ(DMAC)に対するカスタマイズ要求が多い。この要求にこたえるために、高機能にするとともに、チャンネル数を最大20、転送トリガ数を最大32要因保持可能なDMACを用意した。DMAによる自動転送可能な周辺回路と組み合わせることにより、様々なカスタム要求に対応できる。

### 3.3 カスタムCPU生成プラットフォーム

#### (1) パラメータ化HDLデータ

リファレンスCPUモジュールを論理合成可能なパラメータ化HDLデータとして実現した。削除可能な機能ブロック、チャンネル数、メモリ容量等は、パラメータ文を使って記述している。パラメータの変更だけでカスタムCPUモジュールのHDLデータを生成できる。

表1. リファレンスCPUモジュールの機能ブロックとその機能

分類	ブロック名	機能
CPUコア	M32R-CPU	32ビットRISC-CPUコア 積和演算器内蔵、ハーバードアーキテクチャ 命令キャッシュ(2ウェイセットアソシエイティブ, 16バイト/ライン) <i>容量: 32Kバイト(ほかに、0K, 2K, 4K, 8K, 16K, 32Kバイトから選択可能)</i> <i>デバッグサポートユニット搭載(SDI-2仕様)</i>
内蔵メモリ	HSRAM	高速内蔵SRAM, 容量: <i>64Kバイト(容量削減可能)</i> , 1クロックアクセス可能
	eSRAM Interface	大容量内蔵SRAM用インタフェース, データバス: <i>32ビット/128ビット</i> 接続メモリ容量: <i>512バイト(容量削減可能)</i> , アクセスクロック数: 論理合成時に設定可能
CPU周辺回路	DMAC	DMAコントローラ, チャンネル数: <i>20(チャンネル数の削減可能)</i> 転送要求: ソフトウェア起動, 内蔵周辺I/O又はM32Rブロック外部からの要求( <i>最大32要因</i> )
	CSC	チップセレクトコントローラ, チャンネル数: 4 32ビット/16ビットバス幅の2種類のメモリデバイスを接続可能, ページリードモードサポート
	ICU	割り込みコントローラ, 要因数: 32, 割り込み禁止を含め16レベルの優先順位
	ITIM	パルス出力付き定周期タイマ, チャンネル数: <i>64(チャンネル数の削減可能)</i>
	PWM	パルス幅制御タイマ, チャンネル数: <i>64(チャンネル数の削減可能)</i>
	WDT	監視タイマ, システムブレーク割り込みを発生, チャンネル数: 1
	UART	クロック非同形シリアルI/O, チャンネル数: <i>16(チャンネル数の削減可能)</i> , DMAによる自動転送可能
	CSIO	クロック同期型シリアルI/O, チャンネル数: <i>16(チャンネル数の削減可能)</i> , DMAによる自動転送可能
GPIO	GPIO	プログラマブル入出力ポート, チャンネル数: <i>16(チャンネル数の削減可能)</i>
	PCC	PCカードインタフェース, EXBIUの外部バスピンを共用可能

下線の付いた斜体字で表記されたブロックは、カスタムCPUモジュールの生成時に削除可能なブロックである。また、機能ブロック自体は残す場合でも、チャンネル数や容量等が削減対象となることを想定してある。カスタマイズ可能な項目は、機能の欄に斜体字で示している。

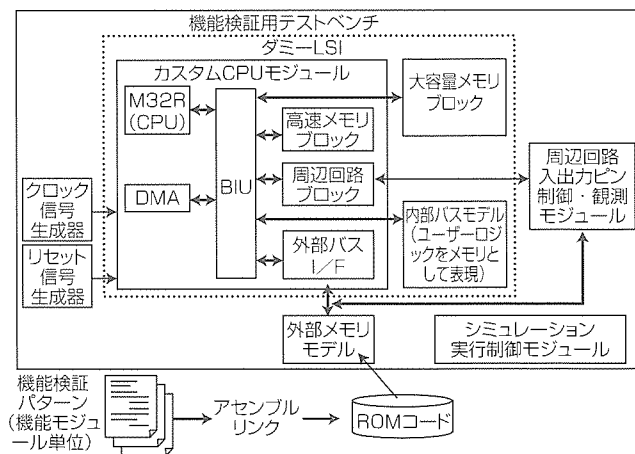


図2. 機能検証用テストベンチと機能検証パターン

#### (2) 機能検証用テストベンチと機能検証パターン

パラメータ化HDLの機能検証は、パラメータを変更した場合も考慮して行っている。しかし、パラメータのすべての組合せに対して事前に検証を行うことは現実的ではない。したがって、カスタムCPUモジュール生成後に、期待どおり生成できたことの機能検証が必要である。この機能検証の容易化を目的として、機能検証用テストベンチと機能検証パターンをリファレンスデータとして用意した。

図2に機能検証用テストベンチの構成を示す。テストベンチは、CPUを制御するためのプログラムを格納する外部メモリモデルや、周辺回路ブロックからの外部入出力ピンの動作を制御・観測するためのモジュール(周辺回路入出力ピンの制御・観測モジュール)等で構成される。制御・観測モジュールは、外部バスを通じてCPUからアク

セス可能である。

機能検証パターンは、CPUのソフトウェアプログラムとして用意されている。プログラムのROMコードを外部メモリモデルに設定してシミュレーションを実行することで、CPU自身が機能検証を実行する。ソフトウェアプログラムとして機能検証パターンを用意することで、クロックサイクルに依存しない汎用性の高い機能検証パターンを実現している。また、機能検証パターンは、機能モジュール単位で用意している。したがって、機能モジュールの削除に応じた検証パターンの編集は容易である。編集した検証パターンの充分性は、カバレッジツールによる機能検証の網羅度測定によってチェックする。

### (3) ユーザーズマニュアル

ユーザーズマニュアルについても、カスタマイズ依存部分と固定部分を独立に構成することによってカスタマイズ容易性を実現している。前者の修正だけで、適用品種の仕様を反映した完成度の高いユーザーズマニュアルを短期間に作成できる。これにより、仕様検討の初期段階でのマニュアルの提供が可能となった。また、あらかじめカスタマイズ可能な項目を明示することにより、提供者とユーザー間の確認作業を確実なものとしている。

## 4. カスタムCPUモジュールの生成フロー

### 4.1 ソフトマクロデータの生成

図3に、プラットフォームを用いた、カスタムCPU対応のソフトマクロデータ(HDLデータ)を作成するフローを示す。HDLデータ自体は、パラメータファイルの編集と、外部ピン定義を行っているTOP階層のモジュールファイルからの記述の削除によって生成できる。また、機能検証用のテストパターンも、全体検証パターンから必要項目のピックアップによって実現できる。その後、検証カバレッジツールを適用して検証の充分性をチェックする。HDLデータは、暗号化されたシミュレーションモデルとしてユーザーに提供される。

### 4.2 論理合成以降の設計フロー

論理合成以降の設計フローは、①論理合成、②論理一致検証、③スキッチェーン挿入、④クロックツリー合成、⑤配置配線、⑥静的タイミング検証の順に進む。静的タイミング検証ツールと論理一致検証ツールを活用し、ゲートレベルでの論理シミュレーションを不要にすることで、短期設計を実現した。CPUモジュール内部には、低消費電

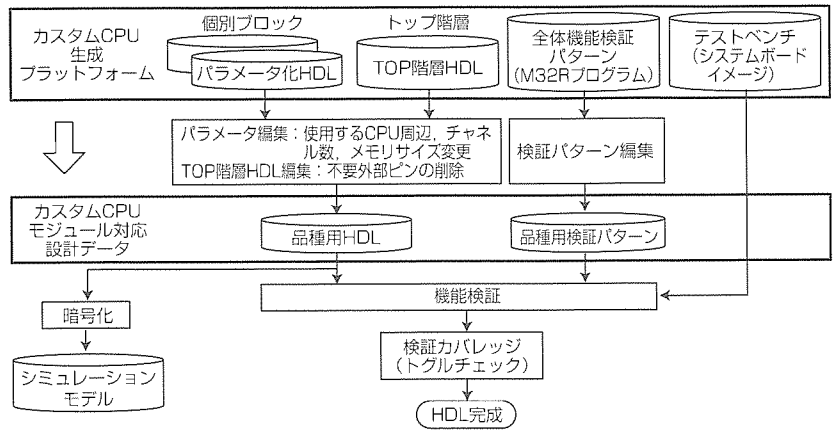


図3. カスタムCPU対応のHDLデータの生成フロー

力化のためのゲーテッドクロックや非同期クロック部が存在する。したがって、静的タイミング解析ツールやスキャン挿入ツール用の実行スクリプトは複雑である。これらのツールの実行スクリプトも、プラットフォームとして用意し、設計の短期化を図っている。

### 4.3 適用事例

複数の実品種にプラットフォームベース設計手法を適用した。その結果、CPUモジュールのソフトマクロデータを生成し機能検証、マニュアル開発を終えるまで、平均2人週で実現できた。これにより、プラットフォームベース設計手法の有効性が示された。

## 5. むすび

当社では、ASIC内蔵用CPUモジュールを“ユーザー要求に応じたCPU周辺機能やメモリ構成を持つブラックボックスのカスタムCPUモジュール”として提供することを目指している。この提供方法を実現する手段として、プラットフォームベース設計手法を開発した。

プラットフォームベース設計手法により、ユーザー側はCPU周辺のカスタマイズと複雑なCPU内部設計から開放され、CPUモジュールの提供側は個々のユーザー対応のカスタムCPUの開発の短期化とコスト削減を実現できた。さらに、再利用実績の蓄積により、高品質の設計データを提供可能にした。

今後、他のCPUコアもサポート可能にするとともに、適用可能な応用分野の拡大と、分野に応じて搭載するCPU周辺を拡充していく予定である。

### 参考文献

- (1) PrimeCell(TM) Peripherals, <http://www.arm.com/sitearchitek/armwww.ns4/html/SoC?OpenDocument>

# システムLSI用クロック分配回路設計及びスキュー解析用CADツール

寺井正幸\* 柴山泰範\*\*  
金本俊幾\*\*  
小谷 健\*\*

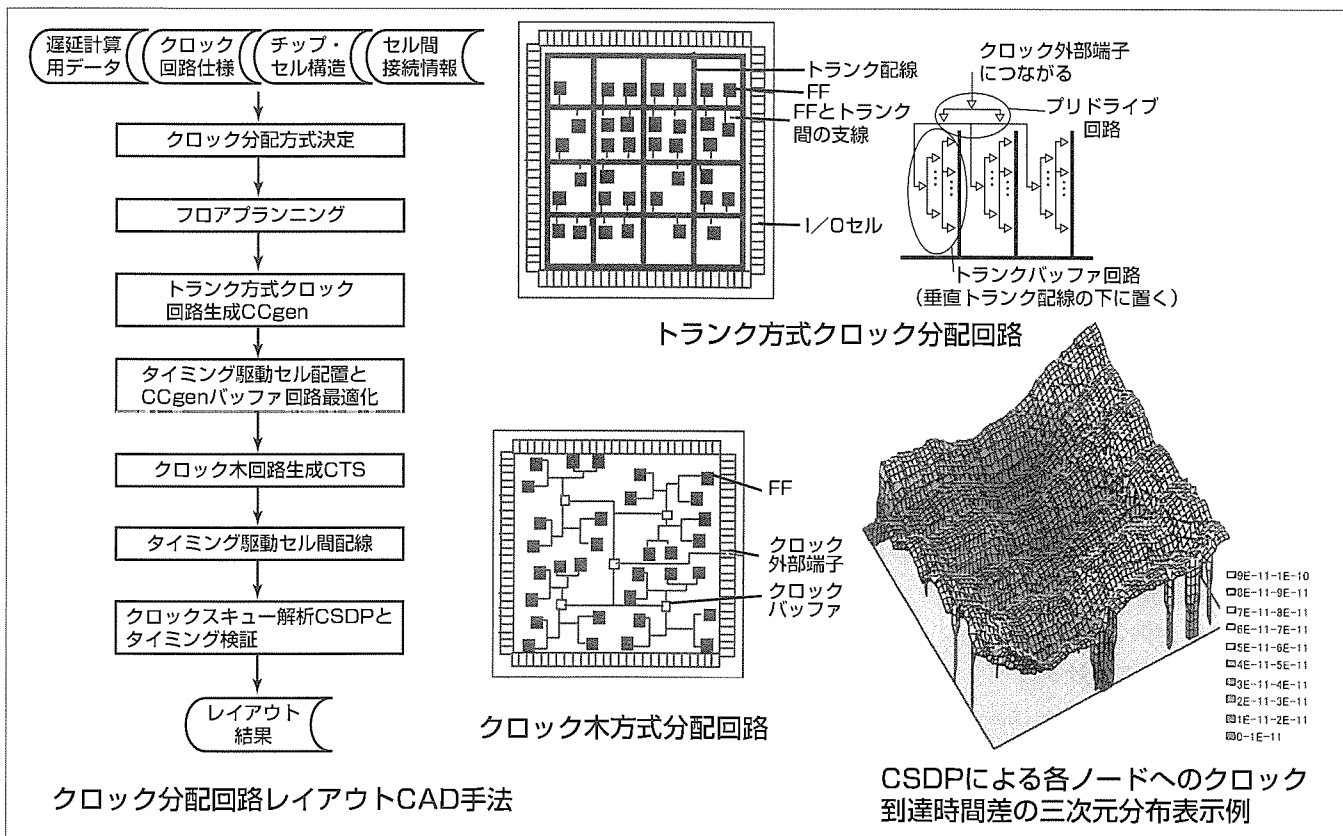
## 要旨

システムLSI用クロック分配回路レイアウト設計用CADシステムの機能、システム構成及び適用結果について述べる。対象とするシステムLSIは、論理ゲート、フリップフロップ(以下“FF”という。)等の機能を持つセルと呼ばれる回路構成要素をLSIチップ上に配置し、セル間の接続情報に従いセル間を配線するレイアウト方式である。このレイアウト設計手法は、クロック分配方式決定、フロアプランニング、トランク方式クロック回路生成CCgen (Clock distribution Circuit generator)、タイミング駆動セル配置、クロック木回路生成CTS、タイミング駆動セル間配線、クロックスキュー解析CSDP (Clock Skew error Diagnosis Program)とタイミング検証の7ステップで構成される。

このシステムの特長は、クロック分配回路のスキューを抑え、レイアウト設計期間を短縮することをねらった以下

の四つの機能である。①達成すべきスキュー値、チップサイズ、消費電力値などに基づいて使い分けるクロック木/トランク方式の二つのクロック回路の自動レイアウト機能、②トランク方式クロック回路のスキュー制御のためのFF配置の疎密に基づくクロックバッファの駆動力調整機能、③回路シミュレーション用高精度モデルによるスキュー解析機能、④クロック分配回路修正を効率化するためのLSIチップ上に設けた粗い格子単位のスキュー値とクロック信号遅延値の表示機能である。

このシステムを1.5Mゲート規模、200MHz級の周波数のクロックを含むシステムLSI設計に適用し、クロックスキュー目標値と全タイミング制約条件を満足するレイアウトを達成できた。



## クロック木方式、トランク方式の分配回路のレイアウトCAD手法

CCgenとCTSが、クロック分配回路の自動レイアウトツールである。トランク方式は、並列駆動されたバッファ回路がチップ全面にメッシュ状に敷設されたトランクと支線を介してFFを駆動する。クロック木は、複数段のクロックバッファで木状の回路を構成し、その末端ノードにつながるFFを駆動する。CSDPは、クロック分配回路の各ノードでのクロック信号到着時刻の差を回路シミュレーションによって算出し三次元表示する。



## 1. ま え が き

LSIの製造技術の微細化の進歩に伴い、信号伝搬遅延に対する配線遅延の影響が増大し、レイアウト設計におけるクロックスキューの考慮が必ず(須)となっている。クロックスキューとは、クロックのソースからFFのクロック端子までのパス群のディレイの最大差と定義する。クロック周期を $P$ 、クロックスキューを $s$ 、FF間の最大パス遅延を $d_{max}$ 、FFのセットアップタイムを $t_s$ とすると、よく知られた以下の関係が成り立つ。

$$P \geq s + d_{max} + t_s \dots\dots\dots(1)$$

クロック周波数を高めるためには、スキュー $s$ を小さくし、最大パス遅延 $d_{max}$ を小さい値に抑えることが重要になる。

本稿では、システムLSI向けに開発したクロック分配回路設計用CADシステムについて述べる。このCADシステムは、筆者らが開発したクロック分配回路生成ツールCCgenとクロックスキュー検証ツールCSDP<sup>(1)</sup>等で構成される。15Mゲート規模、200MHzの周波数のクロックを含むシステムLSIにこのシステムを適用した結果を示し、その有効性を示す。

## 2. クロック分配回路レイアウト設計フロー

この章では、クロック分配回路のレイアウト設計フローについて述べる。前頁のイメージ図に示すように、そのフローは七つのステップからなる。自動配置配線ツールとしては、筆者らが開発したHGALOP<sup>(2)(3)</sup>のほかに、実質的に業界標準となっているCADENCE社やAVANTI社のツールを用いることも可能である。さらに、クロック木生成ツールとして、CADENCE社やAVANTI社のツールを用いることが可能である。以下では、クロック分配方式決定について説明する。

所望のクロック仕様、すなわち、クロック相数、周波数、スキュー値、クロックパス遅延値、駆動するFF数、最大消費電力値、及び目標チップサイズを入力として、スキュー値、クロックパス遅延値、消費電力値、チップサイズを見積もり、クロック木方式かトランク方式<sup>(4)</sup>かを決定する。

スキュー値に関しては、トランク方式はクロック木に比べて、FF数が大きい場合に、スキューを小さく抑えることができるのが特長である。図1にLSI設計におけるスキュー値とFF数の関係を示す。トランク方式では、20,000~70,000個のFFにスキュー値100ps程度でクロック分配が可能である。図から達成可能なスキュー値を見積もる。

チップサイズは、達成可能な集積密度はある範囲内に収まるという経験則に基づいた以下の式によって見積もる。

$$\text{チップ面積(ロジック部)} = (L + C) / D + T \dots\dots(2)$$

ただし、 $L$ は回路規模(Trs.)、 $C$ はクロック木方式によ

る分配回路規模(Trs.)、 $D$ は達成可能な集積密度(Trs./mm<sup>2</sup>)、 $T$ はトランク配線部の面積(mm<sup>2</sup>)を表す。我々の経験では、 $C$ は全バッファのTr数の合計で、クロック木の場合はFFのTr数の総数の約2%と見積もることができる。また、トランク方式の場合は $C = 0$ であり、クロック木の場合は $T = 0$ とする。トランク方式では、太いトランク配線のために消費電力やレイアウト面積が増大するという問題が生じる。

## 3. クロック分配回路生成ツールCCgen

トランク方式のクロック分配回路設計には、従来、熟練設計者による人手設計で1クロックドメイン当たり3~5週間を要していたが、CCgenは、1クロックドメイン当たり2日に短縮した。CCgenが生成するトランク方式のクロック分配回路は、通常、複数のトランク回路と、それらのトランク回路に等遅延でクロック信号を伝搬するプリドライブ回路で構成する。大きな駆動能力を得るために、駆動能力の小さなバッファセルをトランク下に多数、均等に配置し、それらを並列駆動する。トランク、プリドライブ回路のカスケード段数は外部から与える。通常、トランクバッファは2~3段、プリドライブは1~2段で構成する。また、配線幅、配線層等についてもパラメータとして外部から与える。まず初めに、クロックドメインのFF入力端子容量の総和、及びFFの分布領域の大きさとトランクの配線の仕様から見積もった配線寄生容量、バッファセルのソース抵抗 $R_s$ とから最終段のバッファ数を求める。垂直トランク配線本数は、その間隔が最大許容間隔値以下となるよう決定する。トランク数が決まると、1トランク当たりのバッファ数を算出し、順次前段のバッファ数を算出する。その後、算出されたバッファ数に従ってバッファセルを配置し、それらの間の配線、及び最終段バッファセルの出力端子に接続するトランク配線を生成する。

CCgenは、フロアプラン結果、セル配置結果、配線結

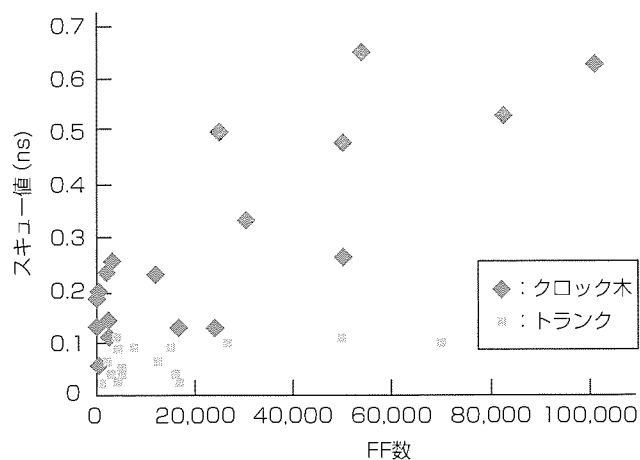


図1. 0.25/0.18μmルールLSIにおけるクロックスキューとFF数の関係

果に対して、後述のCSDPに入力する回路シミュレーション用ネットリスト(DSPF)を出力する。設計者はレイアウト設計工程の各段階でクロック分配回路の性能をCSDPによって確認し、必要に応じてバッファ数の調整やメッシュ形状の修正を行う。CCgenは、これら修正作業を効率的に行うための対話編集機能も備えている。

FF配置は一般に疎密を生じる。疎の領域では、密の領域と比較して負荷容量が小さいため、FFへのクロック信号遅延時間が短くなり、結果として大きなスキューを生じる。疎な領域にあっては、AWE手法<sup>(5)</sup>で算出したクロック信号遅延時間が最小のクロックバッファセル(最終段セル)を駆動能力0のダミーセルへ置き換えることにより、疎領域のFFへのクロック信号遅延時間を大きくして密領域の遅延時間にそろえ、スキューを小さくする。この処理を改善幅が指定値以下に収束するまで繰り返す。ダミーセルは、信号受け側のトランジスタのソースドレイン間をショートした上で出力側のトランジスタを取り除く。バッファセル削除ではなくダミーセル置換の採用により、バッファセルとダミーセルの入力端子容量は同一となり、最適化前後において、クロック分配回路の入力から最終段セル入力端子までの遅延時間は変化しない。

#### 4. クロックスキュー解析ツールCSDP

クロックスキュー解析ツールCSDPは、現状の技術では最も精度が高い3Dの配線RC抽出と、RC多段はしご(梯子)型の配線モデル、及びBSIM3トランジスタモデルを用いて動的に応答波形を得るSPICE互換の回路シミュレーションを行う仕様とした<sup>(1)</sup>。このうち、クロック分配回路(トランク方式、クロック木方式)の回路シミュレーション用ネットリストは、以下の三つの工程で作成する。①配線線分のRC多段梯子型回路の作成、②via holeに対する抵抗素子挿入、③FFの入力トランジスタゲート容量素子の接続。

①~③の工程を説明した図が図2である。配線を駆動するバッファから次段のバッファ(最終段はFFの入力トランジスタ)までに、抵抗素子が3段以上あれば遅延誤差は3%以下であると知られている。今回のモデルでは、分岐/折れ曲がりなしの配線を指定された長さごとに(この評価実験では100 $\mu$ mごとに)RC1段の回路にモデル化する。したがって、クロックバッファとクロックが供給されるFF間のパスの大部分は、RC3段以上の回路にモデル化され、3%以下の誤差になることを文献(1)で検証した。図3にCSDPのシステム構成を示す。配線RC抽出には米国EDAベンダー製ツール及び筆者らが開発した3D方式RC抽出ツールHBAgen<sup>(6)</sup>を用いている。CSDPは、抽出した配線RCをMOSトランジスタの接続情報とともに業界標準形式で受け取る。このシステムに対し、設計者は基本的に

クロック波形入力ノードと末端のFF名、及び出力形式(二次元表示/リスト出力)を指定するだけでよい。要求される機能仕様に対応して、CSDPは、クロック波形生成及び全FFの入力端子をクロック観測点とする処理を行い、回路シミュレーションの入力ファイルを生成する。

回路シミュレーションが終了すると、CSDPは、シミュレータの出力波形と入力クロック波形を基に各観測点におけるクロック信号遅延値を計算する。CSDPの粗い格子単位のクロック信号遅延値の二次元表示の例を要旨のページのイメージ図に示す。これにより、設計者はクロック遅延の大きな箇所を診断し、原因がFFの偏在などによる場合は当該箇所のトランク配線やクロックバッファを強化し、原因がFFにつながるブランチ配線のう(迂)回などによる場合はFFの配置変更やブランチ配線の経路短縮を図る。こうしてスキューを低減した例は文献(1)に詳細に示されている。

#### 5. 評価結果

まず、この設計ツールを200MHz級の周波数のクロック分配回路を含むシステムLSIに適用した結果を示し、次に、CCgenのバッファ回路最適化の結果を示す。

図1と表1はCCgen/CTSを用いて設計したシステム

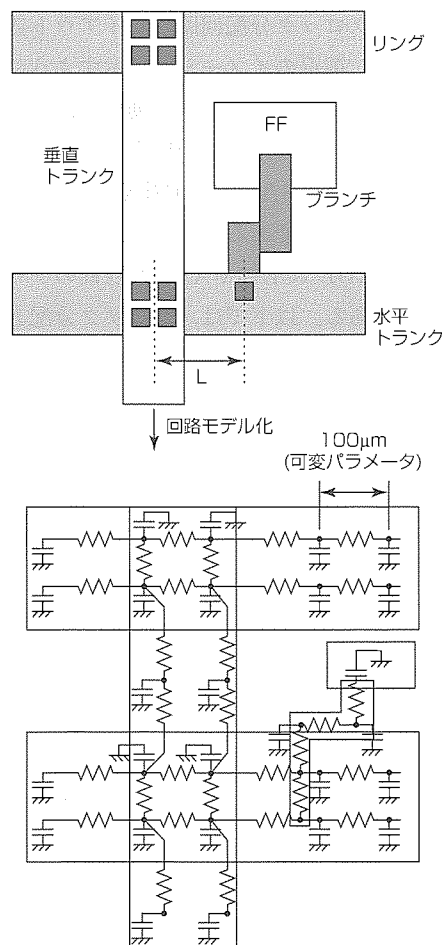


図2. 寄生RCの回路モデル

表1. CCgen/CTSを適用したLSIのクロック周波数とスキュー値

LSI名	回路規模	テクノロジー	FF数	周波数	タイプ	スキュー値	最大/最小クロック遅延	クロック消費電流	バッファ数	基本バッファのtpd値
A	1.4Mゲート	0.25μm	69,290	133MHz	トランク	100ps 97ps	1.227ns/1.127ns 1.245ns/1.148ns	603mA	2,806	208ps/164ps
B	1.5Mゲート	0.18μm	4,839	166MHz	トランク	81ps 87ps	0.581ns/0.500ns 0.581ns/0.494ns	40mA	308	120ps/126ps
			16,577	166MHz	トランク	48ps 49ps	0.780ns/0.732ns 0.796ns/0.747ns	116mA	608	120ps/126ps
C	1.5Mゲート	0.18μm	82,313	120MHz	ツリー	373ps 505ps	3.906ns/3.533ns 5.057ns/4.552ns	99mA	2,225	438ps/306ps

\* スキュー値, クロック遅延は, 上段がrise信号の場合, 下段がfall信号を表す。

LSIのクロック周波数とスキュー値を示す。

表の回路Aの場合, トランクの配線幅は, 下にバッファ回路を置く垂直配線がA13層で8.26μm, それ以外はA14, 5層で2.38μmである。FFへの支線の幅は, A11~4層は0.42μmで, A15層は0.7μmとした。図1と表1から分かるように, トランク方式クロック分配回路は,

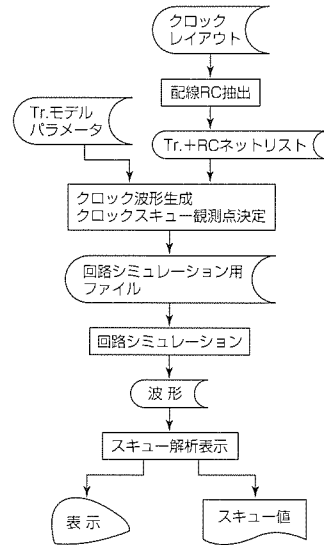


図3. CSDPのシステム構成

20,000~70,000個のFFを100ps程度のスキューで駆動することができている。また, FF数が20,000個以下の場合, クロック木方式回路でスキュー値200ps程度を達成できている。

次に, FF配置の疎密に基づくCCgenのバッファ回路駆動力調整機能の有効性を検証する。実験に用いたLSI回路のFF数は69,290個で, チップ上に垂直トランク配線を5本敷設し, 各トランク回路のバッファセルのカスケード段数は3で, 各レベルでバッファを8個, 30個, 520個並列駆動して回路を構成している。この後, AWE手法によって最終段FFから各FFへの遅延時間を計算し, 遅延最小のFF近傍のバッファセルを順次ダミーセルに置換した。この結果, 755個のバッファセル置換後に, 表2のように, スキュー値は136ps/130psから100ps/97psへ減少し, 目標スキュー値を達成した。

## 6. むすび

以上述べたクロック分配回路CADシステムは, 当社のシステムLSI事業に全面的に適用されている。このシステムは, CSDPによるスキュー検証に加えて, 式(1)に基づく静的タイミング検証を行う。このタイミング検証は, 全

表2. CCgenバッファ回路駆動力調整機能の適用結果

	最適化前	最適化後
疎密の度合い*	0~51個	
バッファの減少数	755	
スキュー値 (上段: rise, 下段: fall)	136ps 130ps	100ps 97ps
最小遅延値 (上段: rise, 下段: fall)	1.089ns 1.113ns	1.127ns 1.148ns

\* チップを64×64分割した領域内のFF数

FFに同一のスキュー値sを用いるのではなく, FFごとに異なるCSDPが算出したクロック到達時間の差異をsとして用いるという点で高精度である。

## 参考文献

- (1) 金本俊幾, 柴山泰範, 寺井正幸, 堀場康孝, 外蘭三彦, 味岡佳英, 岡崎 芳: システムLSI用クロック分配回路設計手法とそのクロックスキュー解析手法, 情報処理学会論文誌, 41, No.4, 871~880 (2000)
- (2) Takahashi, K., Nakajima, K., Terai, M., Sato, K.: Min-Cut Placement with Global Objective Functions for Large Scale Sea-of-Gates Arrays, IEEE Transactions on CAD of ICAS, 14, No.4, 434~446 (1995)
- (3) 寺井正幸, 城田博史, 柴谷 聡, 佐藤興二: 3層チャネルレス・ゲートアレイのための高速配線手法, 情報処理学会論文誌, 38, No.3, 657~668 (1997)
- (4) 荒川隆彦, 奥野義弘, 岡辺雅臣, 大野多喜夫, 蔵満洋一: 高性能クロック分配機能付0.8μmCMOS SOG, 信学技報VLD 89-103, 47~52 (1989)
- (5) Pillage, L., Rohrer, R.: Asymptotic Waveform Evaluation for Timing Analysis, IEEE Transaction on Computer-Aided Design, 9, 352~366 (1990-4)
- (6) 小谷 健, 寺井正幸, 高橋一浩, 定兼利行, 堀場康孝, 岡崎 芳: ディープサブミクロンLSI設計における仮想配線容量見積りの精度向上の一手法, 情報処理学会論文誌, 42, No.4 (2001)

# LSI解析技術

## 要 旨

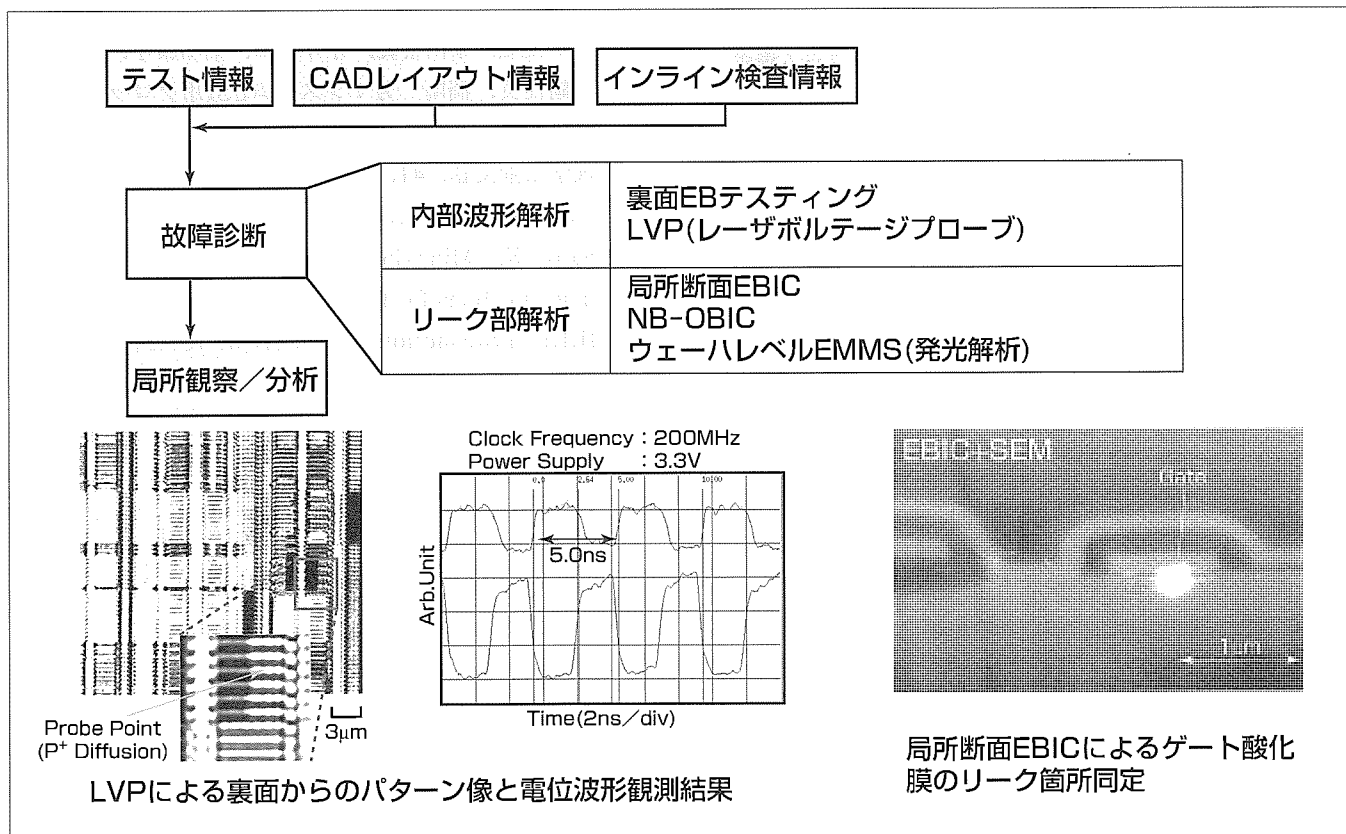
急速に進むIT化の中で、LSIデバイスは高度情報化社会を支える基盤となっており、これまで以上に厳しい品質が必要になる。複雑化するLSIデバイスの品質を確保するためには、開発・設計段階で信頼性を作り込むことはもちろんだが、開発段階で発生した不良の原因を解明し、デバイス製造プロセスにフィードバックし、より信頼度の高い製造プロセスとして完成させることが重要である。しかし、高性能LSIでは、配線の多層化と同時に、I/O数増加に伴い、フリップチップが主流となってきており、チップ表面からの解析が困難になってきている。このため、高性能LSIに対応可能な、チップ裏面からの故障診断技術、不良箇所の同定技術を開発した。

裏面EB(Electron Beam)テスト技術(裏面EBT)及びレーザーボルテージプローブ(LVP)技術により、チップ裏面から電位波形を解析し、フリップチップデバイスなど高性能デバイスの故障診断を行った。

また、リーク部を検出する技術として断面EBIC(Electron Beam Induced Current)技術を開発し、p/n接合部の不良に伴うリーク、シリコン酸化膜のピンポイント欠陥など、従来は見ることのできなかつた欠陥をビジュアル化することに成功した。

これらの技術により、高性能LSIの不良原因を迅速に解明し、高品質な製品の開発を加速できる。

特集  
I



## 半導体デバイス対応の故障診断技術

高性能LSIでの配線の多層化とI/O数の増加に伴うフリップチップ化に対応できる新たな故障診断技術を立ち上げた。裏面EBテスト技術とLVPを組み合わせることで総合的に故障解析を進めていく。

## 1. ま え が き

高性能LSIの高集積化・微細化はとどまることを知らず、システムオンチップも現実のものとなってきている。1チップ上に搭載されるロジックトランジスタの数は、1997年には250nmのテクノロジーノードで13メガ個であったものが、2002年には130nmで130メガ個と5年でサイズは半分に、集積度は10倍となると予想されている(SIA 1999ロードマップ)。一方、LSIデバイスは高度情報化社会を支える基盤となっており、これまで以上に厳しい品質が必要になる。複雑化するLSIデバイスの品質を確保するためには、開発・設計段階で信頼性を作り込むことはもちろんだが、開発段階で発生した不良の原因を解明し、デバイス製造プロセスにフィードバックし、より信頼度の高い製造プロセスとして完成させることが重要である。高性能LSIに対応可能な故障解析技術として、チップ裏面からの電位波形を取得する裏面EBテスト技術やLVP技術、及びp/n接合部のリークやゲート絶縁膜のリーク不良を顕在化させる断面EBIC技術を開発した。

本稿では、これらの技術について述べる。

## 2. LSI故障診断技術—チップ裏面からのアプローチ—

ロジックLSIでは、メモリのような故障アドレスは得られないため、数千万個のトランジスタ又はそれらを結ぶ配線のうちのどこに不具合や欠陥があるのかを抽出する故障診断技術が重要になる。三菱電機では、詳細に不良箇所を追跡するため、CADナビゲーション機能を強化したEBテスト技術を立ち上げてきた。しかしながら、ロジックLSIでは高集積化とともに配線の多層化(2001年で6~7層)が進み、同時にチップ表面全体にパッドが並ぶフリ

ップチップが主流となろうとしている。6層以上の多層配線、フリップチップ構造のデバイスは、チップ表面から得られる情報によっては故障箇所の同定がほとんどできなくなった。このため、スキャン設計やロジックテストによる不良箇所(ノード)推定技術を立ち上げるとともに、チップ裏面からの故障診断技術を開発した。

### 2.1 裏面EBテスト技術

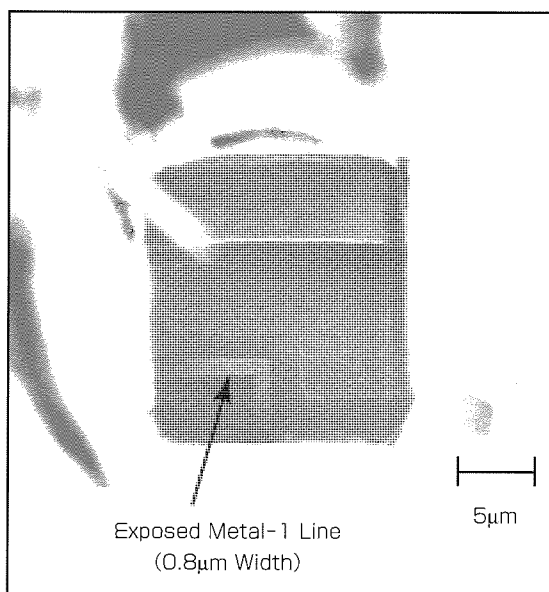
EBテスト技術は、内部電位をプロービングする上で空間分解能も高く、かつタイミング測定精度も高い非常に有効な手段である。この評価を裏面から行うため、短時間(約2時間)かつ高い位置精度(約5 $\mu$ m)でチップ裏面から所望の配線を露出させる裏面加工方法を開発し、その配線の電位波形、電位コントラスト像を表面から同等の精度で得る技術を立ち上げた<sup>(1)(2)</sup>。図1の(a)にチップ裏面から第1層目の金属配線を露出させた状態でのSEM像を、図の(b)にこの箇所取得した電位波形を示す。833MHzのクロック波形が正確にモニタできているのが分かる。

### 2.2 LVP技術

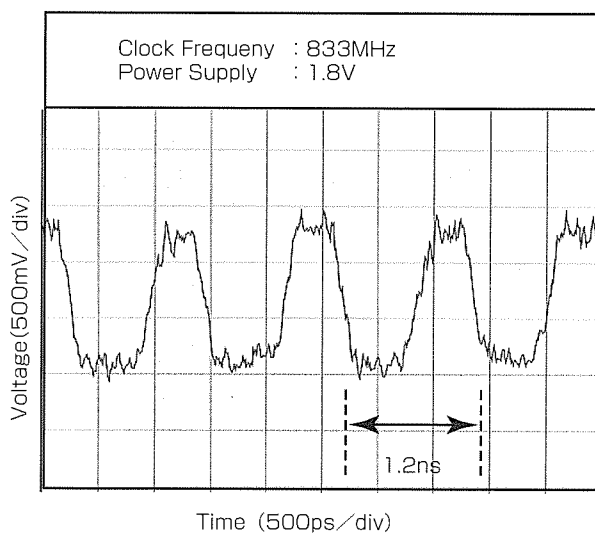
裏面EBテスト技術ではチップ裏面から配線を露出させる必要があるため観測できる領域が限られるが、LVP技術は裏面からチップ内の任意の拡散層ノードに対する電位波形を取得できるため動作不良ノードをトランジスタレベルで正確にモニタでき、故障解析の高精度化・効率化を図ることができる。

#### (1) 原理

LVPの測定原理について述べる。シリコンデバイスの裏面からパルスIRレーザ(波長:1.064 $\mu$ m)を入射し、トランジスタのドレイン部のp/n接合に照射し、反射光を検出する。p/n接合に電界がかかっている場合は、バンドギャップナローイングが起こるため、入射レーザの吸収率



(a) 裏面からの配線露出後のSEM像



(b) 電位波形観測結果

図1. 裏面EBテストによる高速波形観測結果

が上がり、反射光強度が小さくなる(Franz-Keldysh効果)。さらに、p/n接合での電位差によって反射光に位相差が生じる。この位相差とFranz-Keldysh効果による強度変化をモニタし、時間軸に対してプロットすることで、電位波形が得られる<sup>(3)</sup>。LVPでは、トランジスタのドレイン電位が直接モニタできるため、任意のノードの電位波形が観測可能である。デバイスは、レーザ光の強度を確保するためシリコン基板600 $\mu\text{m}$ のウェーハ厚を全面約100 $\mu\text{m}$ まで薄く研磨した後に反射防止膜を形成し、研磨面でのレーザ光の反射を防止している。

(2) 超高速波形測定

図2の(a)に、0.18 $\mu\text{m}$ デザインルールで形成したPLL(Phase Locked Loop)回路をチップ裏面からレーザ光で観察したLSM(Laser Scanning Microscope)像と、これに対応するCADレイアウト(裏面から見ているためCAD上でデータを鏡対象に反転している。)を示す。横方向、ライン状に白く見える部分がソース/ドレイン拡散層、黒い部分がゲート電極である。図の(b)には、LVP測定によるNMOSトランジスタのn<sup>+</sup>拡散層部の電位波形の解析結果を示す。外部から100MHzのクロック信号を与え、10倍速でPLL回路を動作させた場合の波形が正確に1GHzの信号として測定できている。LVPによってGHzオーダーの高速回路についても解析可能であることが分かる。

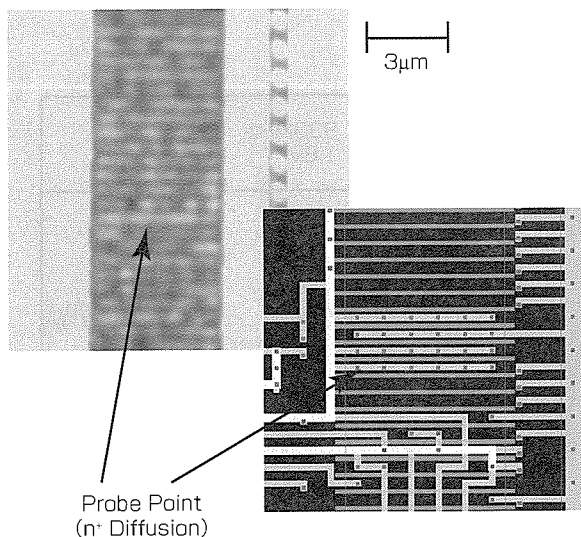
3. リーク解析—見えない欠陥をビジュアル化する技術—

不良原因を解明するためには“見えない欠陥”をビジュアル化する技術が重要となる。特にp型やn型接合の異常に起因するリークは解析が困難で、不純物拡散層を空間分解能良く必要な濃度まで顕在化できる技術はなかった。一般

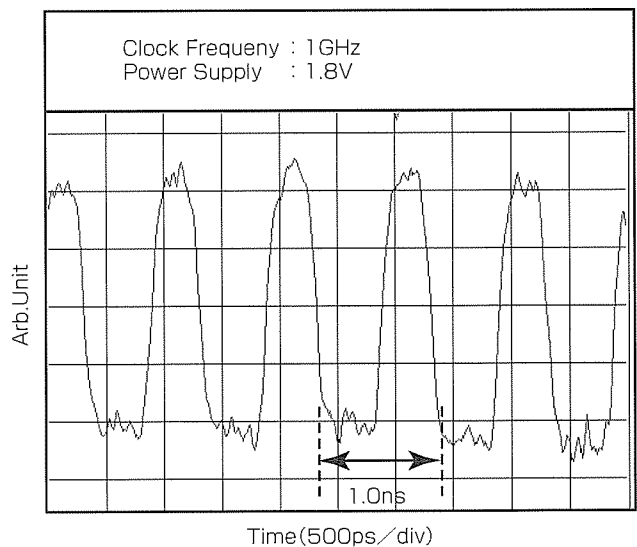
的なSirtl溶液やWright液等によるWetエッチングでは、 $10^{19}\text{atoms}/\text{cm}^3$ 以上の高濃度拡散層しか顕在化されない。また、SIMSを使用すれば不純物濃度の絶対値プロファイルを得ることができるが、ゲートエッジやフィールドエッジなどの拡散層の三次元的な分布を得ることは困難である。これに対して、当社で開発した“局所断面EBIC技術”では、FIBで露出した基板断面に対するEBIC解析により、 $10^{17}\text{atoms}/\text{cm}^3$ レベル低濃度の拡散層(ウェルなど)の局所分布やゲート酸化膜のピンポイント欠陥が評価可能となった<sup>(3)</sup>。

以下に、局所断面EBIC技術について述べる。

光や荷電ビームをSi基板に照射した際に発生する起電流量を像変換することにより、空乏層の空間分布を顕在化できる。この起電流はp/n接合のポテンシャルを反映するため、ウェル等の低濃度拡散層の顕在化も可能である。特に電子ビームをプローブとするEBIC手法は、ビーム径を絞れるため、高分解能での像観察が期待できる。しかしながら、従来の上面からのEBIC解析<sup>(4)</sup>では、基板中でキャリアを誘起させるために高加速電圧のビームを照射する必要があり、基板上層膜(層間膜、電極)中での電子散乱、基板中でのキャリアの広がりによって分解能が犠牲になっていた。また、当然ながら、多層化されたサンプルには対応できなかった。FIBで基板断面を露出しかつ低加速電圧のビームでキャリアの広がりを抑えることで、高分解能でかつ $10^{17}\text{atoms}/\text{cm}^3$ の低濃度拡散層までの顕在化が可能となった。図3に、n<sup>+</sup>拡散層と素子分離酸化膜の交差する領域での断面EBIC像を示す。分離酸化膜下のp領域( $\sim 10^{17}\text{atoms}/\text{cm}^3$ )とn<sup>+</sup>拡散層の交点で電界強度が強くなっている状況がEBIC像のコントラストから明確に判定で

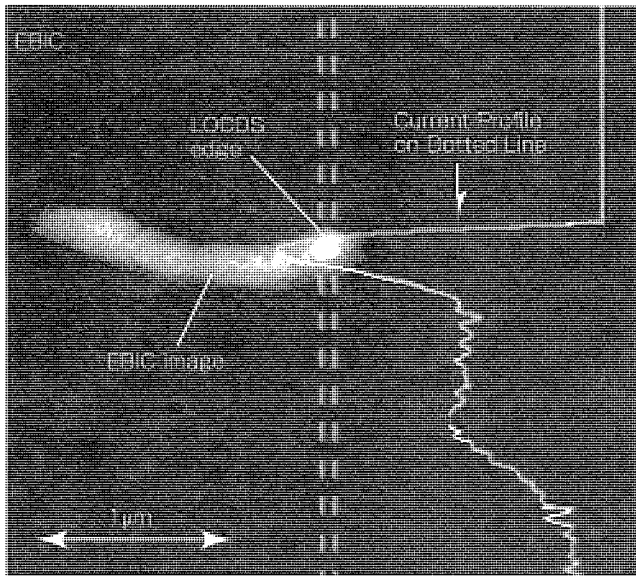


(a) チップ裏面からのLSM像

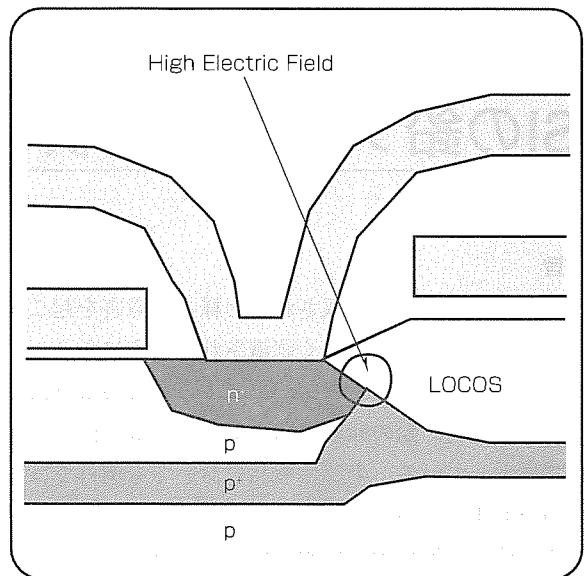


(b) PLL回路の1GHz電位波形

図2. LVPによる高速波形観測結果

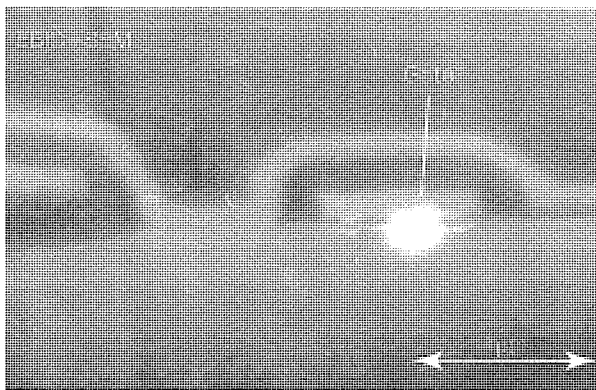


(a) 断面のEBIC像

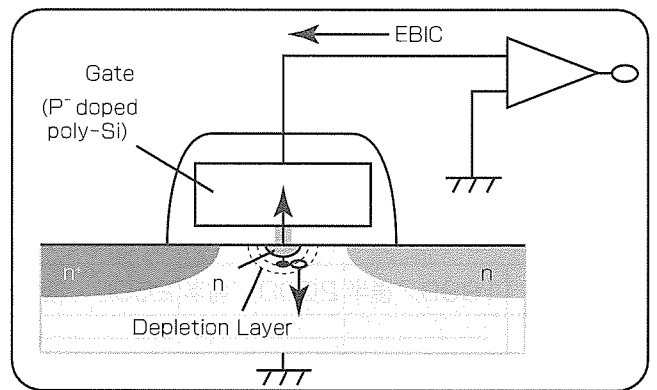


(b) デバイスの断面模式図

図3. 局所断面EBICによる空乏層/高電界領域の観察例



断面のEBIC+SEMの重ね合わせイメージ



酸化膜リーク箇所でのEBIC発生の模式図

図4. 局所断面EBICによる酸化膜リーク箇所の観察例

きる。また、酸化膜のピンポイント欠陥についても、断面からのEBIC評価でゲートリークポイントが明確になった(図4)。通常のWetエッチングでの顕在化と比較してEBICによる顕在化では欠陥部が残っているので、元素分析も可能となった。

#### 4. む す び

高性能LSIに対応できる故障診断手法として裏面EBテスト法とLVP技術を、また、これらの故障診断で確認した不良の原因を明確にするために見えない欠陥をビジュアル化する技術として局所断面EBIC技術を立ち上げた。これらの手法に発光解析と局所TEM技術などを組み合わせて総合的な故障解析に適用し、迅速な不良原因解明とデバイス製造プロセスへのフィードバックを行い、より高品質製品を提供していく所存である。

#### 参 考 文 献

(1) 吉田映二, 中嶋太一, 小山 徹, 小守純子, 益子洋

治: Flip Chip 対応裏面EBテスト法の手検討, LSIテストシンポジウム/1999会議録, 218~222 (1999)

(2) Yoshida, E., Koyama, T., Maeda, S., Komori, J., Mashiko, Y.: Direct Detecting of Dynamic Floating-Body Effects in SOI Circuits by Back-side Electron Beam Testing, IEDM Tech. Dig., 567~570 (1998)

(3) Koyama, T., Umeno, M., Sonoda, K., Komori, J., Mashiko, Y.: Locally Delineating of Junction and Defects by Local Cross-section Electron Beam Induced-current Technique, IEEE Microelectronics Reliability., to be published.

(4) Park, J.G., Rozgonyi, G.A.: DRAM Wafer Qualification Issues; Oxide Integrity vs. D-Defects, Oxygen Precipitates and High Temperature Annealing, Solid State Phenomena, 47-48, 327~352 (1996)

# LSIの鉛フリーの現状と将来

## 要 旨

近年、“鉛”は人体に吸収されると様々な障害を起こす環境有害物質であることが広く認識されるようになり、電子機器・部品の廃棄物からの鉛溶出による環境汚染を防ぐため、鉛使用規制、鉛の回収義務の動きへの取組が世界的レベルで拡大している。半導体製品においても例外ではなく、積極的な取組を推進していく必要がある。

三菱電機の半導体製品においても、プラスチックパッケージの外装はんだめっき及びBGA (Ball Grid Array) パッケージのはんだボールのように、鉛を含有するはんだ材料に対しては、代替材料の開発によってその使用量の削減・全廃をするため取り組んでいる。当社の半導体においては1998年から技術開発をスタートし、2001年には一部製品か

ら順次適用を行っており、2002年～2003年にかけて順次鉛フリーの比率を拡大して2004年に全廃することを目指している。

具体的には、まず、外装めっき対応は、既に一部製品へ適用しているNi/Pd/Auの三層構造めっきに加え、Sn-Cuめっきを選択し、量産展開している。この際、鉛フリー化に伴う実装温度に対する耐パッケージクラック性の向上も検討している。また、上記と併せて、BGA用ボール材としてSn-Cu, Sn-Ag-Cuボールの検討も行っている。

本稿では、これらの評価結果を中心に、三菱電機LSIの鉛フリー対応について述べる。

特集  
I

	1999/後半	2000/前半	2000/後半	2001	2002	2003	2004
マイルストーン	鉛フリー技術開発		量産準備	量産開始	量的拡大		
鉛フリー材料 ・外装めっき ・外部ボール	鉛フリーめっき基礎評価 ・外観 ・密着性 ・はんだ濡れ性 ・実装性	量産準備	認 証	鉛フリーめっき/BGA鉛フリーボール量産開始	鉛フリー製品量的拡大		
パッケージ耐熱性	鉛フリーペースト対応リフロープロファイルでのパッケージ耐熱性評価		パッケージ仕様決定		<p>外装めっき Sn-Pb→Sn-Cu</p> <p>外部ボール Sn-Pb→Sn-Cu又はSn-Ag-Cu</p> <p>パッケージ耐熱性 ピーク温度：240→260°C (パッケージ表面)</p>		
	代表パッケージでの評価		パッケージ耐熱性追加確認				

### 三菱電機半導体 (LSI) の鉛フリー化取組

鉛フリー製品 (LSI) の量産化は、2001年には一部製品から順次適用を行っており、2000年～2003年にかけて順次鉛フリー比率を拡大し、2004年に鉛全廃を目指す。外装めっきはSn-Cuめっきを主体とする。



## 1. ま え が き

鉛の有害性については、体内に蓄積されると、神経障害等を引き起こすことが報告されている。古くは、ローマ時代に上下水道や大衆浴場の配管に加工しやすい鉛を使用し、食器にまでも鉛を使用した。このため、ローマの貴族社会には、鉛中毒の結果としか考えられない流産や死産、不妊症が見られた。我が国でも、徳川時代から明治時代にかけて、白粉による鉛中毒が報告されている。米国では、血液中心鉛濃度とIQの関係が調査され、鉛の濃度が統計的に大いに関係することが発表されている。

電機・電子機器には多くの半導体部品やプリント基板を使用している。これらに使用されるはんだには鉛が含有されており、廃棄された電子機器・部品が酸性雨にさらされると鉛が溶出し、地下水や河川の汚染を招き、飲料水として人体に摂取される可能性がある。こうした背景から、鉛を含まない半導体製品の開発が環境保全の重要な課題となっている。法的規制としては、欧州の廃電気電子機器リサイクル指令(WEEE) 4次ドラフトに2008年までに鉛の全廃が規定されている。

三菱電機半導体のLSIパッケージではダイボンダ材、外装めっき及び外部はんだボールに鉛を使用しており、それらの鉛フリー化に取り組んでいる。また、鉛フリー化に伴い、顧客での実装に使用される接合材料(はんだペースト)も、顧客各社の状況に応じて低融点の共晶はんだから融点の高い鉛フリー材料となるため、実装温度上昇の場合を考慮したパッケージ耐熱性の向上にも取り組んでいる。

本稿では、特に外部に流出する危険性の高い外装めっきを中心に、併せて、外部ボールやパッケージ耐熱性の向上について述べる。

## 2. 外装めっきの鉛フリー化

三菱半導体(LSI)の外装めっきは、約20年前から、はんだ濡れ性に優れウイスカの発生を抑えたSn-Pbめっきを

使用している。外装めっきに含まれる鉛(Pb)の量はおよそ10%である。この鉛を含まない代替めっきとして、表1に示す各種鉛フリーめっきがある。三菱半導体(LSI)では、鉛フリー対応の代替めっきとして、リードフレーム材料にあらかじめNi/Pd/Auの三層構造めっきを施したプリブレーティングフレーム適用パッケージを一部製品に用いている。このNi/Pd/Auの三層構造めっきは、外装めっきを代用しているため、アセンブリ後のめっき工程を省略できる長所がある。一方、電気化学的腐食の問題によって42Alloyフレームには適用しにくく、また、コスト面でパラジウムの不安定な価格変動に影響を受けるという問題がある。

そこで、既存の外装はんだめっきプロセスを置き換えることを前提に、鉛フリーめっき材料を検討した。現有装置を有効活用できるように、中高速タイプ(電流密度15~25A/dm<sup>2</sup>)のめっき条件に適した鉛フリー材料として、Sn-1.5Cu, Sn-3.5Ag, Sn-3.0Bi, Snを選択し、それぞれめっきの外観、密着性(175℃耐熱360°ねじり)、はんだ濡れ性(175℃耐熱はんだ濡れ時間(ゼロクロスタイム))を評価した。その結果、多少の差はあるものの、従来のSn-10Pbめっきと同様、実用上問題のないレベルであった。

鉛フリーペーストとの組合せにおける実装性も評価した。鉛フリーペーストの代表として表2に示すSn-3.5Ag-0.75Cu, Sn-2.5Ag-0.5Cu-2.5Bi, Sn-8Zn-3Biを選択し、それぞれの鉛フリーめっきとの接合性を温度サイクルで確認している。いずれの組合せにおいても、大きく接合強度の低下が見られる組合せは見られていない。その代表例としてSn-Cuめっきの評価結果を図1に示す。図より、Sn-Cuめっきと各種鉛フリーペースト材料の接合強度の温度サイクルによる変化は、従来のSn-PbめっきとSn-Pbペースト材の場合と大きな差は見られないことが分かる。

以上の評価結果と次に挙げる理由により、当社では鉛フリー外装めっきとしてSn-Cuを選択した。

### ① Sn-Agめっきのコスト問題

表1. 各種鉛フリーめっきの特徴

めっき	ねらい組成 融点	長 所	短 所
Sn-Cu	Cu : 1.5% 227℃	・機械的強度良好(実装を含めた熟疲労, 耐熱衝撃特性) ・鉛入りはんだ材との相性良好 ・めっき液としての安定性望める	・液開発の時期が遅く評価実績が少ない
Sn-Ag	Ag : 3.5% 221℃	・機械的強度良好(実装を含めた熟疲労, 耐熱衝撃特性) ・鉛入りはんだ材との相性良好	・Agの価格が高い(めっきされる材料代としては現行の2倍) ・めっき液の安定性に疑問(貴な金属であるAgを含むため)
Sn-Bi	Bi : 3.0% 220℃	・はんだ付け性良好とされ、めっきとしての評価実績が多い(元素の周期率では、BiはPbの隣の元素である)	・機械的強度の疑問(曲げによるクラックの発生) ・鉛入りはんだ材との相性問題 (BiとPbの化合物による脆化) ・有毒性の問題(特にヨーロッパ)
Sn	Sn : 100% 232℃	・めっきとしての実績は古く、めっきの技術としては確立している	・ウイスカ発生の問題あり
Pd/Au (Ni下地)	Pd/Au 100/100% 1,552/1,063℃	・外装処理工程の省略が行え量産実績あり ・はんだ付け性良好	・電気化学的腐食問題から42alloy材に適用しにくい ・Pdの価格変動が大きい

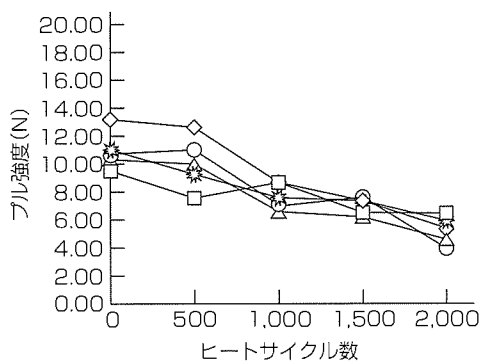
- ② Snめっきのウイスカ問題
- ③ Sn-Biめっきをフローはんだ実装に適用する場合、はんだ槽へBiが蓄積し、接合はんだ部分がぜい(脆)化する問題、及びBiの有害性の問題(事実、一部フローはんだ適用顧客からSnBi納入不可とされているケースがある。)

なお、Sn-Cuにおけるウイスカについては、最適フレーム材質を選択する、また熱処理を施すことによって対応

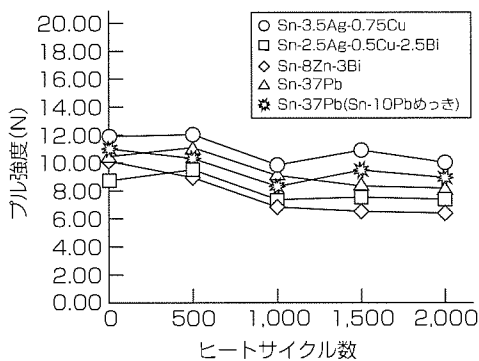
表2. 各種鉛フリー実装用はんだペーストの特徴

ペースト(はんだ組成)	融点L S	特徴
Sn-3.5Ag-0.75Cu	220℃(L) 216℃(S)	・機械的強度良好(熱疲労、耐熱衝撃特性) ・融点が高い
Sn-2.5Ag-0.5Cu-2.5Bi	217℃(L) 208℃(S)	・Sn-Ag-Cuよりも融点が高い(濡れ性向上) ・PbとBiの相性が悪い
Sn-8Zn-3Bi	197℃(L) 187℃(S)	・融点低い(リフロー温度変更不要) ・濡れ性が悪い(N2リフローが必要)

Sn-37Pb(共晶はんだ)：183℃ 融点L：液相線温度 S：固相線温度



(a) 42 Alloyフレーム



(b) Cuフレーム

図1. Sn-Cuめっきと各種ペースト材の温度サイクル(-40~125℃)におけるリード接合強度

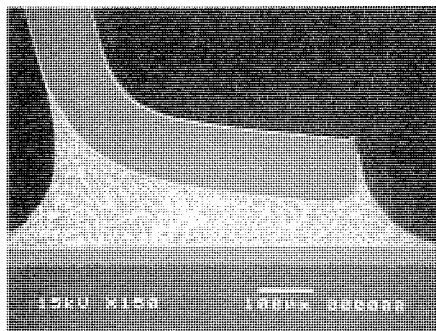
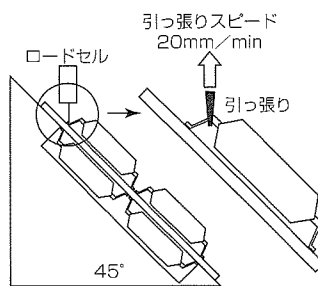


図2. Sn-CuめっきとSn-Ag-Cuペースト接合部断面写真(0.4mmピッチ100ピンQFP)

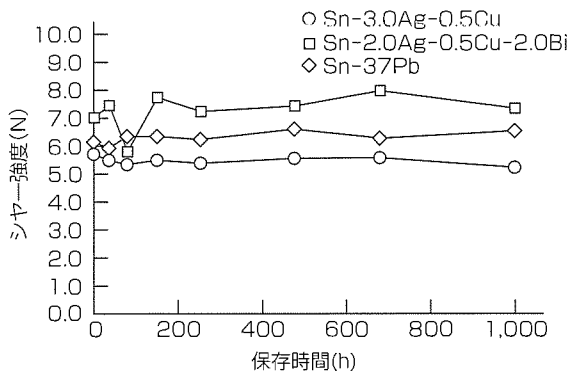


図3. 各種ボール材の高温保存(150℃)におけるシヤー強度

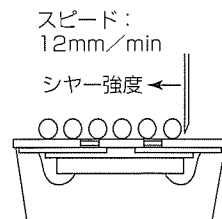


表3. 0.8mmピッチ175ピンBGA搭載基板の温度サイクル後断線発生数(断線発生パッケージ/試験パッケージ数)

はんだボール	実装用ペースト	初期	150サイクル	200サイクル	300サイクル	400サイクル	500サイクル
Sn-3.0Ag-0.5Cu	Sn-3.0Ag-0.5Cu	0/20	0/20	0/20	0/20	0/20	0/20
Sn-2.0Ag-0.5Cu-2.0Bi	Sn-3.0Ag-0.5Cu	0/20	0/20	0/20	5/20	10/20	16/20

温度サイクル条件：-40~+125℃, 15/15min

が可能であることを確認した。

図2はSn-CuめっきとSn-3.5Ag-0.75Cuペースト材との接合部断面写真である。この写真に示すように、Sn-Cuめっきのリードは、鉛フリーペースト材であるSn-3.5Ag-0.75Cuペースト材と良好な濡れを示している。

### 3. 外部ボールの鉛フリー化

BGAパッケージの外部ボールにも鉛が含まれている。鉛を含まない代替ボール材料として、電子部品材料の中で実績があるSn-3.5Ag共晶はんだにはんだ濡れ性の向上を目的としてCuを添加したSn-Ag-Cu三元合金、さらに融点低下をねらいとしたSn-Ag-Cu-Bi四元合金を選択し、評価した。

150℃高温保存後のボールシヤー強度を図3に示す。保存時間に伴うシヤー強度の劣化は、いずれのボール材質においてもほぼ一定であることが分かった。表3に、BGAパッケージを基板に実装し、温度サイクル評価をした結果を示す。現在評価を継続中であるが、500サイクルまでの結果では、Sn-Ag-CuがSn-Ag-Cu-Biよりも優れている

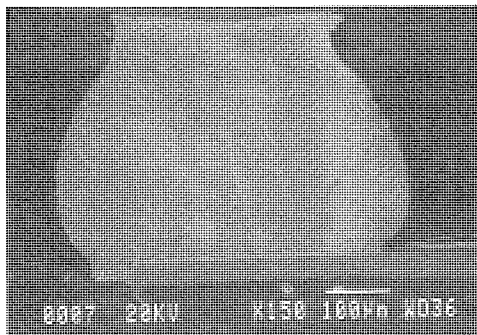


図4. Sn-Ag-Cuボール接合部断面写真(0.8mmピッチBGA)

ることが分かる。Sn-Ag-Cuボールの接合断面写真を図4に示す。写真からSn-Ag-Cuボールと基板との良好な接合が伺える。

また、従来のSn-Pb共晶はんだと近い物性を持ったSn-Cuボールも実用レベルでの開発が進んでおり、今後併せて検討していく予定である。

#### 4. パッケージの耐熱性

電子機器の鉛フリー化には、実装に使用される接合材料(はんだペースト)を鉛フリーにする必要がある。従来、一般に使われるはんだペーストは融点183℃の共晶はんだ(Sn-37Pb)であった。このはんだペーストが表2に代表される各種鉛フリーペースト材となり、融点が高いものでは、220℃に達する。このため、実装温度は、一般的に従来共晶はんだで使用されてきた230℃から250℃程度に上昇するとされている。そこで、鉛フリー対応のパッケージ耐熱評価は、図5に示すプロファイルでパッケージ表面でのピーク温度260℃で行ってきている。

TSOP (Thin Small Outline Package) 及び主要QFP (Quad Flat Package) は良好な結果を得ている。

従来の材料・構造で鉛フリー対応の耐熱性を確保できないパッケージは、図6に示すように、高耐熱性モールド樹脂の採用やリードフレーム形状の変更でパッケージ耐熱性

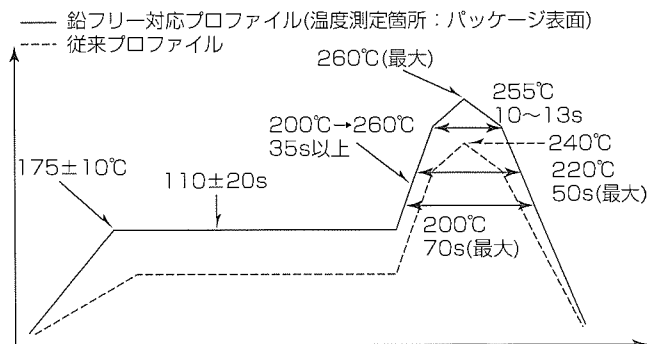


図5. 鉛フリーペースト対応耐熱評価プロファイル

高耐熱性モールド樹脂の採用	吸水率 0.4%	→	吸水率 0.2%
リードフレーム形状の変更	ダイパッド	→	ダイパッド形状の最適化

高温でのく(割)裂、クラック発生の可能性

図6. パッケージ耐熱性の向上

の向上を図っている。ただし、コストアップにつながる場合もあるため、顧客との実装条件や開封後の放置時間の見直し等の技術的なすり合わせも重要となる。

#### 5. む す び

近年、“環境問題”が企業活動に与えるインパクトは大きくかつ深いものであり、この中で鉛フリー化の取組も非常に重要なものとなっている。半導体は、電子機器の省資源、省エネルギー、省力化など環境に対する影響を低減するための重要な製品である。これまで述べてきた鉛フリー化の取組を、開発段階の半導体だけでなく、既存の半導体にも展開し、鉛フリー化を拡大することが重要である。今後、三菱電機半導体は、鉛フリー化の展開も含め、地球環境保護と環境汚染防止に取り組んでいく。



# 特許と新案\*\*\*

三菱電機は全ての特許及び新案を有償開放しております

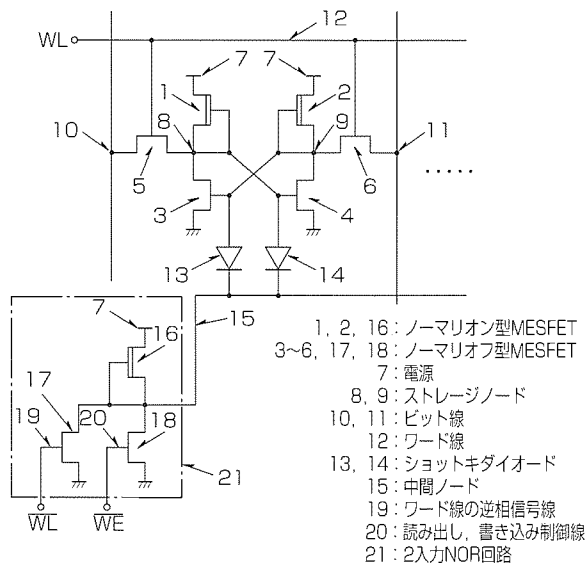
有償開放についてのお問合せは  
三菱電機株式会社 知的財産渉外部  
電話(03)3218-9192(ダイヤルイン)

## ガリウム砒素半導体記憶装置 (特許 第2823294号, 特開平3-228291号)

発明者 牧野博之, 松江秀一

この発明は、ガリウムひ(砒)素半絶縁性基板上に形成される記憶装置のソフトエラー耐性改善に関するものである。従来のガリウム砒素メモリ回路においては、記憶ノードの電圧がトランジスタ内に形成される寄生ショットキダイオードのバリア高さで制限されるためシリコン素子に比べて低かった。そのため、 $\alpha$ 線の入射によって記憶ノードが容易に反転し、いわゆるソフトエラーを引き起こしやすいという問題があった。この発明は、上記の問題を解決するためになされたもので、図に示すように、メモリセルの記憶ノード(8)及び(9)にそれぞれショットキダイオード(14)及び(13)を接続し、両方のカソード(15)をNOR回路(21)で駆動するという構成としている。このメモリセルが非選択状態の際には、ワード線(12)とノード(15)が共にLowレベルとなり、記憶ノードにはショットキダイオード(13)及び(14)による容量が付加されるため、ソフトエラー耐性が高まる。これに対して、データの書き込み時には、ワード線(12)とノード(15)が共にHighレベルとなる。ショットキダイオードは順方向のバイアスが低くなると容量が低下する性質を持つため、書き

込み時のみ記憶ノードに付加される容量が低減され、その結果、書き込み時間が高速化される。したがって、この発明により、書き込み時間を低下させることなくソフトエラー耐性を高めることができる。



## 母線保護装置 (特許 第2042146号, 特開平3-82333号)

発明者 臼井正司, 磯松信夫

この発明は、高抵抗接地系における母線地絡保護装置に関するもので、特に外部事故に対する安定性と内部事故での高感度化を両立できるようにしたものである。

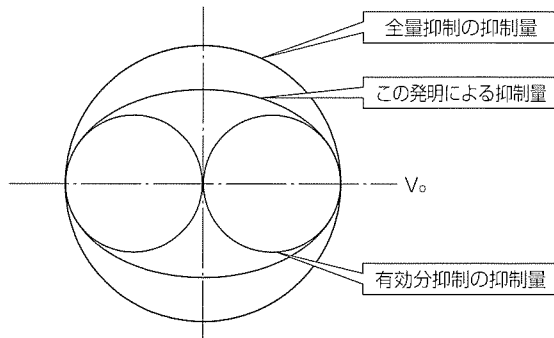
高抵抗接地系における地絡保護は、検出感度を高める必要がある反面、変流器誤差、地絡事故発生時の線路充電電流、充電電流補償用リアクトルの電流など、接地抵抗による地絡電流以外の電流の存在による誤動作を防ぐ必要があるという相反する要求があり、従来からいろいろな研究がなされている。

この発明は、従来の研究結果に新たな知見を加えたもので、有効分差動電流による比率差動保護でありながら、無効分電流を効率良く抑制電流として活用する装置を実現したものである。

手法としては、零相電圧と各端子の零相電流の積の絶対

値を積分するという画期的な方法を採用している。

図は、従来の全量抑制の抑制量と、この発明による抑制量、及び従来装置の抑制量の差を示したものである。

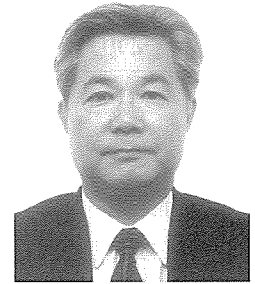


零相電圧を基準とした抑制量の比較

## II 電力流通の課題と保護リレーの役割

早稲田大学  
理工学部  
電気電子情報工学科

教授 岩本伸一



日本は素晴らしい国である。米国50州のうちの1州であるカリフォルニア州と同じ面積の中に、米国の2分の1の人口が、密集しながらも秩序正しく生きている。それが日本である。電力流通の分野に関して、日本の保護リレーシステム技術は素晴らしく、日本の年間停電レベルは米国の約10分の1であり、優秀な日本の産業を支えてきている。しかし、21世紀に日本は一体どうなるのであろうか？

世界では、自由化の波が押し寄せ、電力流通の分野でも競争原理の導入が図られ、コスト最小化から利益最大化へと全体が変化してきている。そのため、電力系統運用者は限界ぎりぎりでの運用を迫られており、保護リレーシステムの果たす役割はこれまで以上に重要となってきた。また、電力系統運用者には、いわゆる非差別的で透明な系統運用が要求されており、事故時対応や事故後復旧に関しては、その後の説明責任がこれまで以上に必要となってきた。

これからは、そのため、インテリジェントシステムの機能を含んだ保護リレーシステム技術が求められてくるであろう。また、将来的に、分散電源やFACTS機器等がかなり電力系統に入ってくる事が予想されるため、それらに対応した保護リレーシステム技術の開発が必要と考えられる。また、インターネット等の新しい情報通信技術を用いた効率的かつ経済的な製品の開発も重要であろう。そして、環境問題への配慮も現在以上に必要となるであろう。

日本でも、2000年3月に電力事業の部分自由化が始まり、2003年にはその見直しが行われることになっている。これにより、いわゆる電力会社以外の発電事業者の参入が可能

になったとともに、顧客も発電事業者を選べるようになった。IPPやPPSの系統連系の増加は、保護リレーシステムの重要性を増加させている。そして、近年、日本における電力流通分野での国際化が観察されるようになってきている。

日本人が日本の中で日本人とだけ生活するというのであれば日本の文化だけを知って生きていけばよいのであろうが、21世紀に国際化が進み日本人が外国へ多く出ていくとともに外国からも日本への進出が増えれば、それでは済まされないであろう。我々は、相手の文化を理解するとともに、我々の文化を相手に理解してもらう必要がある。

国際化や自由化の中で特に重要なことは文書化である。今まで慣習としてやってきたことや規則を文書で作成し合法化しておくことである。相手から“その根拠は？理由は？”と尋ねられたとき“慣習です”というのでは納得できる返事にはならない。きちんと文書として書かれ規則として認められたものを示し、“ここに書かれている規則にのっとっています”と言って答える必要がある。慣習は通用しないのである。我々が今まで慣習として行ってきたこととともに、電力自由化実施国でのいろいろな法律や規則を調べ、それらを参考にして、早急に必要な法律や規則を作成し合法化された文書にしておく必要がある。そのようにすることによって、将来、最善の電力流通システムができていくのではないだろうか。

(注) FACTS機器：Flexible AC Transmission System機器  
IPP：Independent Power Producer(卸電力事業者)  
PPS：Power Producer & Supplier(特定規模電気事業者)

# 電力系統保護リレー技術の動向と革新

## 要 旨

最近の電力システムにおいては、国際化、規制緩和、電力自由化の推進の社会的要請から、大停電事故の防止などの電力系統信頼度を確保しながら設備形成のスリム化・高稼働化などの電力システムトータルのコスト削減を図ることが基本的課題となってきている。このため、電力システムの中の神経系統として保護・制御システムが効率的に機能していくことが重要となってきている。

このような状況から、三菱電機では、ネットワーク時代の新しい保護・制御システム用として、電力会社系統用MELPRO<sup>(注)</sup>-CHARGEシリーズ及び需要家系統用MELPRO-DASHシリーズを開発し実用化した。

これらは、下図に示すように、ネットワークを介して上位の自動化システム及び監視制御システムと結合され、保

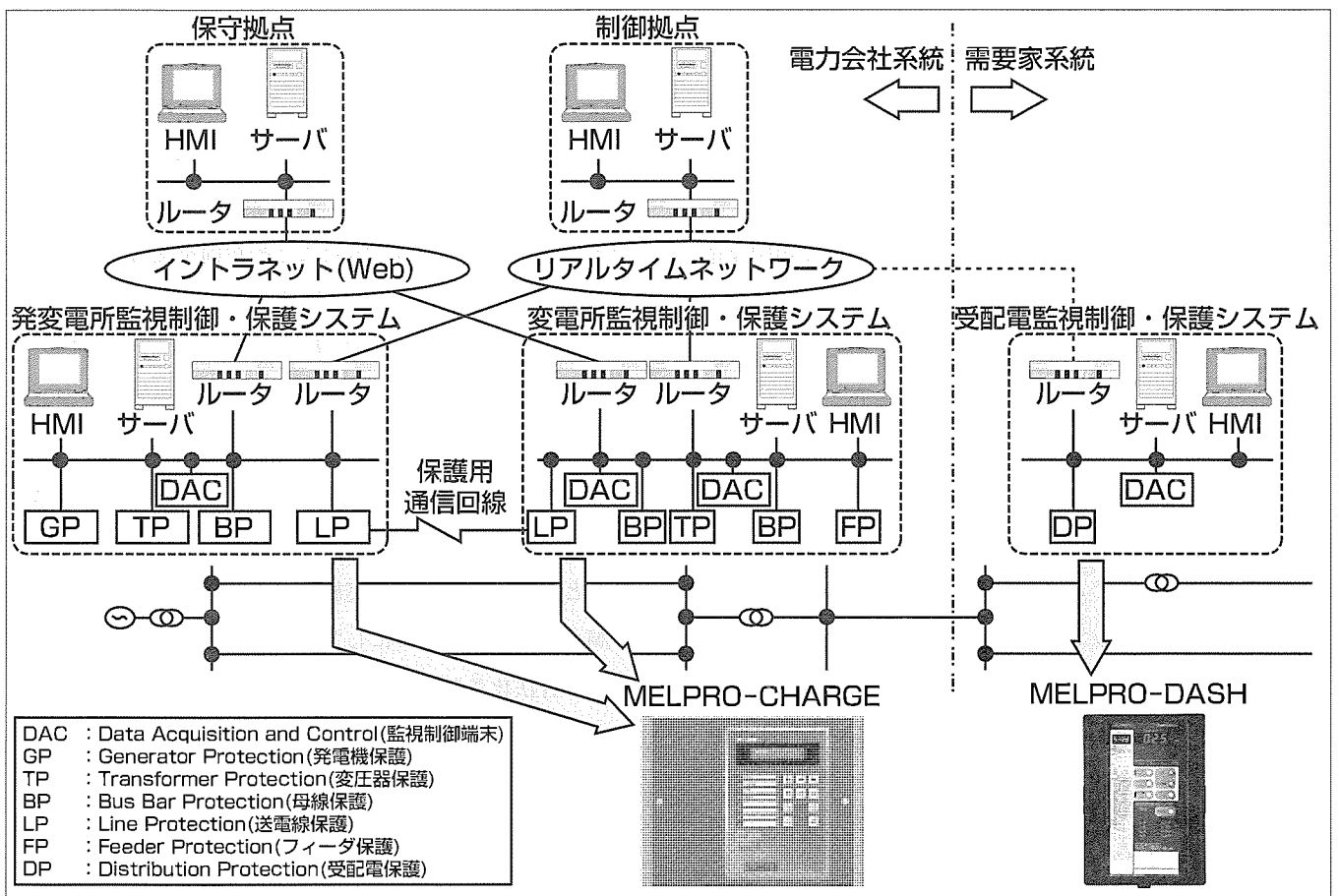
護・制御機能の高度化、系統運用・保守システムの合理化を実現するものである。

さらに、MELPRO-CHARGEシリーズは、高性能CPUの採用によるコンパクト化(当社従来比約1/2)、各種仕様に対して専用生産ツールによる柔軟な対応などの特長を持つものとなっている。また、MELPRO-DASHシリーズは、FA用汎用ネットワークによるシンプル化、保護・計測機能などの特長を持つものとなっている。

本稿では、電力系統保護リレー技術の動向と、新しい保護・制御システム用MELPROシリーズの開発・実用化への取組の概要を紹介する。

(注) “MELPRO”は、三菱電機株が商標登録申請中である。

特集  
II



## ネットワーク時代の電力系統保護制御システム

保護制御システムが発変電所構内のネットワーク及び電力会社などのイントラネットやリアルタイムネットワークで接続されることで、電力設備のリモート運転はもとより、リモート保守支援や計画支援などの新たな機能とサービスを提供することができ、設備の高稼働化、スリム化、業務合理化を強力にサポートする。

### 1. ま え が き

我が国の電力系統は、設備形成の制約から電源の遠隔化・偏在化とともに流通設備の大容量化など大電力長距離輸送への依存が顕著となっている。このため、系統特性の変化に対応して、電力系統保護制御システムも保護性能の高度化やシステムの高信頼度化などの進化を図ってきた。

さらに昨今、大停電事故の防止などの電力系統信頼度を確保しながら設備形成のスリム化・高稼働化などのトータルコスト削減を図ることが電力システムの基本的課題となっており、電力システムの神経系統として保護・制御システムが効率的に機能していくことが重要となってきた。

このような状況から、三菱電機では、ネットワーク時代の新しい保護・制御システムとして、電力会社系統用MELPRO-CHARGEシリーズ及び需要家系統用MELPRO-DASHシリーズを開発し実用化した。

本稿では、電力系統保護リレー技術の動向と、新しい保護・制御システム用MELPROシリーズの開発と実用化への取組の概要を紹介する。

### 2. 電力系統保護リレー技術の進歩

電力系統保護リレー技術の進歩の概要について述べる。

事故除去リレーは、トランジスタ形からデジタル形へと、各時代の電力システムのニーズにこたえながら進化してきた。特に1980年代のデジタルリレーの実現により、PCM (Pulse-Code Modulation) 電流差動方式による多端子保護など保護性能の高度化を図り、多端子系統・大電力長距離送電などの設備形成実現に貢献してきた。さらに、最近の第二世代デジタルリレーにおいては、高精度A/I (Analog Input) による主保護/後備保護一体化、高機能HMI・遠隔運用保守機能などにより、装置のコスト削減、運用保守機能向上などが図られている状況にある。

事故波及防止リレーについては、系統脱調、周波数異常上昇/低下防止、電圧異常上昇/低下防止、過負荷防止などの系統からのニーズに応じて各種システムが開発され実用化されてきた。最近では、系統脱調・事故波及防止リレーシステムの一つとして、事後演算形(リアルタイム演算形)で過渡領域から中間領域(N波脱調)までの高度な処理を行う脱調未然防止リレーシステムも実用化されている。

また需要家系統用リレーについても、近年は、デジタル技術を活用した複合機能化により、コンパクト化・高信頼度化を実現してきている。

上記のとおり、電力会社系統用及び需要家系統用リレーとも、系統からの高機能化・高性能化・高信頼度化などのニーズにこたえて進化してきた。

しかしながら、電力システムトータルコスト削減を図るに当たり、保護・制御システムが果たす役割はますます重要となり、そのニーズにこたえるための革新を図っていかなければならない状況にある。

### 3. 電力システムを取り巻く環境の変化と保護・制御システムによる対応

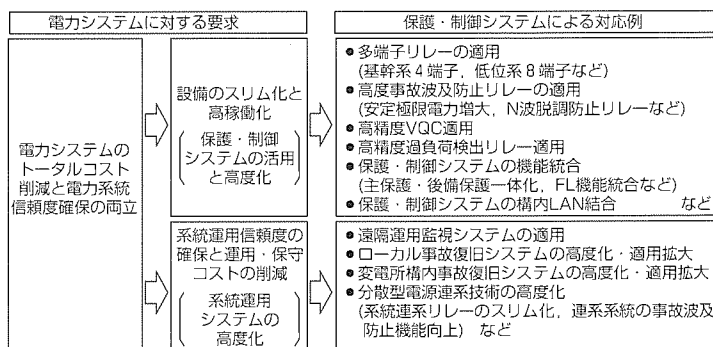
最近の電力システムにおいては、国際化、規制緩和、電力自由化の推進の社会的要請から、設備形成のスリム化・高稼働化など電力システムのコスト削減を図ることが強く望まれている。しかしながら、電力システムの過密な運用は、電力系統を系統事故・じょう(擾)乱に対してぜい(脆)弱とし、高範囲の大停電事故に直結しかねないことは最近の諸外国の状況を見ても明らかであり、電力システムのコスト削減と電力系統信頼度確保の両立を図ることが重要となる。図1にその対応例を示す。

電力システムのコスト削減と電力系統信頼度確保の両立を図るための基本的方策は、次の二つに分類できる。

- 保護・制御システムの活用と高度化によって設備形成のスリム化・高稼働化を図ること。
- 複雑・高密度化する電力システムに対し運用システムの高度化を推進することにより、運用信頼度確保と運用・保守コストの削減を図ること。

設備形成のスリム化・高稼働化対応例のうち多端子リレーの適用、事故波及防止リレーの適用・高度化、高精度VQC適用、高精度過負荷検出リレー適用などは、設備形成・運用の合理化に直接貢献するものである。また、機能統合、構内LAN(Local Area Network)結合などは、保護・制御システム自身のスリム化に効果がある。

系統運用システムの高度化のうち遠隔運用監視システムは適用されつつあるものであるが、ローカル事故復旧システムや変電所構内事故復旧システムは、IT (Information Technology) 及びセンサ技術の活用などによって更に進歩するものと考えられる。また、分散電源の増大により、これらの系統への連係技術は今後ますます重要になってくるものと考えられる。



VQC : Voltage and Reactive Power(Q) Control

図1. 電力システムを取り巻く環境の変化と保護・制御システムによる対応

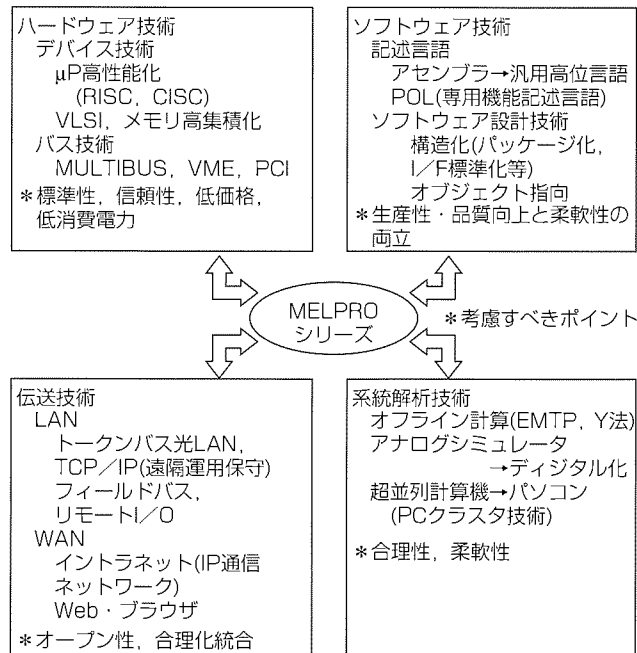
#### 4. 保護・制御システム関連要素技術の進歩

保護・制御システムを支える周辺技術として、図2に示すように、ハードウェア技術、ソフトウェア技術、伝送技術、及び系統解析技術の四つの要素技術に分けて、以下にその変遷と最新動向について述べる。

##### 4.1 ハードウェア技術の進歩

ハードウェア技術としては、 $\mu P$ (マイクロプロセッサ)に代表されるデバイス技術とその応用設計製造技術について述べる。

デバイス技術は、計算機、とりわけパソコン(最近では携帯情報端末)とともに爆発的な進歩を遂げてきたと言える。デジタルリレーを開発して20年余り経過し、開発当初は、16ビット(4ビット $\times$ 4)の $\mu P$ であったものが、時代とともに、32ビットCISCや32ビットRISCとなり、メモリの集積度向上とともに性能が格段に進歩した。これら的大幅なハードウェア性能向上は、リレーアルゴリズムの高度化のみならず、自動監視の高度化、HI(Human Interface)の高度化など保護・制御システムの機能向上に大きく寄与している。さらに、最近の $\mu P$ は、CISC型とRISC型の相互の長所を吸収し差異がなくなりつつある一方、パソコンなど汎用用途向けの性能重視型と、携帯情報端末やFA用コントローラ等の組み込み用途向けの低消費電力/低価格重視型に2分されてきている。保護リレーシステムとしては、信頼性面からファンレスは必ず(須)であり、現在は低消費電力型の組み込み用途向けの $\mu P$ が適している



- RISC : Reduce Instruction Set Computer
- CISC : Complex Instruction Set Computer
- TCP/IP : Transmission Control Protocol/Internet Protocol
- VME : Versa Module Europe
- PCI : Peripheral Component Interconnect

図2. 保護・制御システムを支える周辺技術

と考える。

これらのハードウェアの高集積化・高速処理技術は、保護・制御システムのコンパクト化・高性能化を進展させていくであろう。デバイス技術を活用するハードウェア応用設計製造技術としてはバス技術がある。バスとはハードウェアアーキテクチャを決定する際の最重要ファクタであり、キーポイントは標準性と信頼性である。保護・制御システムでは一般的にマルチバスI/II, VMEバスが主流であったが、最近、PCIバスなどの超高速汎用バスも採用されつつある。

##### 4.2 ソフトウェア技術の進歩

ソフトウェア技術としては、記述言語と設計技術(構造化手法, オブジェクト指向等)とが挙げられる。

ソフトウェア記述言語については、保護リレーの場合、高速かつコンパクトな処理が必要であり、従来、アセンブリ言語が使用されてきたが、シーケンスロジック部やHI部はグラフィカルな保護リレー専用の機能記述言語(POL)を用いていた。最近では、前述の高性能 $\mu P$ の登場やコンパイラ性能向上等で、C言語等の汎用高位言語を採用することができるようになった。これらのソフトウェア記述言語の進歩により、上述の専用機能記述言語と汎用高位言語を適切に組み合わせることで、ソフトウェア全体の生産性や品質の大幅な向上が望めるようになってきている。

ソフトウェア設計技術では、ソフトウェアの生産性と品質を高めるための設計手法である構造化, オブジェクト指向等が挙げられる。構造化とは、ソフトウェアを機能単位にパッケージ化・階層化し、各ソフトウェア間のインタフェースを標準化・明確化することで、特定のソフトウェアモジュールの変更が他へ影響を及ぼさないようにする考え方である。オブジェクト指向は、構造化を更に発展させたもので、カプセル化, 継承, 階層化といった考え方により、ソフトウェアの再利用率と品質を更に高める特長を持っている。

保護リレーシステムの進展によってソフトウェアで実現される機能比重はますます高くなってきており、ソフトウェアの生産性と品質を向上しつつ電力系統に応じた適度な柔軟性を持たせるためには、これらのソフトウェア設計技術を活用した保護リレーシステムのエンジニアリング環境の構築が必要である。

##### 4.3 伝送技術の進歩

伝送関連の技術としては、LANとWANに大別される。

LANは、従来からサンプリング自動同期機能を持つトークンバス光LANや保護・制御システムの遠隔運用保守を目的としたTCP/IPネットワーク等が開発され導入されてきた。さらに、変電所の総合自動化やトータルコストダウンをねらって、国際的な伝送プロトコルの標準化活動が活発に行われており、変電所内のフィールドバス構築や



I/O等のリモート化(現場置き), GPSにから広域同期などが検討されている。

WANとしては, 従来からPCM-CAリレーに代表される系統保護や監視制御専用の広域通信回線が使われていた。最近では, イン트라ネットを代表とするオープンなネットワークとして, ATMやSDHの上でIPを搭載したIP通信ネットワークが検討されている。また, イン트라ネットの応用事例として, Web・ブラウザのオープンかつ廉価な技術を応用して遠隔HMIやFL(Fault Locator)装置が開発され導入されつつある。

伝送技術を保護・制御システムに応用するキープポイントは, 高信頼度, 高速性は言うまでもなく, オープン性, 合理化統合である。伝送技術と前述のハードウェアやソフトウェアの進歩とあいまって, 保護・制御システムがネットワークと多角的に結合することで, 単なる保護リレーとしてではなく, 系統情報に直結するインテリジェントなデバイスとして計測・監視・制御・保守の分野に対する新たな統合システムを指向していくことが重要である。

#### 4.4 系統解析技術の進歩

保護・制御システムの設計や試験のために, 系統解析は不可欠な技術である。従来から, 設計段階ではEMTPやY法などのプログラムを汎用大型計算機等を使ってオフラインで実行し, 試験段階では上記計算データをDA変換器を使って再生するか専用のATL(模擬送電線)としてアナログシミュレータを用いて系統事故を模擬するのが一般的であった。一方, 超並列計算機を用いたリアルタイムなデジタルシミュレータ等も開発されている。

また, 昨今のパソコンの高性能化は目覚しく, 保護・制御システム用の比較的中小規模の系統模擬であれば, パソコンを活用してリアルタイムなデジタルシミュレータが構築可能であり, 保護・制御システムの検証や試験自動化に期待が持てる状況になってきている。

これらは, 保護・制御システムを合理的かつ柔軟に生産(設計・検証)する環境を構築する上で, 今後とも重要な要素技術であると考えられる。

### 5. 保護リレー技術の革新

これらのニーズ面の状況とシーズ面の活用を踏まえ, 当社では, コンパクトでパワーフルな, ネットワーク時代の新しい保護・制御システム用として, 電力会社系統用MELPRO-CHARGEシリーズ及び需要家系統用MELPRO-DASHシリーズを開発し実用化した。これらは, 前述の図1に示すように, ネットワークを介して上位の自動化システム及び監視制御システムと結合され, 保護・制御機能の高度化, 系統運用・保守システムの合理化を実現

表1. MELPROシリーズの特長の概要

項目	MELPRO-CHARGE	MELPRO-DASH
対象系統	電力会社における発電, 送電, 配電系統	需要家における受配電系統
適用	保護, ローカル制御, 監視制御端末	保護・制御機能を統合
ネットワーク対応	汎用LAN(イーサネット, TCP/IPなど)	FA用汎用LAN(CC-Linkなど)
供給形態	ユニットタイプ パネル組み込みで供給	ユニットタイプ 単品供給
柔軟性	ビルディングアップ方式でハードウェア, ソフトウェアともに柔軟に構成	標準メニューから選択
生産方式	受注生産方式 (生産ツールMELPRO-SAVEで短納期化実現)	標準品量産による即納

するものである。これらMELPROシリーズの特長の概要を表1に示す。

MELPRO-CHARGEシリーズは高性能CPUの採用によるコンパクト化(当社従来比約1/2)を実現し, 製品形態はユニットタイプで構成されている。また, 系統特性から要求される各種仕様に対してビルディングアップ方式によってハードウェア, ソフトウェアとも柔軟に対応可能とするとともに, 専用生産ツールMELPRO-SAVEによって受注生産方式でありながら短納期化を実現している。

また, MELPRO-DASHシリーズは, FA用汎用ネットワークなどによるシンプル化, 保護・計測機能の統合化, 標準品量産による即納などの特長を持つものとなっている。

## 6. むすび

当社では, 電力系統信頼度を確保しながら設備形成のスリム化・高稼働化などの電力システムトータルのコスト削減を図るという最近の電力システムの基本的課題に対する一つのソリューションとして, ネットワーク時代の新しい保護・制御システム用MELPROシリーズを開発し実用化した。今後, 各種アプリケーションのメニューの充実を図りながら, ユーザー各位の指導を得て, 所期の目的を達成するため更に進化させていく所存である。

### 参考文献

- (1) 電気協同研究 第50巻第1号, 「第二世代デジタルリレー」(平成6年4月)
- (2) 電気学会技術報告 第641号「保護リレーシステム基本技術体系」(1997年7月)
- (3) 電気学会技術報告 第801号, 「系統脱調・事故波及防止リレー技術」(2000年10月)
- (4) 電気学会技術報告, 「日本における保護リレー技術の成果と今後の方向性」(2001年発行)

# MELPRO-CHARGEの基本構成

## 要旨

MELPRO<sup>(注)</sup>-CHARGEは、高性能CPUの採用によってハードウェアを大幅に縮小するとともにサーバ機能を標準装備することで遠隔運用、保守、診断など多彩な機能を実現可能とした新しいデジタル保護・制御ユニットである。

その開発コンセプトは、“C”“H”“A”“R”“G”“E”の6文字に代表されるが、これらは、先進技術と市場が求める様々なニーズを集約したものである。ここで、C：Compact(コンパクト)、H：Human-Friendly(運用・保守性向上)、A：Adaptive(アダプティブ保護機能)、R：Reliable(信頼度向上)、G：Growing(拡張性)、E：Ecology(地球環境にやさしい)をそれぞれ表わしている。

コンセプトの具体化では、

- 最新の電子デバイスの採用によるコンパクト化
- IT (Information Technology) 応用の多彩な機能に

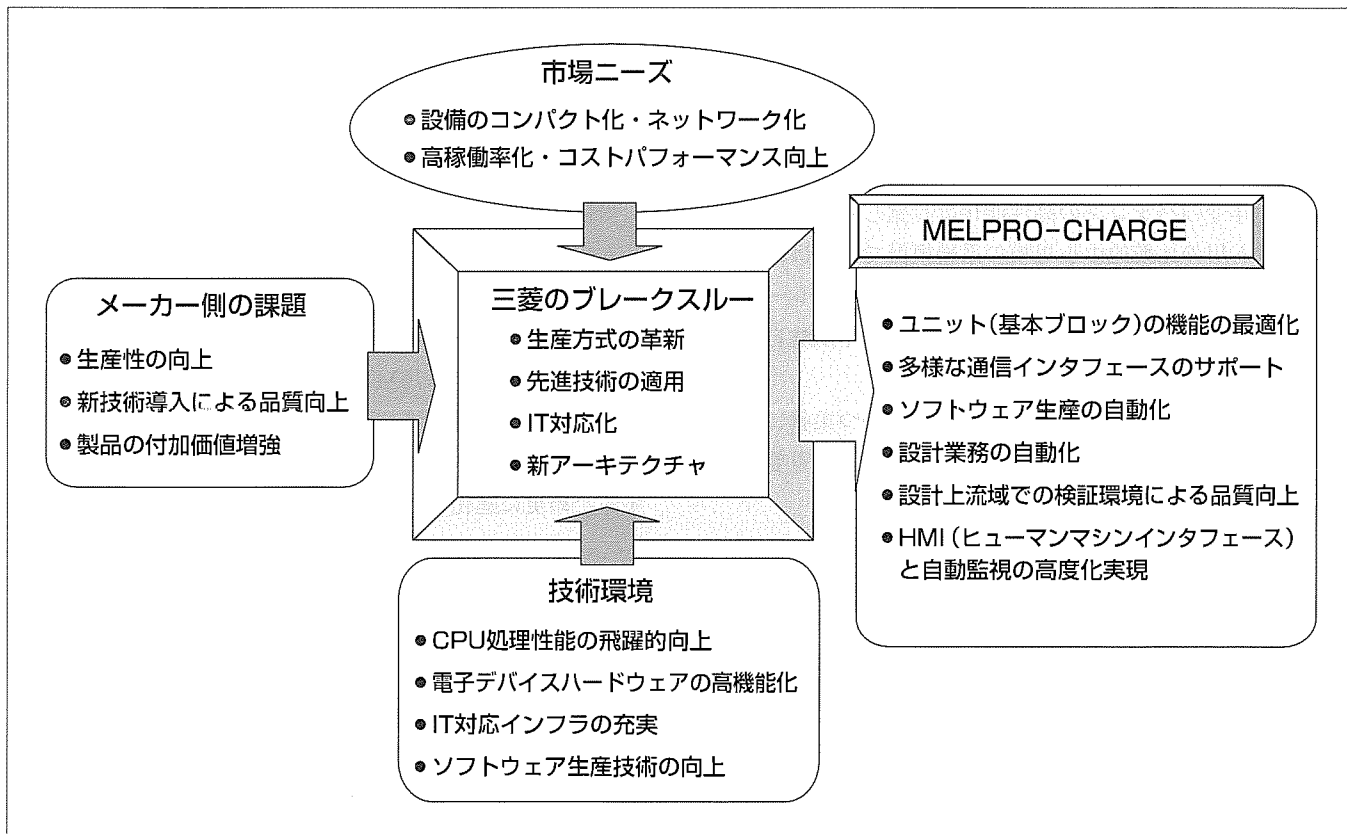
よる利便性の追求

- ユニットの機能最適化によるコストパフォーマンス追求
- ソフトウェア生産の高度支援・解析・検証環境による信頼度向上

などユーザーメリットを考慮した。

また、MELPRO-CHARGEは、多様な要求仕様に最適システムでこたえるため、タイプ1(基本)、タイプ2(拡張)、タイプ3(高機能)の3機種を備えており、配電用系統から超高压系統までをカバーしている。これらは、統一したコンセプトで製品シリーズ化がなされており、今後は、M32EGシリーズの後継機種として、各種分野で適用拡大を図る考えである。

(注) “MELPRO”は、三菱電機㈱が商標登録申請中である。



## MELPRO-CHARGEのコンセプト

電力系統保護・制御システムでは、より一層の運用・保守の業務効率化・合理化が求められるようになってきており、変電機器から制御所、給電所まで上位系を含む広域ネットワークシステム指向が強くなってきている。MELPRO-CHARGEは、このような次代のニーズにこたえる新しい保護・制御ユニットとして開発されたものであり、高性能CPUの採用によってハードウェアを大幅に縮小するとともに、サーバ機能を標準装備することでITを応用した様々な機能を実現している。

## 1. ま え が き

近年、電力系統保護・制御システムでは、運用保守の業務効率化・合理化が求められるようになってきており、変電機器から制御所、給電所など上位系を含んだ広域ネットワークシステム指向が強くなってきている。また、フィールドソリューションによる電気所設備のトータルメリット追求の動きも加速しており、保護・制御・計測機能などを機器近傍に分散配置する等のアプローチが進められている。このような状況にあつて、保護・制御ユニットには、より一層の高性能化(インテリジェント)、コンパクト化、耐環境性が求められている。

MELPRO-CHARGEは、上記ニーズにこたえる新しい保護・制御ユニットとして開発されたものであり、高性能CPUの採用によってハードウェアを大幅に縮小するとともに、サーバ機能を標準装備することでIT応用など種々の機能を実現している。

## 2. 開発コンセプト

MELPRO-CHARGEの特長は、前ページで述べた“C”“H”“A”“R”“G”“E”の6文字に代表される。これら六つのコンセプトは、次代の保護・制御ユニットとして具備すべき要件を集約したものである。

### 2.1 コンパクト：C

保護・制御ユニットを、当社従来比で1/2に縮小した。これにより、保護・制御システムの更新では、据付け場所や据付け位置の自由度を上げ、作業工程の大幅な短縮や効率の大幅改善を可能とする。

### 2.2 ヒューマンフレンドリ：H

ブラウザによる使いやすいHMIとブラウザ 又はリアルタイムネットワークによる遠隔運用・保守で、“どこからでも”“より安全に”“より簡単に”保護・制御システムの運用状態の確認を可能とする。

### 2.3 アダプティブ：A

電力自由化によって、今後、多様な系統運用が求められると予想される。これにこたえる機能として、例えば保護・制御ユニットの整定値をブロックとして多重化し、系統に応じて切り換えることで、電力系統に容易にそして柔軟に対応する。

### 2.4 リライアブル：R

ソフトウェアソリューションとして、設計・生産環境であるMELPRO-SAVEを開発した。MELPRO-SAVEは、パソコン上で装置の動作を総合的にシミュレーションすることが可能で、ソフトウェアの製作・検証とともに、ドキュメント類を自動生成する。

### 2.5 グローイング：G

MELPRO-CHARGEを基本ブロックとしネットワーク

を介して連系(機能拡張)させることや、装置外へのI/Oの分散配置(リモートI/O)、次世代変電所(Substation Automation System)のプロセスバス(アナログ情報等)対応などを可能とする。MELPRO-CHARGEは、このための多様な通信インタフェースをサポートする。

## 2.6 エコロジー：E

当社従来比で1/2の低消費電力を実現した。また、部品・材料の削減による省資源化など環境面にも配慮している。

## 3. コンセプトの展開

六つのコンセプト実現のための開発目標と、これによる期待効果を以下に示す。

### 3.1 要求性能・機能

(1) スタンドアロンからネットワークへ指向し、ITを応用して遠隔運用・保守を実現する。また自律性を備えた情報端末としての機能も具備し、電力系統全体の業務支援を可能とする。

(2) 必要かつ十分な機能を追求し、基本ブロック(保護・制御ユニット)として最適化を図る。また機能拡張では、ネットワークを活用して基本ブロックを積み上げる新しい考え方(ビルディングブロック)を採用した。

(3) 上位仕様からすべてのソフトウェアを自動生成し、ヒューマンエラーの防止を図る。また、設計上流域でソフトウェア品質を向上させ、より一層の信頼性を追求する。

### 3.2 ブレークスルーとなる技術

コンセプトの実現のために適用したブレークスルーとなる素材技術の動向を以下に示す。

#### (1) ハードウェア技術

- CPU処理能力の向上(高位記述言語の適用拡大)
- 高密度実装技術の進歩(コンパクト化が可能)
- 高集積度カスタムLSIの技術進歩(部品点数の削減)

#### (2) イントラネット技術

イントラネットなど通信インフラの普及とJava等のソフトウェア技術の進歩によってコスト面の課題も改善されつつあり、サーバ機能をコンパクトに実装することが可能となった。また、イントラネット上で汎用アプリケーションソフトウェアを使用することも可能である。

#### (3) ソフトウェア生産技術

CPUの処理能力の向上で、高速性が必要な保護・制御ユニットにも、高位記述言語の適用が可能になった。また、パソコン上に仮想装置モデルと電力系統モデルを構築し、ソフトウェアを動的にデバッグすることもシミュレーション技術の進歩によって可能となった。

### 3.3 期待効果(ユーザーベネフィット)

#### (1) 運用・保守の業務効率化・合理化

遠隔運用・保守によって遠隔地から又は移動中でも装置

状態の把握が可能となり、緊急時の1次対応の迅速化が図れる。また、2次対応では、データ整理や応動解析など業務支援に汎用ソフトウェアの利用が可能で、業務の効率化・合理化を図ることができる。

(2) 製品の品質化、生産効率化

要求性能・機能は標準ソフトウェアライブラリからモジュールを選択しコンフィグレーションすることで実現でき、効率的に高品質な製品製造が可能となる。

ソフトウェア製作に関連しては、従来のアナログリレーと同様に単体(ソフトウェアモジュール)、装置(ソフトウェアシステム)という階層別の管理を徹底することが容易となり、一層の信頼を提供することが可能となる。

装置出荷後は、納入装置と全く同じ機能を持つバーチャルマシンによって一貫した履歴管理を行い、アフターケアの一層の充実を図ることができる。バーチャルマシンは、現地改造ばかりでなく、納入装置の応動解析など、広い用途で活用可能なツールである。

4. 機種的位置付け

図1にMELPRO-CHARGEの機種的位置付けを示す。

タイプ1はMELPRO-CHARGEの基本ユニットであり、小規模システムに適用する。処理能力は第一世代デジタルリレーM32シリーズ相当である。

タイプ2は拡張CPUを搭載したユニットであり、中規模システムに適用する。性能は第二世代デジタルリレーM32EG相当である。

タイプ3はCPU処理能力を1ランク上げたユニットであり、高機能で大規模なシステムに適用する。

5. むすび

MELPRO-CHARGEは電協研「第二世代デジタルリレー」に準拠した仕様を踏襲し、遠隔運用・保守として通信機能を拡充するとともに、ソフトウェアエンジニアリングシステムMELPRO-SAVEにより、より一層の信頼を確保している。また、将来の次世代変電所の構成要素となる基本ブロックとしての種々の機能を具備しており、その応

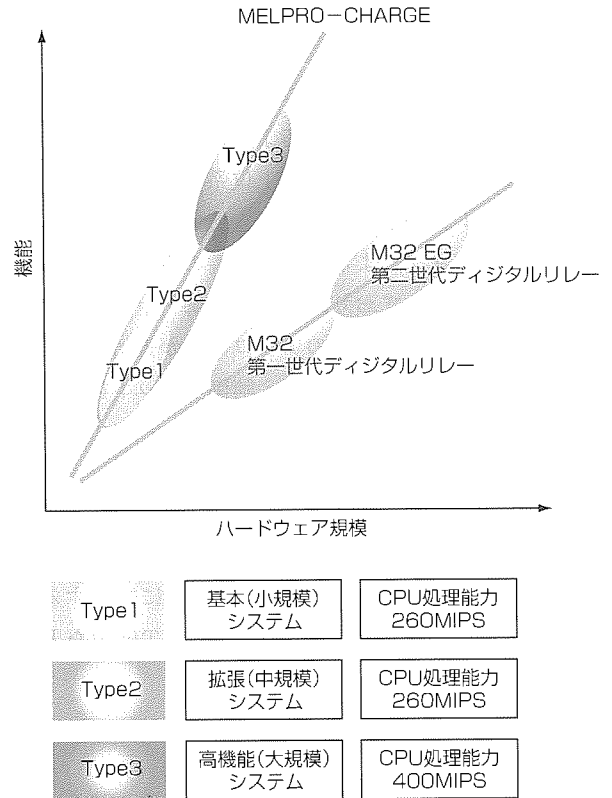


図1. 機種的位置付け

用範囲は広いと考える。

市場の新たなニーズを今後とも加えながら、MELPRO-CHARGEは、更にコンセプトのGrowing(成長)を続けていくと期待する。

参考文献

- (1) 第二世代デジタル専門委員会：第二世代デジタルリレー，電気協同研究，50，No.1，87～170（1994）
- (2) 特集“変電所保護・制御・情報システム”，三菱電機技報，70，No.6（1996）
- (3) 磯松信夫，安齊俊夫，佐藤 廣，片山善博：新型デジタルリレーの基本構成，平成12年電気学会電力・エネルギー部門大会，No.176，509（2000）

# MELPRO-CHARGEの要素技術

佐藤 廣\* 高島一樹\*\*  
大園賢志\*  
高良 卓\*

## 要 旨

変電所監視制御・保護システムは、変電所トータルコストダウンや電力系統の神経機能として運用保守業務合理化に寄与することが期待されている。それにこたえるものとして、新形デジタル保護・制御装置“MELPRO<sup>®</sup>-CHARGE”を開発した。

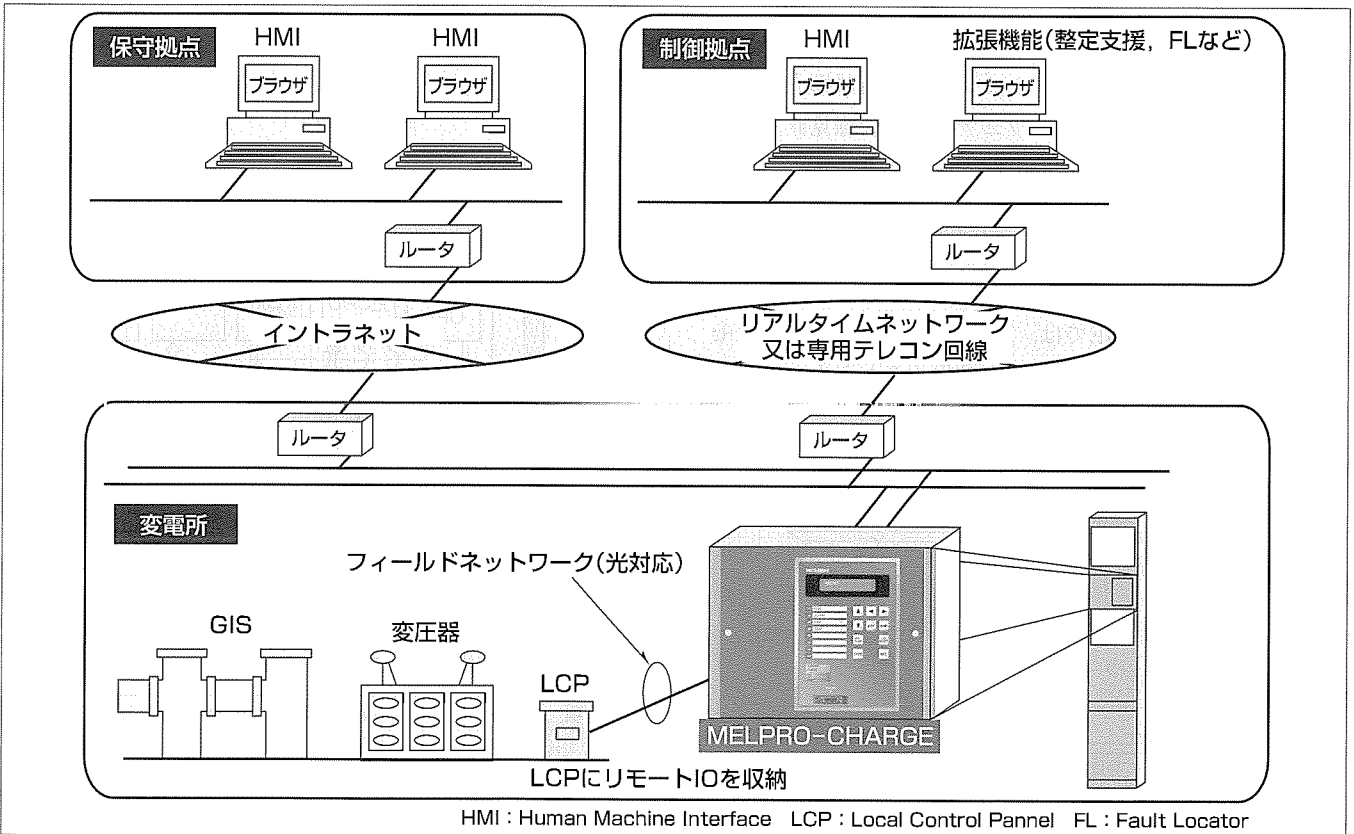
MELPRO-CHARGEでは、最新の32ビットRISCプロセッサを採用し、十分な処理能力を確保するとともに、演算部の処理能力の異なる2タイプから要求性能によって使い分けることとした。これにより、低位系から基幹系の大規模な保護・制御装置まで幅広く統一したハードウェア構成を適用できる。また、LSI化、HIC技術の積極的適用やIOバスのシリアル化による装置内配線スペース縮小などにより、三菱電機の従来機種に比べ約1/2の装置小型化を実現している。

ネットワーク時代の新しい保護・制御システム対応とし

て、上位系とのネットワークには、異メーカー装置間接続やネットワーク伝送情報活用促進を視野に、オープン性の高い国際規格に合致したネットワークを組み込んだ。ネットワークを介して上位の自動化システム及び監視制御システムと結合され、保護・制御機能の高度化、系統運用保守システムの合理化に対応できる。また、フィールドネットワークインタフェースを具備し、メタルケーブル群を光ファイバに置き換えることで、変電所建設コストを低減できる。

信頼性の面では、従来装置で実績のある高信頼度技術を継承し、素子削減、低消費電力化により、ハードウェアの更なる信頼度向上を図った。同時に、高いレベルのソフトウェア再利用と自動生成を実現する生産環境“MELPRO-SAVE”を開発し適用することにより、ソフトウェアの信頼性をより一層高めた。

(注) “MELPRO”は、三菱電機機が商標登録申請中である。



## 変電所監視制御・保護システムのMELPRO-CHARGE適用構成例

MELPRO-CHARGEを適用することにより、ネットワークを介して上位の自動化システム及び監視制御システムと結合することが可能となり、保護・制御機能の高度化、系統運用保守システムの合理化に対応する。

### 1. ま え が き

変電所監視制御・保護システムは、変電所トータルコストダウンや、電力系統の神経機能として運用保守業務合理化に寄与することが期待されている。それにこたえるものとして、新形デジタル保護・制御装置“MELPRO-CHARGE”を開発した。

本稿では、MELPRO-CHARGEの要素技術について述べる。

### 2. 要素技術の構成

MELPRO-CHARGEの要素技術を概観すると、最上位に監視制御・保護機能を直接実現するアプリケーションソフトウェア群があり、それを支える形で、マイクロプロセッサ応用技術、ハードウェア実装技術、ソフトウェア生産技術などがある。最近の技術革新により、これらが進歩しているほか、新たにネットワーク応用技術も加わり、監視制御・保護装置の高度化を更に進めることが可能となった。図1にMELPRO-CHARGEの基本部要素技術構成を示す。

図に示した要素技術は、生産継続性と更なる発展性を確保するため、デファクトスタンダード技術をベースとしている。ハードウェアについては、高性能マイクロプロセッサ応用などにより、ハードウェア構成の統一を実現し、ソフトウェア生産方式の革新につなげた。ソフトウェアについては、基本部とアプリケーション部の2階層構成とし、新技術採用などによるハードウェアの外部仕様見直しが発生してもその影響を基本部で吸収することによってアプリケーション部への波及を防いでいる。

### 3. ハードウェア構成の統一

MELPRO-CHARGEでは、最新の32ビットRISCプロセッサを採用し、十分な処理能力を確保するとともに、演算

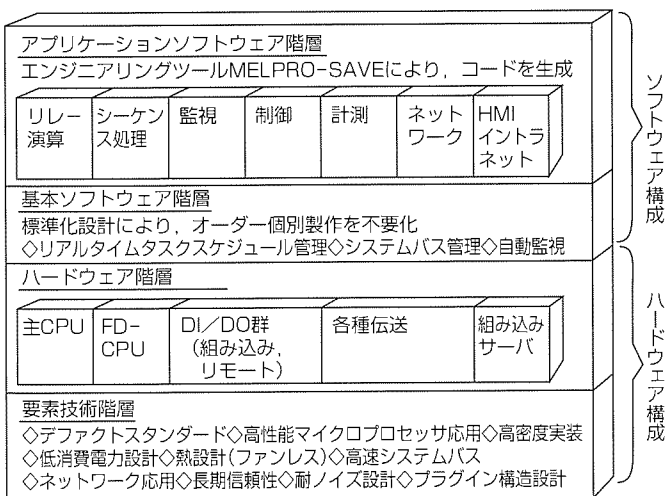


図1. MELPRO-CHARGEの基本部要素技術構成

部の処理能力の異なる2タイプ(Type I / II用とType III用)を要求性能によって使い分けることとした。これにより、低位系から基幹系の大規模な保護・制御装置まで幅広く統一したハードウェア構成を適用できる。図2にMELPRO-CHARGEの基本構成例を示す。当社の従来機種同様、一部分の故障によって誤トリップを発生させないメイン/FD部分離フェールセーフ設計等を継承している。

### 4. 装置占有スペース

MELPRO-CHARGEでは、変電所トータルコストダウンや既設置の更新を容易とするため、装置占有スペースを縮小した。

#### 4.1 装置の小型化

マイクロプロセッサ周辺回路のLSI化及びHIC技術の適用により、大幅に部品点数を削減し、最新の高密度実装技術とあわせてカードの機能集約を実現した。表1に従来機種(MULTIFLEX-EG)との演算部構成比較を示す。高性能マイクロプロセッサ応用により、CPU台数を削減し、高級言語の適用比率を高めた。なお、従来機種と同等(Type I / II用CPU)又はそれ以上(Type III用CPU)の処理能力を備えることにより、機能拡張性は確保している。

また、演算部と入出力部間をシリアルIOバス接続とすることにより、装置内配線に必要であったスペースを減らした。これらと通信機能応用による端子台の削減と併せ、

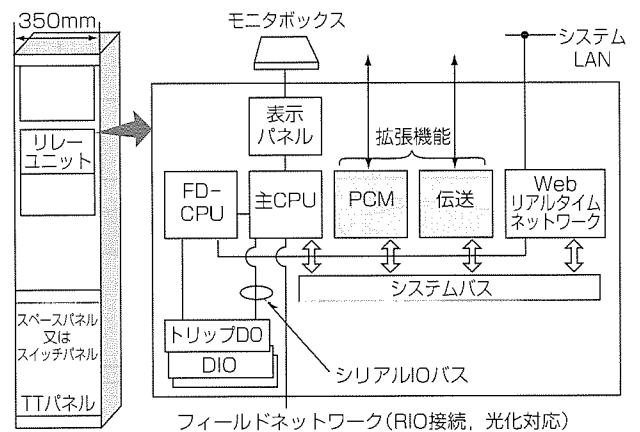


図2. MELPRO-CHARGE基本構成例

表1. 従来機種とMELPRO-CHARGEの演算部構成比較

項目	MULTIFLEX-EG	MELPRO-CHARGE
カード構成	アナログ入力 RY CPU SQ CPU	主CPU
カードサイズ	280mm × 233.35mm 3枚構成	160mm × 233.35mm 1枚構成
プロセッサ構成	●32ビットCISC × 3 ●32ビットDSP × 1	●32ビットRISC × 1 ●32ビットDSP × 1
処理能力比	1	1 (Type I / II) 2.5 (Type III)

従来の700mm幅装置を350mm幅に、従来の2面構成装置を1面構成にすることが可能となった。

#### 4.2 前面保守への対応

DI/DOカードの入出力を前面に配したことにより、前面保守構造パネルへの収納が可能であり、地下変電所、屋外キュービクルへの壁面配置に対応できる。

### 5. ネットワーク

監視制御・保護装置のネットワーク技術の発達は、今後、下記効果をもたらすものと期待される。

- 監視制御・保護装置を電力系統の情報端末として活用し、系統運用の高度化や保守の合理化を図る。
- 変電所内のメタルケーブル削減などの変電所建設コストを低減する。

これらを実現するためのネットワークインタフェースを表2に示す。

#### 5.1 変電所内、上位系対応

監視制御・保護装置を電力系統の情報端末として活用するとき、変電所内、上位系とのネットワークには、コストとともにオープン性が求められる。オープン性の高いネットワークは、同一変電所内における異メーカー装置間接続やネットワーク伝送情報の活用を促進することから、変電所建設時コストだけでなく、稼働後の機能追加コストも抑制できる。このため、国際規格に合致したネットワークを組み込んだ。

#### 5.2 フィールドネットワーク対応

変電所主機を配置するフィールドにはメタルケーブルが敷設され、主機と監視制御・保護装置間を結んでいる。フィールドネットワークは、メタルケーブル群を光ファイバに置き換えることで、変電所建設コストを低減する。フィールドネットワークの性能は、最も高速性を要求される遮断器トリップ情報も扱えるものとしている。また、この技術により、将来の装置機能拡張によって増加するIO群を別盤に増設することも容易である。

### 6. 運用保守性

監視制御・保護装置の運用保守性は、遠隔化と装置組み込み保守支援機能の充実によって向上させている。遠隔化については後述のイントラネット技術応用で述べることとし、ここでは、組み込みの運用保守支援機能について説明する。

#### 6.1 表示パネル

MELPRO-CHARGEのHMIは、可搬形(パソコン)を基本としている。表示パネルは、詳細な表示操作機能は可搬HMIに委ね、その用途を限定することで操作性を高めた。

##### (1) 日常巡視

限られた情報を短時間で確認する必要があり、表示パネルのみで装置状態確認など巡視に必要な機能を実現した。

表2. ネットワークインタフェース

種類	仕様
変電所内、上位系対応	IEEE802.3 54k/1.5MbpsPCM
フィールドネットワーク対応	10Mbps電気/光

##### (2) 緊急対応

保護リレー動作や装置故障発生などの緊急時に、万一、遠隔・可搬HMIが使用不可となった場合のバックアップとして、装置動作情報、故障解析情報など、装置内部状態の確認が可能な機能を搭載可能とした(オプションとしてキャラクタ表示20字×2行を用意)。

#### 6.2 GPSインタフェース

装置内の各種事象の記録に実時間情報を付加することは、運用保守性向上に効果がある。実時間情報の精度を高めることで、変電所の事象をミリ秒単位で解析することも可能となる。このため、GPS受信器からの時刻情報受信機能を備えた。

### 7. 信頼度

メイン/FD部分離フェールセーフ設計、サージ対策(C付き端子台採用、通信線の光絶縁等)、高度な常時監視機能など、従来の装置で実績のある高信頼度技術を継承している。さらに、以下により、更なる信頼度向上を図った。

#### 7.1 ハードウェア

ハードウェアの故障率低減には、搭載している半導体素子数の削減と、動作中の素子温度を低く保つことが効果的である。

##### (1) 素子削減

高性能32ビットRISCプロセッサ採用によるCPU台数削減、マイクロプロセッサ周辺回路のLSI化、アナログフィルタ回路のHIC化技術の適用により、素子を削減した。

##### (2) 熱設計

CMOS低消費電力素子の適用拡大と素子削減によって低消費電力化を図った。マイクロプロセッサ素子については高性能と低消費電力を両立させるものを選択した(消費電力は当社従来比1/2)。

#### 7.2 ソフトウェア

ソフトウェアの標準化と再利用が高信頼度化に効果があり、監視制御・保護装置のソフトウェア標準化を進めてきた。ソフトウェアは小規模の部品を組み合わせる上位機能部品を構成する。上位機能部品は、備わる機能が多く、標準化の制約が多くなる。MELPRO-CHARGEでは、ハードウェア構成の統一と以下に述べる設計手法の採用により、上位機能部品ソフトウェアの標準化を更に進めた。

実行部と設定部を分離し、設定値の選択によって装置別要求への対応を柔軟なものとする。設定項目の多少は、装置個別要求への対応範囲と設定作業負担にかかわるため、それらのバランスを考慮しつつ綿密に選定した。この考え

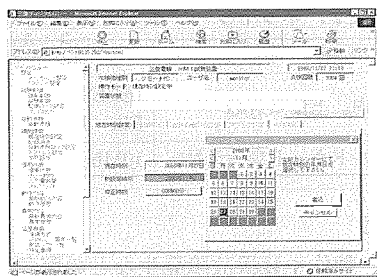


図3. HMI画面例

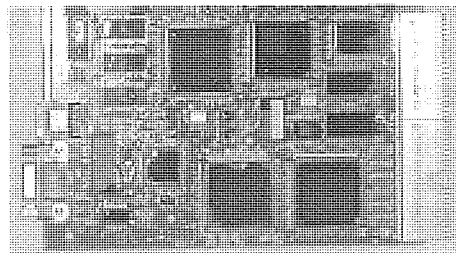


図4. 組み込みWebサーバ

方によるソフトウェア生産においては、設定作業品質がソフトウェア品質を左右することから、設定作業の品質と効率を高める生産環境 MELPRO-SAVE を開発した。

## 8. イン트라ネット技術応用

MELPRO-CHARGEでは、自身の運用保守合理化と系統全体の運用保守合理化を目的として、イントラネット技術を応用した。自身の運用保守合理化は運用保守の遠隔化が、系統全体の運用保守合理化は監視制御・保護装置の情報端末化が主体となる。

### 8.1 遠隔保守

イントラネット技術を適用することで、低コストで操作性の優れた監視制御・保護装置の遠隔運用保守システムを構築できる。イントラネットという汎用技術をベースに、監視制御・保護装置の特質を考慮し、操作性と安全性を高めたシステムを開発した。

#### (1) 操作性

画面構成は、従来方式を継承した方式(シングルフレーム)と、ブラウザ機能を生かして操作性向上に重点を置いた方式(マルチフレーム)を用意し、ユーザー側で選択可能とした。マルチフレーム方式では、画面構成と現在表示画面内容を一目りょう(瞭)然に確認できるとともに目的の画面に直接遷移できるツリービューフレームを付加した。

また、カレンダーによる日付の設定やスクロールバー等、一般的なWindowsのアプリケーションと同様の操作環境を採用し、マニュアルレスでの操作を可能とした。

#### (2) 安全性

従来の装置の前における作業では、長年の経験に基づいた操作部の設計や、現場への立ち入り手続きなどのルールにより、安全性が確保されている。遠隔運用保守においても同等の安全性を確保するため、下記機能を組み込んだ。

- HMI操作中に動作や異常など装置の状態を常に把握できるように、画面上に装置名や装置状態を常時表示する。
- 装置機能に影響する重要な操作に関しては、遠隔からの操作を制限する。

図3にHMI画面例を示す。

## 8.2 情報端末機能

MELPRO-CHARGEにはネットワーク経由で以下の装置内情報を運用保守拠点へ供給する機能を組み込んだ。

### (1) 系統電圧・電流情報

GPSから得た正確な実時間を付加した系統電圧・電流情報を各種事象発生時に記録し利用することで、運用保守拠点で事故点標定や事故解析が可能となる。また、装置から常時の系統電圧・電流情報をサイクリック送信することで、その情報を計測用として利用する。

### (2) 運用操作履歴情報

運用操作時に記録した操作内容情報を利用することにより、運用履歴管理を合理化できる。

## 8.3 組み込みWebサーバ

イントラネット技術を装置にコンパクトに実装するため、組み込みWebサーバを開発した(図4)。

組み込みWebサーバは、当社が開発した組み込み型Webサーバソフトウェア“TSUBASA”を採用することで、メモリサイズとサーバ機能を実行するCPUの負担を抑え、1枚の基板上にすべてのWebサーバ機能と画面プログラム(アプレット)を実装可能とした。

## 9. む す び

MELPRO-CHARGEは、過去から培った監視制御・保護装置の技術に加え最新のネットワーク技術、半導体技術を適用することにより、自律・能動的な情報端末機能を備えた。また、革新的なソフトウェア生産技術により、高品質・高効率に生産できる。これらの特長により、今後の電力系統運用保守におけるトータルコストダウンを推し進めるものと期待する。

## 参 考 文 献

- (1) 第二世代デジタルリレー, 電気協同研究, 50, No.1 (1994-4)
- (2) 磯松信夫, 安齊俊夫, 佐藤 廣, 片山善博: 新型デジタルリレーの基本構成(MELPRO-CHARGEの開発), 平成12年電気学会電力・エネルギー部門大会, 176 (2000-8)



# MELPRO-CHARGEの ソフトウェア生産環境 MELPRO-SAVE

高野富裕\*  
山根定章\*\*  
田中靖之\*\*

## 要旨

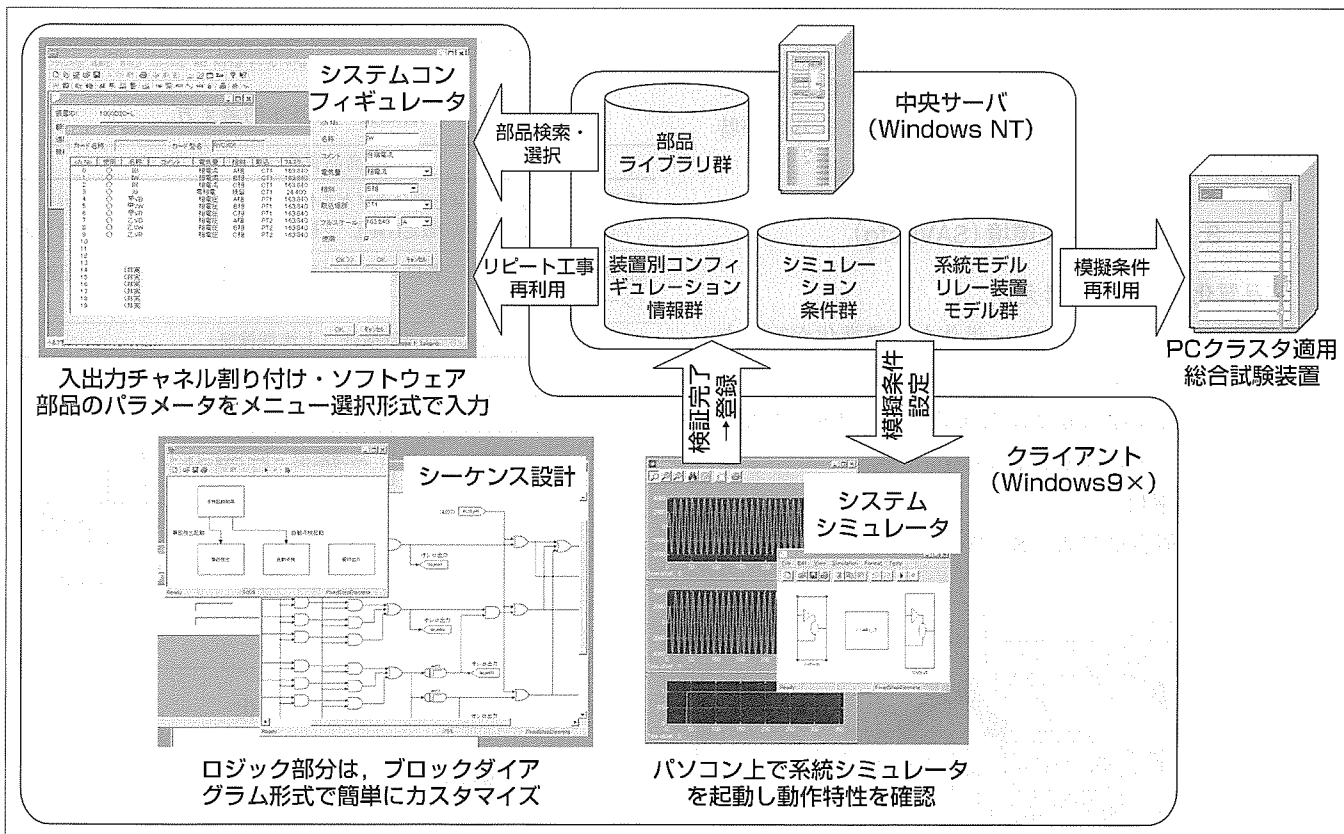
デジタル保護リレー“MELPRO<sup>®</sup>-CHARGE”の品質向上を目的としたソフトウェア生産環境“MELPRO-SAVE (MELCO Protection Relay-Sure Arrangement and Verification Environment)”を開発した。このツールは、三菱電機の新規保護リレーであるMELPRO-CHARGEを対象に、1台のパソコン上で設計、製作、試験作業を一貫してサポートすることによってヒューマンエラーの発生を排除した。

MELPRO-CHARGEのソフトウェア部は、入出力インタフェースの標準化により、リレー演算要素、シーケンスロジック、常時監視、外部入出力処理などの機能単位に部品化している。MELPRO-SAVEは、このソフトウェア部品をライブラリとしてサーバマシン上で一元管理し、適切な部品をクライアントパソコン(Windows PC)上にダウンロードし、部品のパラメータ設定によって装置ごとのソフ

トウェアが生産できる構造とした。パラメータ設定作業では、設定候補の自動絞り込み、標準部品の自動選択機能などにより、ヒューマンエラーを防止するよう工夫した。また、当社製シーケンスエディタ“VISMAT”の技術を継承し、GUI上で描いたブロック線図からのC言語ソースコード自動生成機能を備え、プログラミングレス環境を実現している。

設計を終えたソフトウェアは、EMTP (Electromagnetic Transient Program)相当の系統シミュレータとリレー装置のハードウェア部の特性模擬部品との連携により、同じパソコン上で仮想的に動作確認できる。これにより、部品パラメータやシーケンス変更による動作特性を容易に把握することが可能となった。

(注) “MELPRO”は、三菱電機機が商標登録申請中である。



## MELPRO-SAVEの概要図

①ハードウェア部品とソフトウェア部品選定後、部品のパラメータと部品間の信号授受を定義するシステムコンフィギュレータ、②AND、ORゲート部品やタイマ部品の張り付けと結線によってカスタマイズするシーケンスエディタ、③生成ソフトウェアの動作特性を確認するシステムシミュレータ、の3機能を通してソフトウェアが自動生成される。

1. ま え が き

保護リレー装置は、送電線・変圧器・発電機などの電力系統設備に発生する事故を確実に検出し、電力系統を保護する必要がある。しかし、保護対象設備やその事故様相、動作条件の多様性のため、全装置で高品質を確保することは容易ではない。

本稿では、三菱電機の新規保護リレー“MELPRO-CHARGE”を対象に、上記課題を解決したエンジニアリングツールとして“MELPRO-SAVE”を紹介する。

このツールでは、特にヒューマンエラー防止の観点からプログラミングレスを目指し、部品選択とパラメータ設定作業のみによる設計・製作環境を実現した。また、設計保証として、ソフトウェア(以下“S/W”という。)による装置模擬部と系統模擬部を用意し、パソコン上でのシミュレーションによる生成S/Wの動作特性確認を可能とした。

2. 生産環境の概要

MELPRO-SAVEは、図1に示すとおり、①設計・製作段階でS/W部品選択とパラメータ設定を行うSAVEcfg(configuration)、②生成されたS/Wを仮想的装置の上で動作確認するSAVEsim(simulation)、③ハードウェアと組み合わせて総合的に試験するSAVEatl(artificial transmission line)で構成される。MELPRO-SAVEでは、生産上流域での不具合早期検出を目指し、SAVEcfgで製作されたS/Wを同じパソコンで即座に動作確認できるのが特長である。

3. 設計・製作環境 (SAVEcfg)

3.1 高品質化への基本的考え方

保護リレーのS/Wは、リレー単体など標準化が容易な部分と、シーケンスなど設置電気所の設備形態に依存してカスタマイズが必要な部分とに大別できる。両S/W部に対する高品質のスタンスを表1に示す。

3.2 S/Wの標準化

大部分が部品組合せによるS/W生産方式では、S/W

の標準化が前提となる。今回のツールでは、図2のように、部品の入出力信号を電流・電圧などのアナログデータと動作/不動作などの2値データに限定し、各々のデータテーブル(共有メモリ上)に置くことにした。これにより、部品間で直接的なデータ授受がなくなり、部品の独立性が確保できる。また、部品の内部パラメータの種類も、アナログ入出力、2値入出力、整定、使用/不使用設定など十数種類に限定した。

3.3 部品選択とパラメータ設定による設計

上記のように標準化したS/Wは、リレー演算要素、シーケンス、入出力処理、常時監視などの機能単位に部品化してサーバに登録し一元管理する。装置設計では、必要部品の組合せとパラメータ設定結果を自動的にソースコードに反映する仕組みである。特に完全な標準化が困難なシーケンスも、シーケンスエディタで編集した結果が最適化されたC言語ソースコードとして出力され、完全なプログラミングレスを実現している。

3.4 パラメータ設定におけるヒューマンエラー対策

リレーのS/Wの場合、1装置のパラメータ数は1万点にもほり、部品間の入出力信号点数も千点前後となる。そこでSAVEでは、下記のような対策により、設計者の作業負担を減らすとともに、ミス設定を防止している。

(1) 出力信号の自動割り付けと入力信号の候補絞り込み

入出力も含めた部品の全パラメータは、図3のようなデータテーブルをイメージしたスプレッドシート上で設定す

表1. 高品質への基本的考え方

S/W	高品質化へのアプローチ
標準化が容易 (リレー単体など)	中身を完全カプセル化し、パラメータ設定のみ許容 各種の設定自動化/支援機能によってヒューマンエラーを防止
標準化が困難 (シーケンスなど)	第三者にも容易に理解できる図表でS/Wを記述 完全なプログラミングレス
共 通	設定の即時検証 (上流域検証)

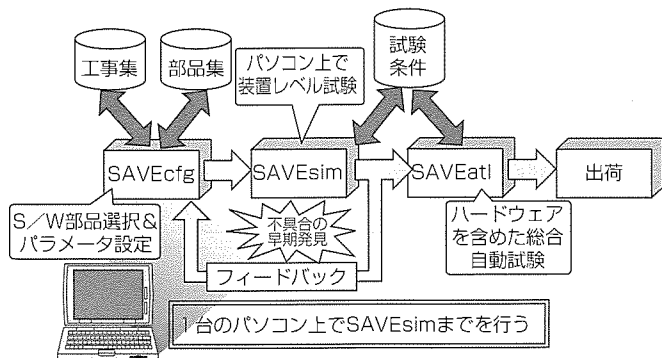


図1. SAVEによる生産フロー

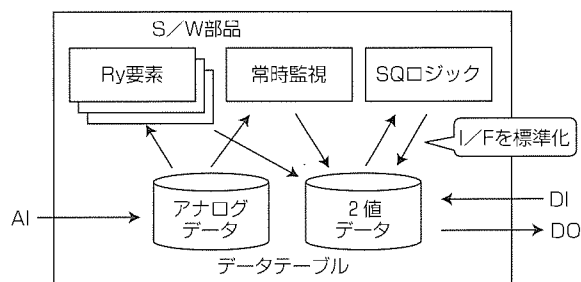


図2. S/W標準化

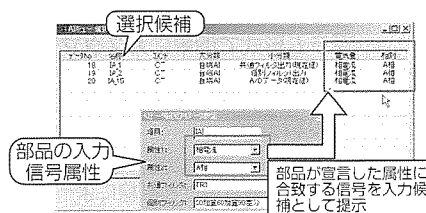


図3. SAVEcfg設定画面例

るので、結果が一目で確認できる。部品の出力信号はツールが自動抽出し、出力先であるデータテーブルのインデックスを自動的に割り付ける。入力信号をデータテーブルから選択する際には、その部品に事前に定義された属性に合致する信号のみが選択候補として絞り込まれる。例えば同図では、あるリレーの1点目のアナログ入力、A相の相電流と定義してあるため、アナログデータテーブルに存在する信号中、その属性に合致する信号だけを絞り込み、選択候補として提示している。

(2) マスタ装置からの設定引用

十分に検証された設定の再利用により、高品質化と生産効率向上が実現する。このツールでは、機種ごとに標準的な設定をマスタとして用意しており、その設定からの部分的な(10%程度)パラメータ変更のみで新しい装置のS/Wが生成できる。また、不必要な変更を避けるため、変更可能なパラメータを限定している。新しく生成された設定も、検証の後、新たなマスタ装置として登録することも可能で、S/Wの再利用率を向上している。

4. S/W試験環境 (SAVEsim)

図4にSAVEsimの概念図を示す。SAVEsimには、EMTPと同レベルの瞬時値システムシミュレータ(システム模擬)機能、及びリレー装置のCPUカードや入出力カード等のハードウェアの模擬(装置模擬)機能を備えており、SAVEcfgで生成されたS/Wとそのままリンクできる。これにより、設計・製作フェーズとS/W試験フェーズが同一計算機上で同一作業者によって実行でき、例えば設計パラメータやシーケンス変更による動作特性の変化を簡単に把握できる。

5. 総合試験環境 (SAVEatl)

生成S/Wは、リレー装置に実装され、最終的にハードウェア試験も兼ねて総合試験装置で試験される。図5に総合試験装置の全体構成を示す。この装置は、PCクラスタ技術を適用し、SAVEsimと同じシミュレーションエンジンがリアルタイムで動作する。試験データ入力GUIでは、系統パターン(図の例では2端子送電線)を選択し、インピーダンスや事故様相の指定を行う。この装置の特長を以下に示す。

- (1) GUIは、SAVEsimと共有されており、SAVEsim/SAVEatl間で試験条件及び試験結果が相互に流用できる。
- (2) 任意の事故ケースを選択し、バッチ処理による自動試

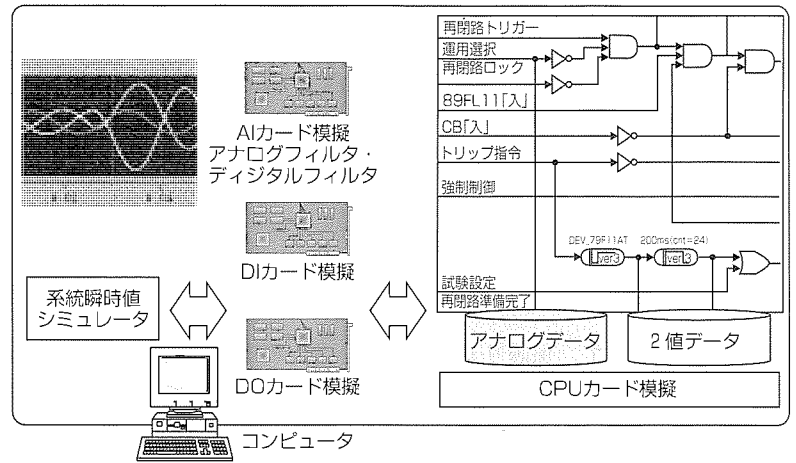


図4. SAVEsimの概念図

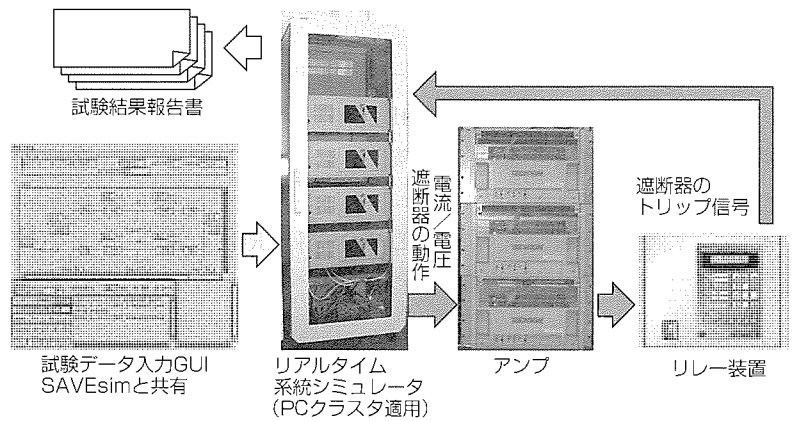


図5. 総合試験装置の構成

験が可能である。

- (3) 遮断機トリップ信号をフィードバックした系統模擬が可能である。
- (4) PCクラスタ適用により、系統規模の拡張に応じて、容易に性能を拡張できる。

6. むすび

以上、当社新型保護リレーの品質向上を目指した生産環境であるMELPRO-SAVEを紹介した。今後、更なる品質向上を目指し、IT技術を適用し、共同作業者間の情報共有、設計や試験ノウハウの共有や伝承を促進する環境も順次整備していく予定である。

参考文献

- (1) 高野富裕, 佐藤 廣, 山根定章, 村田泰一: 新型デジタルリレーのエンジニアリング環境, 平成12年電力・エネルギー部門大会論文誌, 178 (2000)
- (2) 藤本 康, Yuan Bin, 田岡久雄, 手塚宏史, 住元真司, 石川 裕: PCクラスタを利用したリアルタイム電力系統シミュレータ, 平成10年電力技術研究会資料, PE-98-109 (1998)

# MELPRO-CHARGEの実用化展開

—中部電力(株)向け77kV距離継電装置フィールド機への適用—

伊藤正弘\* 関口延夫\*\*  
阿部高久\* 伊藤健司\*\*  
長澤 宏\*\* 中川弘樹\*\*\*

## 1. ま え が き

電力系統において、保護リレー装置は、電力の安定供給に重要な責務を担っており、高い信頼性が要求される。近年、電気所の無人化が進み、装置状態の把握、運用保守業務の省力化、及び障害発生時の迅速な対応のために、保守拠点から遠隔電気所における遠隔監視のニーズが高まっている。一方、昨今のIT (Information Technology) の技術革新は目覚ましい。

そこで、保護リレーに対してのニーズと近年の技術環境に対応した新型デジタルリレー“MELPRO<sup>®</sup>-CHARGE”を開発し、中部電力(株)西濃S/S(西濃関ヶ原線2L)において、フィールドテストを実施した。

本稿では、距離継電装置へのMELPRO-CHARGEの適用、及びテスト期間中の装置応動について述べる。

## 2. システムの概要

### 2.1 距離継電装置への適用

#### (1) ハードウェアの選定

MELPRO-CHARGEは、高抵抗接地系統から超々高圧系統までの制御及び保護リレーを適用範囲としており、基本タイプ(Type 1)、拡張タイプ(Type 2)、高機能タイプ(Type 3)からシステムに合わせて選択する。

今回の装置のハードウェアにはType 1を適用した。

#### (2) ソフトウェアの製作

MELPRO-CHARGEのソフトウェアは、専用生産ツールMELPRO-SAVEを用いる。これは、標準部品化(ライブラリ登録)しているソフトウェアモジュールから設計者は必要な部品を選定し、組み合わせることによってリレーのソフトウェアを生成するものである<sup>(1)</sup>。

### 2.2 装置の概要

この装置の概要を表1に示す。

(注) “MELPRO”は、三菱電機(株)が商標登録申請中である。

表1. 装置の概要

電圧階級	77kV	
装置名称	距離継電装置(ソフト43P付き)	
装置構成	350mm / 1面、回線分離	
保護方式	短絡	短絡方向距離継電方式(1, 2, 3段) ブライнда付き
	地絡	地絡方向継電方式(定限時, 及び反限時) 零相循環電流対策付き

### 2.3 システムの概要

図1にこのシステムの構成を示す。装置の情報は、ISDN回線及びPHS回線を介して、パソコンとPHSがあれば、場所を問わず遠隔監視することができる。

なお今回は、フィールドテストの状態を三菱電機側でも確認するために、公衆回線を用いた。しかし、実機への適用については中部電力(株)の社内回線を利用した。したがって、他からのアクセスは制限される。

### 2.4 遠隔HMIの画面例

図2に遠隔HMIの画面の一例を示す。

M32EGシリーズの画面は“主表示操作フレーム”のみであったが、MELPRO-CHARGEでは、対象装置の表示などを示す“装置状態フレーム”，及びフレームを一覧できワンクリックでそのフレームに移動できる“ツリービューフレーム”を併せ持っている。

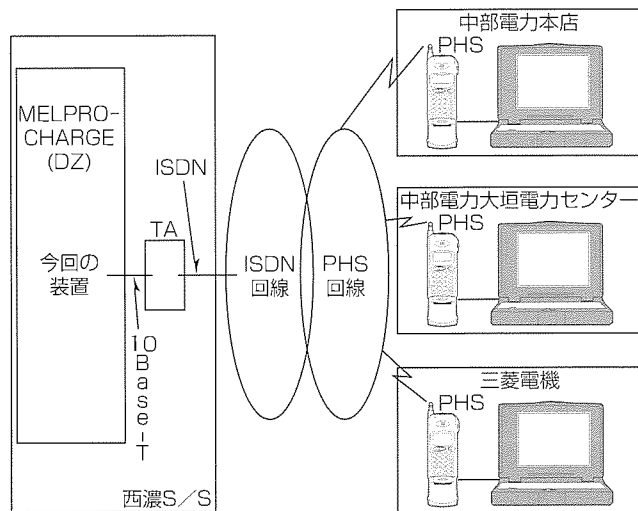


図1. フィールドテストのシステム構成

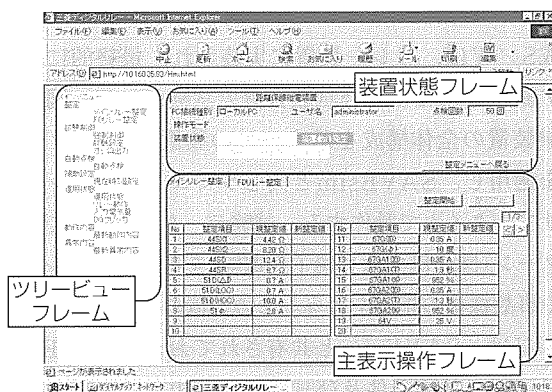


図2. 遠隔HMI画面例

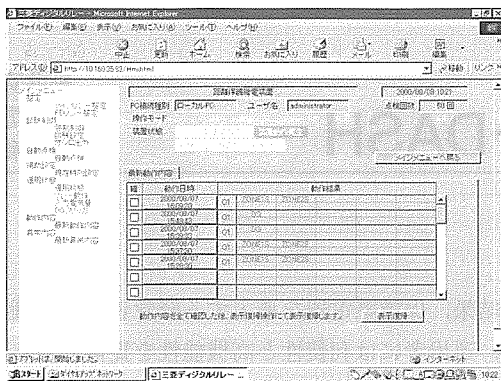


図3. 動作時の内容表示画面

表2. 動作内容

No.	日時	動作内容
1	2000.08.07 16:09:20	ZONE1S, ZONE2S
2	2000.08.07 15:48:43	DG
3	2000.08.07 15:39:33	DG
4	2000.08.07 15:37:30	ZONE1S, ZONE2S
5	2000.08.07 15:28:30	ZONE1S, ZONE2S

### 3. フィールドテスト検証実績

#### 3.1 動作画面

2000年6月～11月現在まで合計5回の系統事故が発生し、この装置はすべてのケースで正動作した。

図3に動作時の内容表示画面を示し、表2に動作内容を示す。

表中のNo.1, 4, 及び5において、ZONE1S(44SX1)とZONE2S(44SX2)の両方が動作している。これは、実系統を保護している主保護が動作したときにも動作内容として残るように、2段タイマ整定を実運用整定よりも短縮しているためである。

#### 3.2 動作時のオシロ

No.5の事故時のオシロ記録を図4に示す。

### 4. 装置

この装置の外観を図5に示す。

### 5. むすび

以上、新形デジタルリレー“MELPRO-CHARGE”を用いた距離リレーについて、その概要とフィールドテスト中の応動について述べた。

フィールドテストの結果、実運用への適用が可能であることが検証された。今後、MELPRO-CHARGEを適用した装置を、三菱電機の主力機種として市場に投入する予定である。

現在、中部電力榑稲沢変電所向け制御装置への適用が決まり、製作中である。

最後に、今回のフィールドテストにおいて多大なるご指導、及びご協力をいただいた大垣電力センター変電技術課

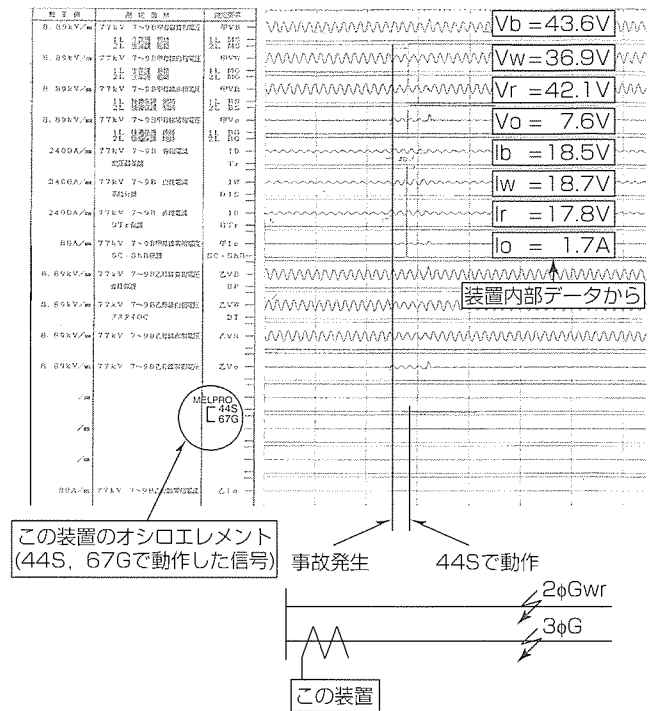


図4. 動作時のオシロ記録

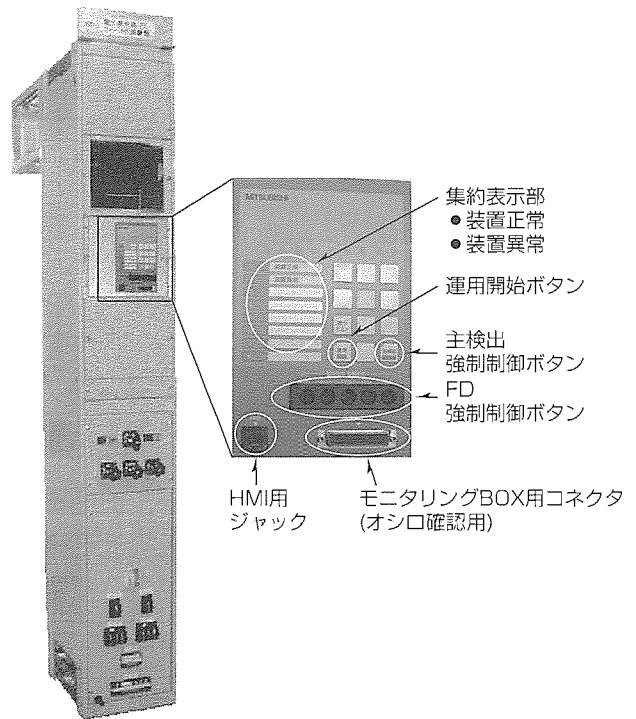


図5. 装置の外観

の杉原副長、岡田主任、杉山氏に感謝申し上げる。

### 参考文献

- (1) 佐藤 廣, 高良 卓, 片山善博, 白井康弘, 山根定章: 新形デジタルリレー (MELPRO-CHARGE) の開発, 平成12年電気学会保護リレー研究会, PSR-00-11 (2000)

# 配電線保護リレー MELPRO-DASH

## 要旨

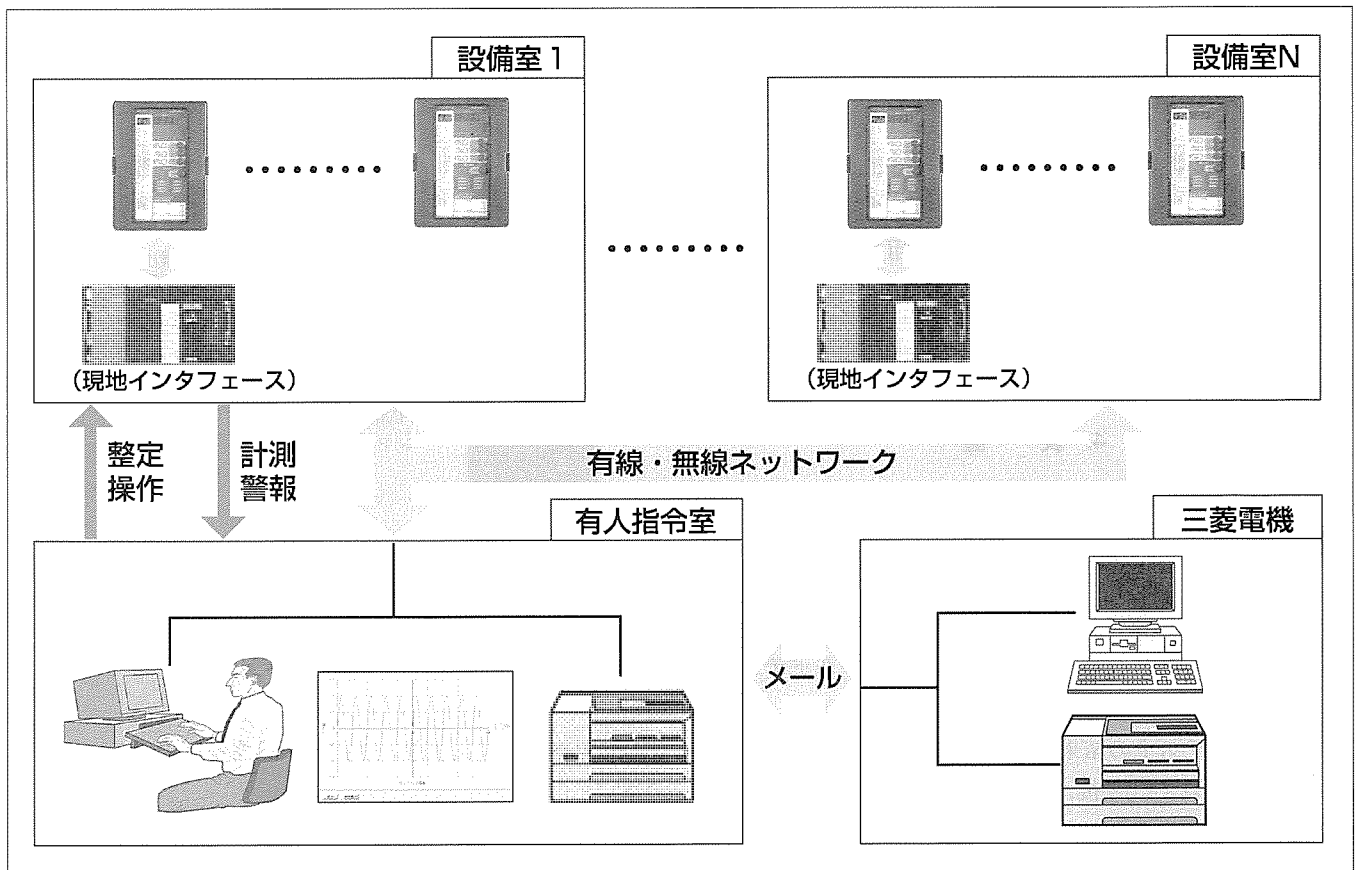
保護継電器は、20世紀初頭に登場した電磁型(メカニカル)リレーを中心に発展し、トランジスタ型継電器を経て、デジタル型継電器主流の時代を迎えている。

近年、目覚ましい発展を遂げている半導体技術・情報通信技術等により、保護継電器は、従来の事故個所の分離という保護目的本来の機能にとどまらず、制御機能・計測機能・記録機能・解析機能・監視機能等の機能複合化が推進されるとともに、有人の管理個所へ情報を伝達する通信機能等の付加によって高付加価値の設備装置として変ぼう(貌)する状況にある。

その結果、保護継電器を導入する経営者には低価格・省人化を、運用者には利便性と高機能性を提供できる設備に進化している。これらの高度な各種インタフェースを提供することにより、人に優しくかつコストパフォーマンスの高い製品の実現が可能となり、信頼性の供給という社会的要求を実現した。

今回、配電線保護リレーとして、最新の通信機能付き複合型MELPRO<sup>®</sup>-DASHを開発したので、このコンセプトと特長、システム構成、保護方式と適用等について述べる。

(注) “MELPRO”は、三菱電機㈱が商標登録申請中である。



## MELPRO-DASHを適用したシステム構成例

保護リレーをインテリジェント化し、遠隔地の操作・情報収集・分析を可能とし、省人化と省コスト化を実現する。

## 1. ま え が き

保護継電器は、電磁型継電器及びトランジスタ型継電器の時代を経て、デジタル型継電器が主流の時代を迎えている。

また、近年の情報通信技術・半導体技術等の進歩には目覚ましいものがあり、機器リレービジネスの世界においても、単に保護継電器を事故箇所の除去という保護リレー本来の機能にとどまらず、制御機能・計測機能・記録機能・解析機能・監視機能等の機能複合化が進んでいる。有人の管理事務所等への情報伝達機能等の付加により、設備全体への影響の把握が迅速に実施できるとともに、早期対応の支援が充実できるなど、需要家設備の運用の質的变化をもたらしつつある。

その結果、保護継電器を導入する経営者には低価格・省人化を、運用者には利便性と高機能性の提供が可能になった。

今般、高度なI/F(インタフェース)を提供することにより、人に優しくかつコストパフォーマンスの高い機能複合製品“MELPRO-DASHシリーズ”を開発したので、以下に述べる。

## 2. 開発のコンセプト

近年、保護継電器に求められるものは、単に事故発生箇所の系統からの除去という本来の保護機能の実現だけでなく、情報通信技術・半導体技術等を活用し“高度化(高機能化・高信頼度化)”“省人化(無保守化・利便性)”“低コスト化(機能複合コスト、ライフサイクル中のトータルコスト)”をいかに実現するかがますます重要となってきた。

このような顧客の要求を実現するため、MELPRO-DASHの開発に当たり、次の3項目の実現を開発のコンセプトに据えた(図1)。

- デジタル技術を活用した高度化

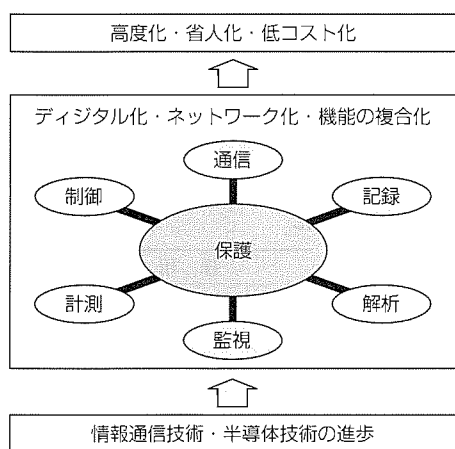


図1. MELPRO-DASH開発のコンセプト

- ネットワーク技術を活用した省人化・省力化
- 機能の複合化による低コスト化

## 3. 特 長

MELPRO-DASHは、下記のように七つの特長を備えている(図2)。

- (1) 高性能化
  - 複雑なリレー処理の実現
  - デジタルフィルタによって高調波などの影響を軽減
  - 高速サンプリングのデジタル演算方式
- (2) 高機能化・複合化
  - 先進の通信ネットワーク対応
  - 充実したメータ機能
  - 種々の制御機能を実現可能
  - 系統故障時のデータセーブ機能
- (3) 高信頼度化
  - 部品点数を従来比50%削減
  - 自動監視機能の充実
  - デジタル処理による特性の安定化
  - 耐環境性能の向上
- (4) 保守の簡素化
  - パソコンI/Fによる詳細情報収集
  - 自動監視機能充実(データセーブ機能)
  - 充実したシリーズぞろえ(全51機種)
  - 引き出し式ユニットによるメンテナンス性向上
- (5) お客様指向
  - 柔軟なニーズに対応したプログラマブル接点
  - ワイドな整定範囲
  - リプレースを考慮した取付け寸法互換
  - 国際規格への準拠(IEC, BSなど)
- (6) 伝統ある高度なりレー技術
  - アナログ時代からの伝統ある技術とノウハウを継承
  - 超高圧系統までも含めた電力系統技術を適用
- (7) 充実した検証設備
  - 各種の系統故障を模擬する充実した試験設備で検証
  - 顧客受入試験の合理化を可能とする自動試験対応

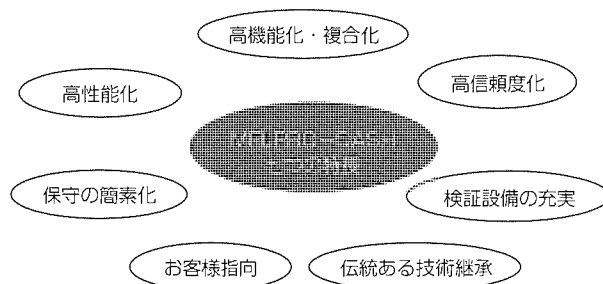


図2. MELPRO-DASHの七つの特長

## 4. システム構成

### 4.1 回路

A/I(アナログ入力)カードとCPUカード及び従来基板外に搭載されていたD/O回路を1枚のリレーカードとして集約し、リレーカードは内部高速シリアルバスを通じてデータ転送が可能な構成とすることで、拡張性の高い構成を実現した。

また、バスのシリアル化による配線本数低減により、M/B(マザーボード)とI/Fカードも1枚に集約することができ、実装効率が向上した(図3)。

#### (1) 信頼性向上と原低

- 部品点数を大幅削減(約50%低減)
- 結線レス化による作業費用削減

#### (2) 拡張性

- 拡張リレーカードの追加(リレー、D/I等)
- 通信カードのオプション装着化

#### (3) 標準化

幅広い機種構成において、内蔵要素の少ない製品から多い製品まで、基本的に同一のハードウェア構成で実現可能となった。

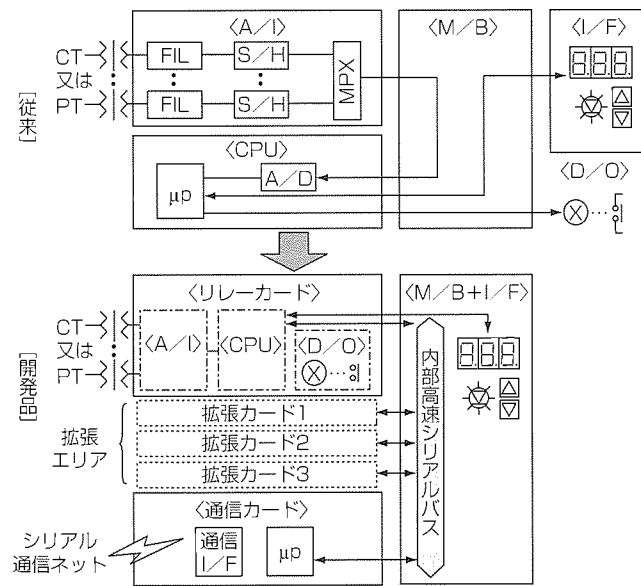


図3. 内部回路構成

### 4.2 きょう(筐)体

#### (1) 金属+プラスチックのハイブリッド筐体

表1のとおり、金属加工品とプラスチック成形品の特性を生かした設計とすることで、安価で信頼性の高い筐体構造を実現した。

図4に筐体の構造を示す。

ケース、カバー、フレームなどの構造部品をプラスチック成形品の特性を生かした設計とすることで、高強度で実装効率が高く安価な筐体を実現した。

筐体のプラスチック化で懸念される電磁波障害への対策として、内部の引き出しユニット周囲を金属板でシールドすることによって対処した。また、ケース、カバーを金属加工品で構成するのに比べて、簡単な形状かつ塗装仕上げ不要なため、安価で効果的な電磁シールドを実現した。

#### (2) I/Fカード一体のM/B

- 基板間の結線レス化
- D/O回路の基板搭載

#### (3) オプション後付け可能な通信カード

## 5. 保護方式と適用区分

MELPRO-DASHシリーズは、特高・高圧の受配電及び系統連系に必要なリレー要素を中心にシリーズぞろえを完了した。大きくは、過電流、電圧、配電線保護、モータ保護、トランス保護、系統連系保護に分類できる。

図5にスケルトン例と適用例一覧を示す。

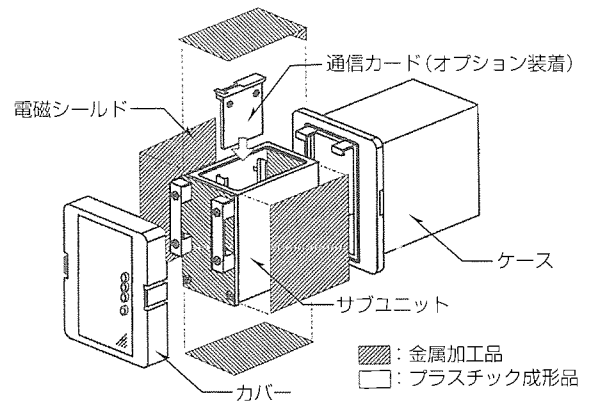
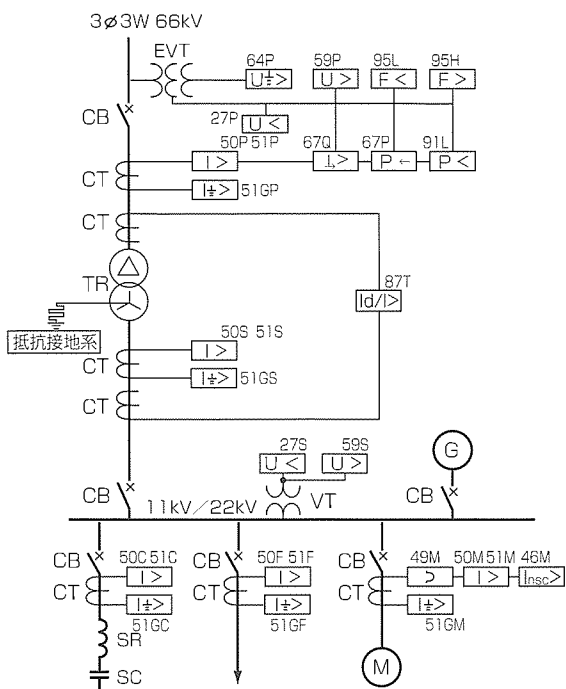


図4. 筐体の構造

表1. プラスチック成形品と金属加工品のハイブリッド化

材質	長所	短所	採用
プラスチック成形品	<ul style="list-style-type: none"> <li>● 加工性が良く複雑な形状が可能</li> <li>● 絶縁性が高い</li> <li>● 耐腐食性に優れている</li> <li>● 弾力性が高い</li> <li>● 塗装などの後処理不要</li> <li>● 単価が安い</li> </ul>	<ul style="list-style-type: none"> <li>● 高温に弱い</li> <li>● たわみやすい</li> <li>● 薄肉板では強度が低い</li> </ul>	<ul style="list-style-type: none"> <li>● ケース</li> <li>● カバー</li> <li>● 筐体の骨組み</li> <li>● 可動部品(ヒンジ機構)</li> </ul>
金属加工	<ul style="list-style-type: none"> <li>● 電磁シールドの効果がある</li> <li>● 薄肉板では強度が高い</li> </ul>	<ul style="list-style-type: none"> <li>● 単価が高い</li> <li>● 耐腐食性が低い</li> </ul>	<ul style="list-style-type: none"> <li>● ユニット正面&amp;裏面板</li> <li>● 電磁シールド板</li> </ul>





器具番号		MELPRO-DASH	
27P	59P	CPP1-A01D2	
64P	95L		
95H	67Q		
67P	91L		
50P/51P	3φCOC3-A01D1	COC4-A01D1	
51GP	1φCOC1-A02D1		
50S/51S	3φCOC3-A01D1	COC4-A01D1	
51GS	1φCOC1-A02D1		
27S	3φCUV3-A01D1	CBV2-A01D1 CBV2-A02D1 CBV3-A01D1	
59S	3φCOV3-A01D1		
87T	CAC1-A01D2		
50C/51C	3φCOC3-A01D1	COC4-A01D1	
51GC	1φCOC1-A02D1		
50F/51F	3φCOC3-A01D1	COC4-A01D1	
51GF	1φCOC1-A02D1		
49M	CMP1-A01D1		
50M/51M			
46M			
51GM			
51GM			

図5. スケルトン例と適用例一覧

(1) 過電流リレー

収納の相数及び地絡用の有無の組合せによって7機種をそろえた。従来のIEC規格の動作時間特性カーブに加え、新たにIEC規格で採用される電磁形リレーに近い動作時間特性カーブや限時復帰時間特性も採用した。

(2) 電圧リレー

不足電圧，過電圧，地絡過電圧の三つの要素と相数の組合せによって9機種をそろえた。直接接地系でも使用できるように相電圧／線間電圧共用の定格電圧とし，それに合わせて整定電圧範囲をワイド化した。

(3) 配電線保護リレー

一般の高圧配電線の保護用に過電流2相分と地絡方向要素を収納しており，接地方式の違いによって3機種をそろえた。

(4) トランス保護リレー

特高の受電トランスがある場合に使用する。比率差動要素を収納しており，励磁突入電流による誤動作を防止するために第2高調波によるロックシーケンスを内蔵している。

(5) モータ保護リレー

電動機の保護用として，従来の過負荷(サーマル)，過電

流限時・瞬時，逆相過電流，地絡(過電流又は方向)に加え，新たに不足電流，始動回数制限を追加した。また，外部からの接点信号を受けるD/I機能によってトリップ出力を出す制御機能を新たに設けた。相数と地絡の種類，D/I機能の有無によって5機種をそろえた。

(6) 系統連系リレー

CGS(Co-Generation System)，燃料電池，太陽電池，風力発電，マイクロガスタービン発電などの分散電源を自家発電設備として導入する際，電力系統との連系に必要な保護要素(不足電圧，方向短絡，逆電力，不足周波数，過周波数，過電圧，地絡過電圧，不足電力)を集約した。逆潮流がある場合に適用する受動方式の単独運転検出機能にも対応し，10機種をそろえた。

6. むすび

以上，最新技術を導入して各階層の方々の要求を満たす製品MELPRO-DASHリレーシリーズについて述べた。

今後とも，顧客ニーズと最新技術の融和を図り，時代のニーズに合致した製品を提供していく所存である。



# 特許と新案 \* \* \*

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは  
三菱電機株式会社 知的財産渉外部  
電話(03)3218-9192(ダイヤルイン)

## 電流差動リレー装置 (特許 第2693284号, 特開平4-312315号)

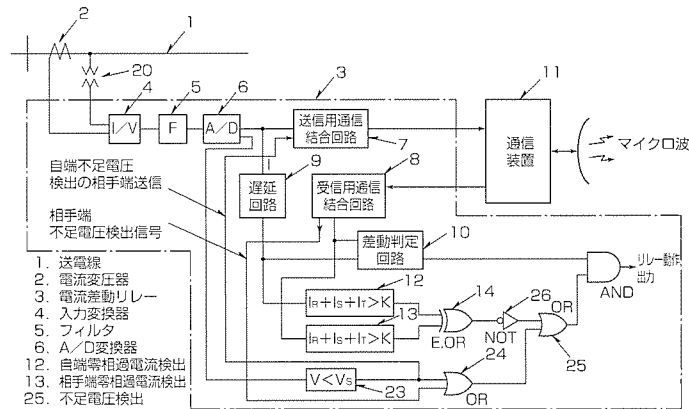
発明者 尾田重遠

この発明は、送電線の内部故障を検出してこの送電線の系統を保護するのに用いる電流差動リレー装置に関するものである。

従来の電流差動リレーは、基本的に両端の電流のベクトル和(差動電流)を検出して送電線上の系統事故を検出するもので、電流を取り出すCT 2次側断線故障発生時には、上記ベクトル和ができないため、送電線に流れる負荷電流によっては送電線上の事故でないにもかかわらず誤動作するなどの問題があった。

この発明は、上記の問題を解消するためになされたもので、実施例を図に示す。自端零相過電流検出要素、相手端零相過電流検出要素と不足電圧検出要素を備え、CT 2次1相断線時には負荷電流による零相過電流はCT 2次断線端にのみ発生するもので、両端に

は発生しないことから、電流差動リレーの検出を自端零相過電流検出及び相手端零相過電流検出が共に検出されるか又は共に検出されない。そして、さらに、事故検出の信頼性を上げるために自端又は相手端の不足電圧が検出される場合に送電線事故検出を行うように論理回路を構成することで、CT 2次1相断線故障による誤動作を防いでいる。



電流差動リレーブロック図

### <次号予定> 三菱電機技報 Vol.75 No. 4 「産業用省エネルギーソリューション/情報システムソリューション」特集

#### 特集論文

- 省エネルギーソリューションに期待する
- 最近の産業分野における省エネルギーソリューションの現状と技術動向
- ネットワーク対応計測表示ユニット付きブレーカ
- ネットワーク対応電力計測ユニット・電子式指示計器
- 省エネルギー管理用省エネデータ収集サーバ“Eco Server”
- 省エネルギーインバータ
- スーパー高効率油入変圧器
- 高効率モータ

- Web応用省エネルギー管理システム
- ITによる省エネルギー支援システム
- Co. Solutionによるe-ビジネスへの取組
- e-ビジネスの核となるERPソリューション
- e-ビジネスCRMソリューションへの取組
- 企業間電子商取引ソリューションへの取組
- 統合運用管理ソリューションへの取組
- e-ビジネス時代の新オフィスサーバEntranceシリーズ

<p>三菱電機技報編集委員 委員長 井手 清 委員 中村 治樹 村松 洋 吉原 孝夫 藤川 裕夫 伊藤 敬 松本 修 浜 敬三 荒木 政敏 西谷 一治 佐々木和則 河内 浩明 畑谷 正雄 茅 嶋 宏 幹事 名畑健之助 3月号特集担当 村上 謙二 上窪 康博</p>	<p>三菱電機技報 75巻3号 2001年3月22日 印刷 (無断転載・複製を禁ず) 2001年3月25日 発行</p> <p>編集人 井手 清 発行人 名畑 健之助 発行所 三菱電機エンジニアリング株式会社 ドキュメント事業部 〒105-0011 東京都港区芝公園二丁目4番1号 秀和芝パークビルA館9階 電話 (03) 3437局2692</p> <p>印刷所 菱電印刷株式会社 発売元 株式会社 オーム社 〒101-0054 東京都千代田区神田錦町三丁目1番地 電話 (03) 3233局0641</p> <p>定 価 1部735円(本体700円) 送料別</p> <p>三菱電機技報に関するお問い合わせ先 cep_giho@ml.hq.melco.co.jp</p>
<p>電子文書時刻証明に関するお知らせ 2001年2月16日 三菱電機株式会社 集約期間：2000年12月16日～2001年2月15日 集約ハッシュ値： rs3sqy2zUghIYrGOBTgosoSTequa8petQMrrppkSAZ9Y8IAJx</p>	<p>URL <a href="http://www.melco.co.jp/giho/">http://www.melco.co.jp/giho/</a></p>

冷蔵庫が“氷ができました”，電子レンジが“時間をセットしてください”……身の回りの家電製品がいろいろな音声を発する時代になってきました。

M65575-XXXXFPは，リズム，メロディなどラジカセやミニコン等のオーディオ機器や楽器分野での付加機能だけでなく，ボイスガイダンス，環境音，警告音，効果音など多様な分野のシステムに応用可能なリズムフレーズプレーヤーICです。

## 1. M65575-XXXXFPの特長

### ●音質をキープしつつメモリ容量を有効に活用

容量に制限のあるメモリにできるだけ多くのデータを記録し，かつ音質を損なわない…こうした相反する要求を，三菱電機は，二つの技術で解決しました。

#### (1) 独自の符号化方式による音源データの圧縮

一般的によく知られている圧縮方式であるADPCM (Adaptive Differential Pulse Code Modulation) は，急激に立ち上がる音に対してはひずみを発生し，音質を悪化させやすいという傾向があります。M65575-XXXXFPは，三菱電機独自の圧縮方式でこの問題を解決し，データに応じた最適なビット数を割り当てることにより，メモリを効率的に使いかつ十分な高音質を確保することができます。

#### (2) 異なるサンプリング周波数の音源をROMに混在可能

サンプリング周波数を高くすると再生周波数帯域が広がり高音質が維持できますが，音源ROMの使用エリアが大きくなり記録できる音源の種類は少なくなります。M65575-XXXXFPは，音源の音域に応じ4/8/16/32kHzの中から最適なサンプリング周波数を選んで処理した音源データを，他のサンプリング周波数の違う音源データと一緒にROMに混在させて格納することができます。これにより，音源ROMのエリアを有効に使用できます。

### ●タイミング制御用ROM(96kビット)内蔵

M65575-XXXXFPには，音源発生のタイミング制御をするためのROMが内蔵されています。複雑なシーケンス制御をあらかじめプログラムしておくことによって，制御マイコンの負担を大きく軽減します。この機能は，リズムやメロディ音源などの用途に対し，更に強力な役割を果たします。

### ●その他の機能

さらに，M65575-XXXXFPは，以下の機能も持っています。

- 3音同時発音
- バンポット(ステレオ定位)機能
- ワンショット，ループ，チェインなどの再生機能
- テンポ可変
- 出力レベル可変 など

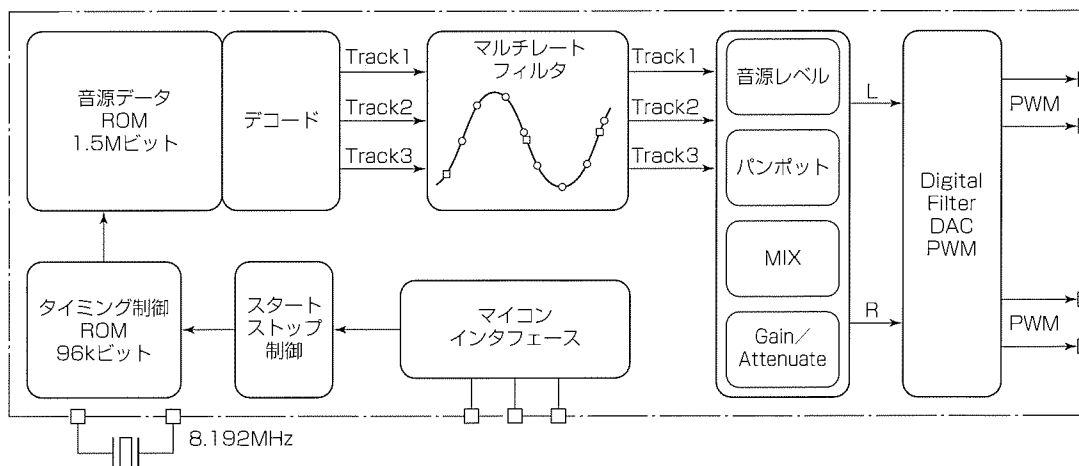
多くの機能と特長を持つM65575-XXXXFPは，オーディオ製品，家電製品，がん(玩)具，電話周辺機器など様々な分野で活用いただけます。

## 2. 音源ライブラリ

音源は三菱電機でも製作可能です。また，各種音源のライブラリもそろえています。

### 主な仕様

電源電圧	3.3V±10%
パッケージ	36ピン SSOP
音源データROM	1.5Mビット
タイミング制御ROM	96kビット
出力方式	PWM方式(DAC内蔵)
動作周波数	8.192MHz
マイコンI/F	3線
最大同時発音数	3音
出力レベル可変	-∞~+6dB(16ステップ)



M65575-XXXXFPブロック図