

0.18 μ m256Mビットシングルデータレート / ダブルデータレートSDRAM

古谷清広*
瀬戸川 潤*
安間正俊*

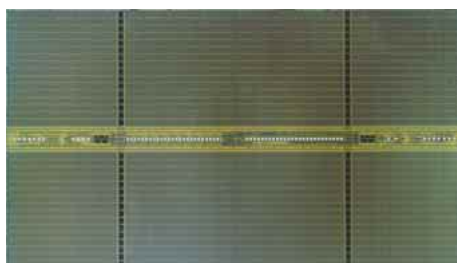
要 旨

近年の目覚ましいパソコンの高性能化に伴い、汎用コンピュータはもちろん、パソコンやワークステーションを統合するサーバの能力が一層強化されている。これらのハイエンド機種の主記憶を構成するDRAMには、システム全体の制御・処理能力を向上させるため、より大容量のデータを高速に転送できる機能が求められている。

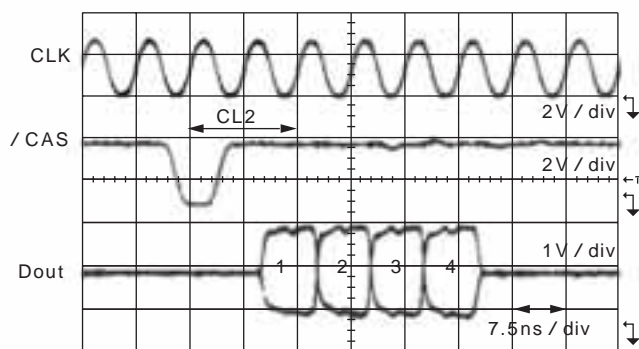
三菱電機では、このようなニーズに対応し、0.18 μ mのCMOSプロセスを採用することにより、現在主流である64Mビットや128MビットSDRAMとパッケージ互換性のある256MビットのSDRAMと、従来のSDRAMの2倍のデ

ータ転送速度を持つJEDEC標準準拠のダブルデータレートSDRAMの開発を行った。

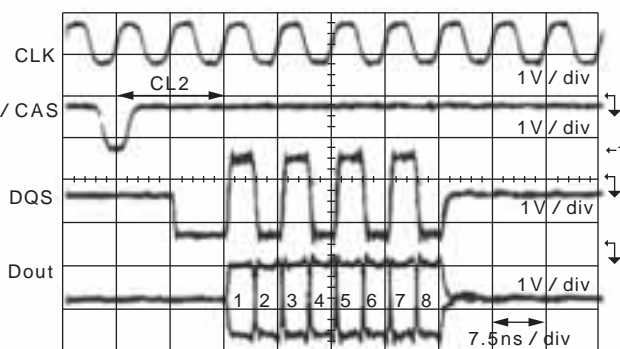
今回開発した256MビットSDRAMでは、アレー構成、データパス回路の最適化により、チップ面積の増加を抑えつつ、143MHzの高速動作が可能であり、PC133(PC133仕様準拠@2-2-2/CL-tRCD-tRP)やPC266に対応可能である。さらに、サーバの超大容量主記憶に対応するため動作電流の低減を図っているため、ノートパソコンの小型化・低消費電力化などにも好適である。



256MビットSDRAMのチップ写真



シングルデータレートSDRAMの出力波形
(CL=2 @ 133MHz, BL=4)



ダブルデータレートSDRAMの出力波形
(CL=2.0 @ 133MHz, BL=8)

256MビットSDRAMのチップ写真と動作波形

メタルマスクマスタスライスでシングルデータレートSDRAMとダブルデータレートSDRAMが切換え可能である。

ダブルデータレートSDRAMでは、クロックの両エッジでデータが入出力され、シングルデータレートSDRAMの2倍のデータ転送速度が実現される。