

デジタルテレビ放送用 MPEG-2エンコーダチップセット

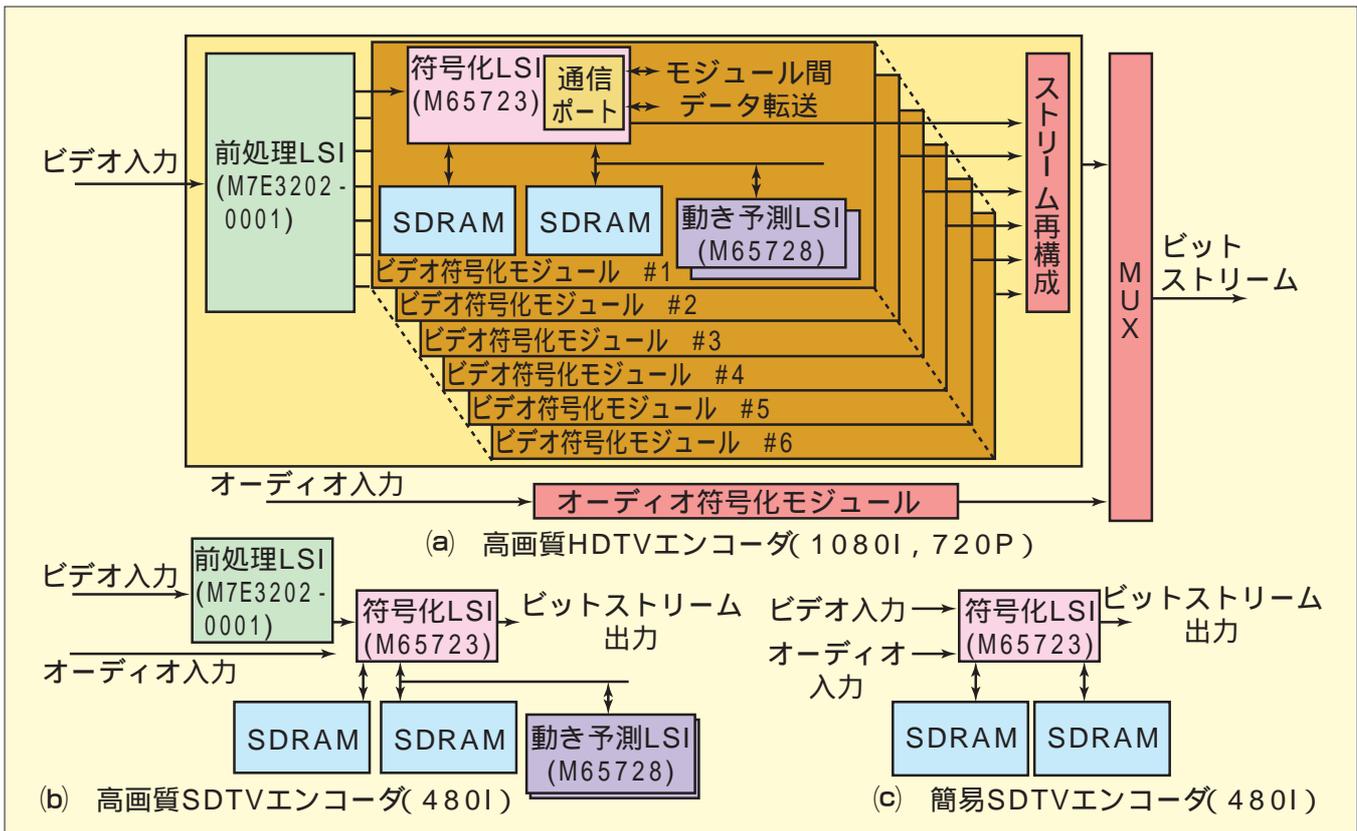
松村哲哉* 加瀬沢 正**
熊木 哲* 丹野興一***
花見充雄*

要 旨

本稿では、デジタルテレビ(DTV)放送対応の送信機器に使用されるMPEG-2エンコーダチップセットについて述べる。

チップセットは、前処理LSI(M7E3202-0001)、符号化LSI(M65723)、及び動き予測LSI(M65728)で構成され、これらを組み合わせることによってSDTVからHDTVまでの実時間エンコードを可能にした。前処理LSIは、SDTVからHDTVまでのデジタル映像信号に対してフィルタリングや特徴抽出及びフォーマット変換などの前処理を行う。符号化LSIは、専用ハードウェアとメディアプロセッ

サD30Vを組み合わせたハイブリッドアーキテクチャを採用しており、1チップでSDTV(480I)の実時間符号化が可能な処理性能を持っている。さらに、解像度に対する拡張機能を備え、複数チップを並列動作させることにより、HDTV(720P, 1080I等)の各種方式に対する実時間符号化が可能である。動き予測LSIは、1チップで水平+63/-64画素、垂直+31/-32画素の範囲の全探索を可能にした。マルチチップ構成による探索範囲の拡張容易性を持っているため、最大水平+255/-256画素、垂直+127/-128画素の探索範囲を実現でき、HDTV解像度の動き探索に対応できる。



エンコーダシステムの構成例

このチップセットによって実現可能なエンコーダシステムの構成例を示す。符号化LSIと動き予測LSIで構成される符号化モジュールの6並列構成により、HDTVエンコーダシステム(1080I, 720P)が実現可能である(a)。また、単一の符号化LSIを用い各種用途に応じたSDTVエンコーダシステムを構成できる(b)(c)。