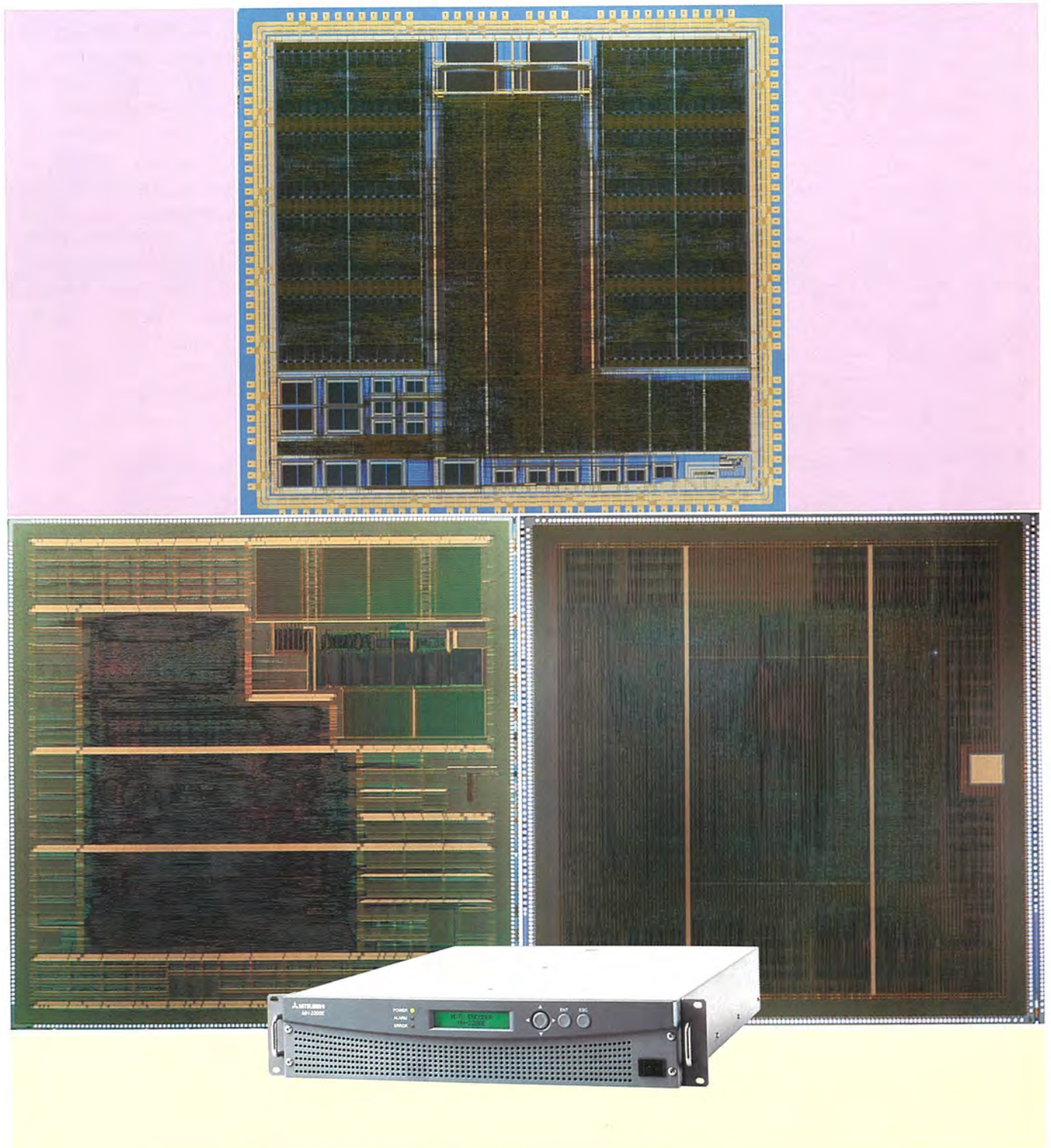


# MITSUBISHI

三菱電機技報 Vol.74 No.3  
特集「LSI」

2000 **3**



## 目次

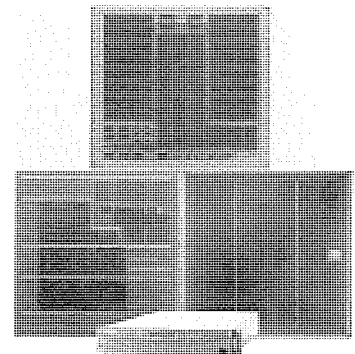
### 特集「LSI」

激動するLSI産業 .....	1
桜井貴康	
システムLSIの現状と将来展望 .....	2
松本平八	
モータ制御用16ビットマイコン M37906/M37905グループ .....	8
浜川 彰・井上尚起・榎原清彦・井上稔博・阿部 浩	
LCD駆動制御回路内蔵16ビットマイコン .....	12
三尾雅夫・吉田博成・熊谷 勉	
1チップDVDバックエンドデコーダLSI .....	16
浦本紳一・高島明彦・川井孝洋・原 哲也・大河原良平	
デジタルテレビ放送用MPEG-2エンコーダチップセット .....	20
松村哲哉・熊木 哲・花見充雄・加瀬沢 正・丹野興一	
メディアプロセッサD10V .....	24
圓山俊幸・松尾雅仁・寺岡栄一	
リズムフレーズプレーヤーLSI .....	28
原田博行・有住雅子・大木正司	
NTSC方式カラーテレビ用1チップLSI .....	32
宮本浩樹	
40Mビット3Dグラフィックス用フレームバッファメモリ(3D-RAM5) .....	36
京屋貴則・中村 尚・山本耕次	
0.18 $\mu$ m256Mビットシングルデータレート/ダブルデータレートSDRAM .....	40
古谷清広・瀬戸川 潤・安間正俊	
0.18 $\mu$ mプロセスを用いた8MビットSRAM .....	44
池田和也・坂口定則・芦田 基	
0.18 $\mu$ m eDRAMコアの開発による 0.18 $\mu$ m DRAM混載システムLSIコア技術の確立 .....	48
林 勇・山崎 彰・藤野 毅・辰巳 隆・井上一成	
携帯電話用高密度小型ICパッケージ .....	54
板東晃司・木村通孝・秋山龍彦	
特許と新案	
「データ処理装置」「PLL回路」 .....	59
「非接触型情報カード」 .....	60
スポットライト	
家電インバータ用DIP-IPM Ver.2シリーズ .....	58
人工網膜LSI .....	(表3)

### 表紙

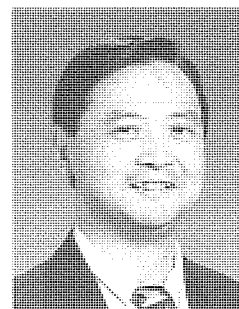
デジタル放送用エンコーダチップセット  
表紙は、デジタル放送用HDTVエンコーダ装置(MH-2200E：下)、及びこれに使用されるMPEG-2エンコーダチップセットの各々のチップ写真である。

チップセットの中核となる符号化LSI(M65723：中央左)は、高性能メディアプロセッサを内蔵し、1チップでSDTV、複数チップでHDTVの実時間符号化処理を可能とする。また、並列動作のための拡張機能を持っている。前処理LSI(M7E3202-0001：中央右)は、SDTVからHDTVの入力映像信号に対し、フォーマット変換、フィルタリング及び特徴抽出の処理を行う。動き予測LSI(M65728：上)は、最も高精度探索の可能な全探索方式を採用し、放送用の高画質HDTVにも対応可能である。1チップで $\pm 64/\pm 32$ 、マルチチップ構成で $\pm 128/\pm 64$ の探索範囲を実現できる。



## 激動するLSI産業

東京大学  
国際・産学共同研究センター  
生産技術研究所第3部  
教授 工学博士



桜井貴康

ここ30年、半導体産業は、ムーアの法則に導かれて、指数関数的に微細化・高集積化を追求してきた。微細化・高集積化するとLSIは高速になり、コストも安くなったからだ。しかし、ここに来て、微細化・高集積化の問題点がクローズアップされてきた。高集積化のため消費電力が急増し、100Wを超えるプロセッサまで登場した。これでは携帯用途にはとても向かない。また、ワンチップに1億個のトランジスタが集積できるような微細加工技術はできたが、このような複雑なLSIをどうやって設計しテストするのだろうか。一方、微細化した配線は抵抗が高くなり、信号が通りにくくなって、高速なLSI実現の妨げになってきた。また、配線は多層化したため、コストが増し、製造時間も長くなった。ノイズや配線相互の干渉も増加した。このように、LSIはいわゆるディープサブミクロンの各種の問題に直面している。加うるに、高集積化は電子システムそのものをワンチップに載せてしまうことも可能になったため、いわゆるシステムLSIという新時代に突入し、激動の時代を迎えた。

しかし、考えてみればピンチはチャンスだ。新しいアイデアがものを言う時代がきたとも言える。上に述べた“電力の危機”“複雑さの危機”“配線の危機”にソリューションを与えるようなアイデアや技術は差別化の源泉になる。例えば、複雑さの問題には、回路ブロックの再利用や共有が有効でIPと呼ばれるブロックをチップ上で組み合わせる設

計手法が検討されている。この辺にはIPベンダーなどの新しいビジネスモデルもあり得る。電力の問題に対しては、新しい低電圧化回路やデバイス技術、アーキテクチャ技術などが台頭してきた。配線コストとターンアラウンドタイムの上昇は、ASICのビジネスモデルを変えてしまった。例えば、FPGA(Field Programmable Gate Array)を扱うベンチャー会社のセールスが大手半導体メーカーのASICの売上げをりょうが(凌駕)するまでに至っている。一方で、システムLSI化は、混載メモリや混載アナログなどの新しい技術を要求している。

このようにダイナミックな変革が起こっているLSI技術だが、システムLSIの時代には、同じLSIを皆で作って全員が利益を享受するというビジネスモデルが成り立ちにくい。アプリケーションシステムとLSIの結び付きがより強くなっているからだ。ナンバーワンになれるものに選択的に注力することが叫ばれており、“私にしかない技術”が尊重される時代になったわけだ。

このところ半導体市場は、世界経済の減速に呼応して、体調を崩した。しかし、マクロに見れば、LSI産業は今後の電子産業を支え、強いては情報化社会を支えながら着実に伸びると予測されている。システムLSIが明日の世界を築く技術でありつづけるためには、半導体エンジニアと、システムやソフトウェアなど広範なエンジニアの協力が決定的に重要になってきた。

# システムLSIの現状と将来展望

松本平八\*

## 1. ま え が き

日本のメーカーのシステムLSIへの重点移行は、前回のDRAM不況時(1990～'92年)に話が出始め、今回のDRAM不況('96年～)で怒とう(涛)の流れとなってしまった。したがって、DRAMが駄目だから致し方なくという後ろ向きの側面を無視することはできないが、本当の意味で日本の半導体ビジネスの救世主となる可能性を秘めている。

“システムLSIとは何ぞや?”という質問に明確に答える定義は存在しないが、システムの価格/性能比を大きく改善するため、システム全体又はシステムの一部をチップの上に集積した相当大規模なLSI、という漠とした定義に特に反論はないだろう。この観点で考えれば、システム技術者と半導体技術者が一体となって開発することが成功のかぎ(鍵)である。強いシステム技術と強い半導体技術が結び付いたとき、夢のシステムLSIが実現する。夢のシステムLSIは、システム事業と半導体事業の両方を成功に導く。日本の総合電機メーカーがこの分野で強くなれないはずがない。逆に強くなれば、総合電機メーカーの利点を生かしていないことになる。システムLSIにはMPUやDSP、種々の機能ブロックやメモリが必要であり、日本のメーカーの弱点となっている百貨店の経営を逆に利点に変えるチャンスでもある。システムLSIで日本的経営の存続意義を問われていると言っても過言ではないだろう。

三菱半導体は、'90年代初頭からゆっくりとではあるが、システムLSIへの傾斜を強めてきた。ロジック分野ではソリューション提供型のチップセット事業(DTV、DVD、携帯電話、グラフィックスなど)を進めるとともに、IP(Intellectual Property)コアの整備(特にMPU/DSPとファームウェア/ミドルウェア)を図ってきた。メモリ分野では、ASIC化の流れを先取りするとともに、IPコア化を進めてきた。メモリのIPコア化努力が業界をリードするeRAM技術として花開いている。半導体屋として、高速化/低電力化/低価格化のためのプロセス/デバイス構造/回路技術開発や製造技術の高度化は不断の課題であるが、高速化/低電力化に適したSOI(Silicon On Insulator)技術は三菱の強い武器の一つである。

システムLSI事業で成功するにはサービス/システムとの連携が必ず(須)であることは既に述べたが、具体的に連携の核となるのは、システムアルゴリズムからSiハードIPコアまでを含む種々の差別化IPであろう。幸い当社には、

システム研究所を中心に、大量の強力なシステム技術(IP)が存在する。今年度から開発本部/生産システム本部/半導体事業本部を活動の中心としたIP開発整備の全社プロジェクトが発足した。3年間のプロジェクトで、システムLSIの開発効率を4倍に高めるとともに、他社を差別化できる強力な独自IPコアを開発整備しようというものである。デファクト化までを視野に入れた高付加価値のシステム事業/半導体事業/ライセンス事業に結び付けることが最終目標である。

本稿では、全社IPプロジェクトを中心に、当社のシステムLSIへの取組を概説する。2章では、プロジェクトの考え方/進め方及びターゲット分野をまとめるとともに、IP再利用のためのインフラ整備を説明する。3章では、ターゲット分野(携帯電話、高速通信、ホームネットワーク、セキュリティ、グラフィックス、デジタルAV)での具体的活動を紹介します。そして、4章で、システムLSIにとって非常に重要なMPU/DSP及びファームウェア/ミドルウェアに対する当社の考え方/取組を紹介したい。

## 2. 全社IPプロジェクト

システムLSIの市場競争が激化する中、早期にTime to Marketを達成して市場を獲得するためにはシステムLSIの開発期間の短縮が急務であり、開発期間短縮にはIPの整備とその再利用システムが必須である。また、競合他社にない差別化できる強力なIPを持つことが生き残りの鍵とも言える。上記の観点から、当社が勝てる分野として、携帯電話/高速通信/ホームネットワーク/セキュリティ/グラフィックス/デジタルAVの6分野を戦略的に選択し、それぞれの分野で必要なIPを開発整備している。次期システムLSI開発の中で自分野向けにIPを整備していくことは、IP開発者のモラル低下の防止に役立つが、だれでもが使える共通IPの整備はなかなか進まないことになる。この欠点を補うため、設計ルールの徹底を含むIP再利用環境の整備を積極的に推進している。開発本部/生産システム本部/半導体事業本部が活動の中心であるが、多くのシステム事業本部が参画した全社的项目プロジェクトとなっている。プロジェクトの基本的考え方を以下にまとめる。

- (1) IPの整備・再利用システムの確立により、システムLSI開発の効率を3年間で4倍に高める。
- (2) システムと半導体が連携してお互いの強みを生かし合うことで、競合他社を差別化できる強力なIPを開発する。

- (3) 全社的なIP再利用のネットワークを3年間で立ち上げる。
- (4) IP再利用のネットワークはインターネット上のIPネットワークと接続でき、社外IP及び社外製造ラインの活用も容易となる。
- (5) IPの開発整備は段階的に進め、'99年度はターゲット分野でのターゲットLSIの開発と同期して必要なIPを開発整備し、それぞれの分野での以降の開発加速に資することを第一義とする。2000年度以降は分野の拡大も含め専用IPを充実していく。多分野向けに整備しておくことが有効な共通IPを選別し、開発整備体制を作り上げるとともに共通IPを整備充実していく。

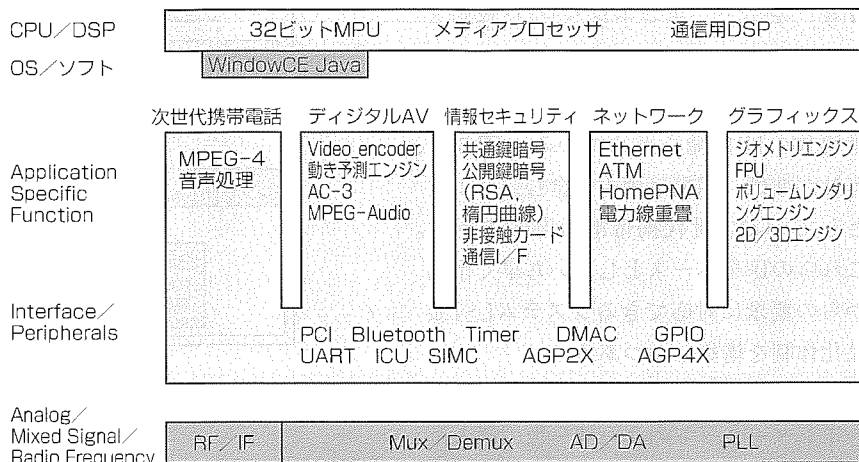
計画しているIPラインアップの概要を図1に示す。メモリやMPU/DSPという最初から多くの分野で活用されることが明白なIPは、共通IPとして開発整備する。その他のIPは、前述のように、まずは必要な部門が自部門での再利用だけを考慮して開発整備する。その後、他部門からの要求が強いIPから順に共通IP化していくことになる。

IP再利用環境の整備として、設計ルールの制定と徹底、及び登録/検索システムの構築が重要である。設計ルールに関しては、'99年6月にα版、9月にβ版がリリースされており、試用が始まっている。2000年には本格適用し、2001年以降の全社展開に備える。IPの登録/検索システムに関しては、プロト版が完成しており、IPの登録が開始されている。2001年の全社展開に向けて、図2に示す登録/検索システムを構築し、社内外のIP設計データ流通を図る。

### 3. システムトレンドとIPコア

#### 3.1 携帯電話

人類が身につける電子機器として、時計に続き、携帯電話が二番目の地位を築きつつある。これだけの普及を果たした携帯電話が情報のインタフェース端末になるのは自然の流れであり、携帯電話を介した各種のサービスや応用が今後ますます増大することが予想される。PDC(Personal Digital Cellular)、GSM(Global System for Mobile Communication)、N-CDMA(Narrow band-Code Division Multiple Access)といった音声やメール中心の第二世代の携帯電話から、2001年にはW-CDMA(Wide band-Code Division Multiple Access)と呼ばれる画像までも含めた高速データが扱える第三世代品への移行が計画されており、半導体には高機能化/高集積化/小型化がますます要求されている。通信プロトコルを処理するベースバンドLSIは、微細化プロセスの進展により、CPUコア、DSPコアは言



(注) "Java"は、米国Sun Microsystems, Inc.の商標である。

図1. IPラインアップ

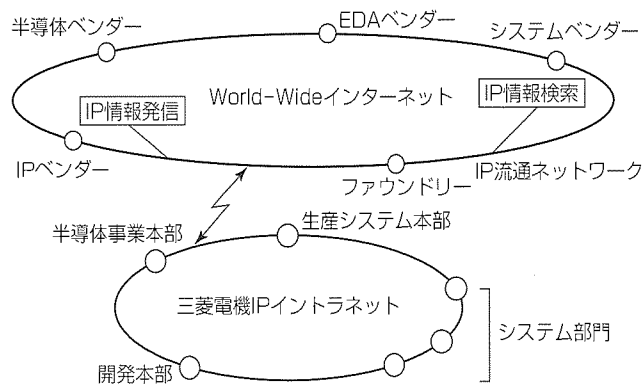


図2. IP登録/検索システム

うに及ばず、一部の特に高速性能を要求されるROM/RAMなどのメモリや周辺のアナログ回路までもがロジックと1チップ化されている。また、複雑化する機能に対応して大容量化するFlashやSRAMなどのプログラムメモリは、スタック型のMCP(Multi Chip Package)やCSP(Chip Scale Package)よりも小型化が進んでいる。また最近では、高周波無線部回路のCMOSによる提案も活発化している。CMOSの微細化の進展によって2GHz帯の高周波信号を扱うことが可能になってきたこと、及び将来的にはベースバンドと無線部を一体化することにより、更なる小型化をねらうことができるためである。また、携帯電話が単に音声電話にとどまらず情報のインタフェース端末になる方向であることは既に述べた。今後は携帯電話本来の機能以外の付加機能も取り込まれていく。簡易ブラウザ、MPEG-4によるTV電話や、USB、IrDA、Bluetooth<sup>(注1)</sup>などによる周辺機器とのインタフェース機能である。なかでもBluetoothは、短距離無線通信によってケーブルをなくしたUnplug & Playを目標としており、今後すべての携帯電話及びその接続相手先(パソコン、PDA、デジタルスチルカ

(注1) "Bluetooth"は、エリクソン社の登録商標である。

メラ、ゲーム、カーナビなどに搭載される機能として期待を集めている。当社でも、こうしたシステム動向に対応した半導体のIP開発を進めている。図3に、当社が準備（開発計画中也含む）しようとしている次世代携帯電話用IPを示す。これらのIPをベースとし、いち早く市場からの要求に対応できるシステムLSI製品化体制を構築しつつある。

### 3.2 高速通信

インターネットのユーザー数の増大及びユーザーの広帯域通信へのニーズの高まりにより、通信インフラの高速・広帯域化に対する要求が非常に大きくなっている。この要求にこたえるため、高速通信システムを実現するためのシステム部品を当社のシステム製作所/システム研究所と共同開発を進めている。例えば、当社の強味であるSOI製造プロセス技術を用いて、2.5GbpsクラスのMUX/DEMUX（図4）の開発を行い、低消費電力の利点を生かし、光デバイスとのモジュール化だけでなく、MUX/DEMUXをIPコアとして、デジタル回路とのワンチップ化を検討している。また、高速通信は基幹部分にとどまらず一般ユーザーと電話局を結ぶアクセス網にも広がっており、FTTx（Fiber To The x）用のI/O、インタフェース回路のIPコア化を進めている。

### 3.3 ホームネットワーク

インターネットの爆発的な普及により、従来のアナログモデムの高速化が進み、パソコンに56Kモデムが標準装備されるようになってきている。また、更なる高速化のために、デジタル変復調技術を使ったxDSL（x Digital Subscriber Loop）が実用化され、既存の電話線を使って数Mbpsの通信を可能にしている。電話線を使った通信以外にも、光ファイバや同軸線路を使ったCATV網/無線網などのアクセス網の高速化が図られている。このように、各家庭までの通信手段が高速化されるにつれて、家庭内のネットワークが普及すると予測され、半導体の大きな市場を形成すると考えている（図5）。

ホームネットワークは、二つのアプリケーションから普及すると言われている。一つ目は、インターネットによって入手した情報（音声画像情報を含む）の伝送である。二つ目は、家電機器のコントロールである。一般に、前者は高速化（数Mbps以上）を、後者は速度（数十kbps～数百kbps）よりも低価格化が重要になる。さらに、ホームネッ

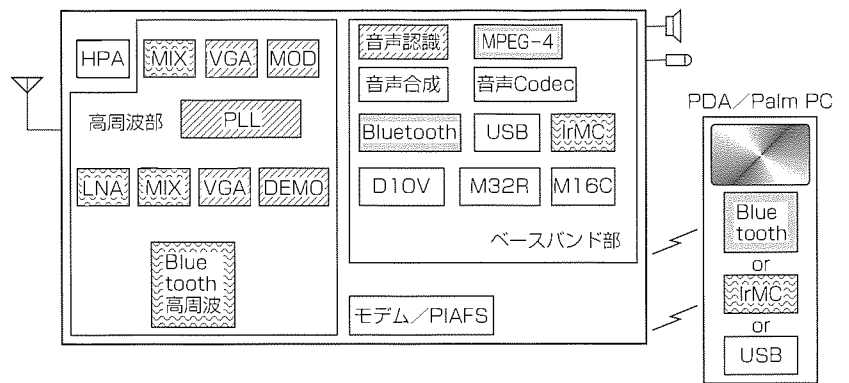


図3. 次世代携帯電話用I/P

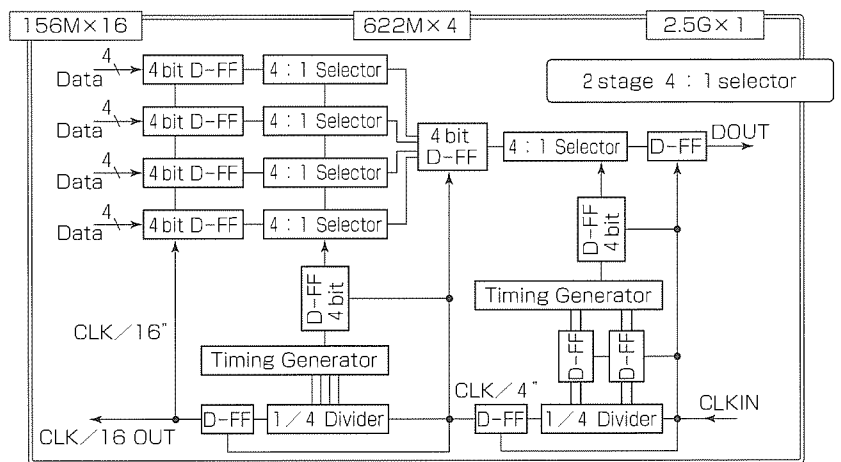


図4. SOI 2.5Gbps Multiplexer

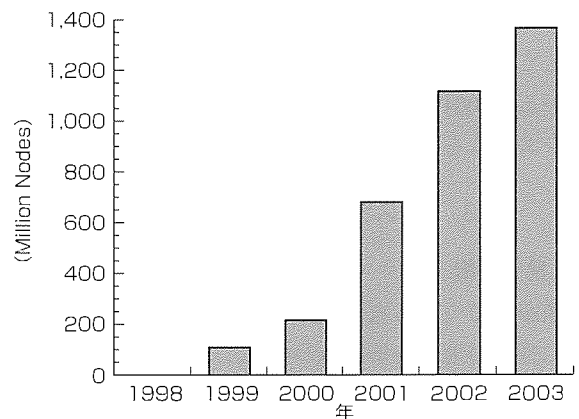


図5. ホームネットワーク普及予測

トワークで重要なことは“No New Wire”で、すなわち、既に家庭内に張られている電力線/電話線を使うか又は線の必要がない無線を使い、配線増設のコストをかけないことである。

ホームネットワークを提供するためには、伝送媒体（電力線、電話線、無線）に対し、決められた電気特性、符号方式の信号を伝達（物理層、データリンク層）する機能、及びアプリケーションと下位プロトコル（物理層、データリ

ンク層)の間をつなぐ上位プロトコルを実現する機能が必要になる。物理層、データリンク層機能を実現するためには、フィルタ、AGCアンプ、A/D、D/Aコンバータなどのアナログ技術とデジタル変復調技術を実現するDSP技術及びファームウェア技術が必要になる。一方、上位プロトコルはOS、MPU及びソフトウェアがキー技術になる。図6に、ホームネットワーク用インタフェースの構成を示す。当社では、これらの技術開発とIPコア化を、社内だけでなく、社外とも提携をしながら進めている。

### 3.4 セキュリティ

情報セキュリティ分野は、当社で最も強力でビジネス展開を図るため取り組んでいる分野の一つである。その基盤技術は情報技術総合研究所で開発されている。そこでは強力な暗号アルゴリズムを開発するために解析技術及び評価技術を含めた研究開発が行われており、とりわけブロック暗号に対する線形解読法の開発や共通鍵暗号アルゴリズム“MISTY1”の開発など世界トップレベルの成果を生み出している。半導体事業本部では、これらの成果をLSIレベルで展開するために、以下のIPコア開発及びファームウェアIP開発を行っている。

#### 3.4.1 MISTY1

ブロックサイズ64ビット、鍵サイズ128ビットの共通鍵暗号である。差分解読法／線形解読法に対して定量的な安全性が示される特長を持っている。これのソフトマクロとして処理速度重視のものから回路規模の小型化重視のものまで用途に応じて数種類の開発実績がある。速度重視の場合回路規模としては20kゲートで最悪420Mbps程度、小型化重視の場合で5kゲートで最悪78Mbps程度の性能(0.6 $\mu$ m LPGA)が得られている。またこれを当社16ビットマイコンM16C上のファームウェアで実現した場合(クロックは10MHz)、速度重視の構成では4kバイトのROMで1ブロック(64ビット)の処理時間は0.19ms程度、小型化重視の構成では2kバイトのROMで1ブロックの処理時間は1ms程度となる。また下記のETC(Electronic Toll Collection System)車載SAM(Secure Application Module)では、回路規模の小型化を更に進めるためにハードマクロの開発も行っている。

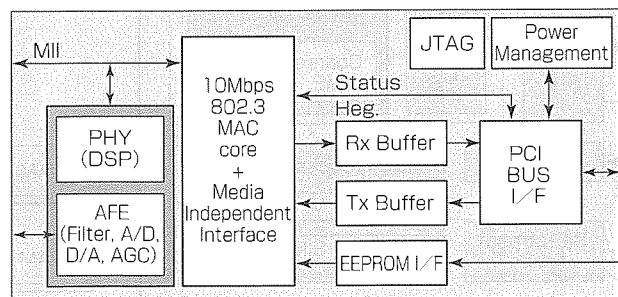


図6. ホームネットワーク用LSIのブロック図

#### 3.4.2 DES/Triple DES

世界で最も利用されている共通鍵暗号である。ブロックサイズは64ビットで鍵長は56ビットである。線形解読法等の暗号解読技術の向上によって暗号強度が低下してきている。この強度を上げるために、三重に暗号化するTriple DESの採用が進んでいる。DESについても、MISTY1コアと同様に、ソフトマクロ及びM16C用ファームウェアで処理速度重視のものや回路規模小型化重視のものをそれぞれ準備している。小型化重視の場合、回路規模は4kゲート程度で処理速度としては22Mbps程度となる。

#### 3.4.3 だ(楕)円曲線暗号

楕円曲線暗号は、同じ公開鍵暗号であるRSA暗号と比較して、鍵長が短くても暗号強度を保てる特長がある。鍵長1,024ビットのRSA暗号と鍵長160ビットの楕円曲線暗号の強度は同等と言われている。またその分、楕円曲線暗号の方が処理速度も速くなる。半導体事業本部では、楕円曲線暗号についてはM16C上のファームウェアIPとして開発している。プログラムサイズは4kバイトで、クロック10MHz時に署名処理150ms、検証処理630msという実用に耐える値を得ている。

#### 3.4.4 Kasumi

次世代携帯電話の認証・秘匿用に3GPP(Third Generation Partnership Project)で採用されたアルゴリズムのソフトマクロである。ベースバンドLSIへの組み込み用途やU-SIM(Universal Subscriber Identification Module)用チップへの展開を行う予定である。もちろんソフトマクロのライセンス事業も積極的に展開する。

これらのIPコアの応用例として、高速道路の課金システム向けに開発したETC車載SAMチップがある。このチップは、ICカードとの相互認証やデータ秘匿及び高速道路入り口、出口ゲート通過時のゲート側装置との相互認証、データ秘匿通信処理において中心的な役割を担っている。

### 3.5 グラフィックス

3D(三次元)グラフィックスは、物体(モデル)を三次元空間で数値データを使って定義し、二次元のCRT画面上に表示する技術である。従来3Dグラフィックスはワークステーション(WS)の独壇場であったが、パソコン(PC)においても、2Dグラフィックスが3Dグラフィックスに置き換えられてきており、現在では、ノートブックPCの低消費電力対応を除いてほとんど100%が3D機能を持つものになっている。

当社が米サンマイクロシステムズ社と共同開発した3Dグラフィックスに最適な3DRAMを核に、グラフィックスの世界で四半世紀以上の歴史を持つ米E&S社の技術と当社の半導体技術を融合させて、コストパフォーマンスの高いPC用3Dグラフィックスチップセットを開発してきた。今では、3DRAMをフレームメモリに採用した3Dグ

グラフィックスアクセラレータは、多くのUNIXのWS、Windows NT<sup>(注2)</sup>のPC/WSに採用されている。

当社は、これらの共同開発を通して、多くの3Dグラフィックス関連のハードウェアとソフトウェア技術(IP)を蓄積してきた。それらを模式的に、図7に3Dグラフィックスサブシステムとして示す。

ジオメトリエンジン(GE)は、ポリゴンの集まりで表現される3Dモデルを視点に合わせた座標へ変換したり、光が当たったときの色計算などのジオメトリ処理を実行するLSIで、当社は、CPUとGEの間で負荷分散を行えるマイクロコードプログラム手法を採用し、世代交代が急なCPUの進化に合わせてグラフィックス性能も向上するメリットを生かしている。また、3DRAMは、従来レンダリングコントローラが受け持っていた半透明表示を実現するアルファブレンディングや隠面消去処理のためのZ比較などを実行するロジックを集積化したフレームメモリで、ピクセル単位に、カラー情報(RGB)、透明感を出すためのアルファ値(A)、奥行き情報(Z値)が保持される。Zバッファからの読み出し→Z比較→書き込み処理と、カラーバッファからの読み出し→アルファブレンディング→書き込み処理を実効的に1サイクルで完了させることができる。これまで当社は、ディスプレイポートを持つグラフィックス専用のビデオRAM(VRAM)、DRAMとSRAMを1チップ化したキャッシュDRAM(CDRAM)に続き、これらの技術を発展させたキャッシュVRAMとも呼ばれる3Dグラフィックス専用の3DRAMを世に出してきた。このDRAM、SRAM、ロジックを1チップに集積化した3DRAMは、eRAM技術の先兵の役割を果たし、今日のeRAM発展の基礎を築いた。

核磁気共鳴イメージング(MRI)や計算機トモグラフィ(CT)のような三次元撮像法で得られた医療情報を可視化するのに有用な技術にボリュームグラフィックス(VG)がある。これは、ポリゴンで表現された物体の表面を扱う従来の3Dグラフィックスの先を行くと言える技術であり、物体の表面だけでなく、内部構造を表現するボリュームデータから直接画像を表示する。当社は、シングルチップのボリュームグラフィックスLSIを開発し、世界で初めてPC上でリアルタイムボリュームレンダリングを可能にした。

グラフィックスLSIの技術進歩はとどまるところを知らず、高集積システムLSI製造技術の進化とあいまって、今後の3Dグラフィックスの応用分野は、WS、PC、ゲーム機にとどまらず、GUI(Graphical User Interface)を持つ機器すべてに広がる可能性を秘めている。

(注2) “Windows NT”は、米国Microsoft Corp.の登録商標である。

る。

### 3.6 デジタルAV

デジタルAV分野のIPの例として、ここでは、図8に示すMPEGビデオ・オーディオ・システムエンコーダLSIに使用されているIPを紹介する。網掛けをしたブロックがIPとして再利用可能な回路ブロックである。

エンコーダLSIで最も重要なIPは、メディアプロセッサやDSPなどのデジタル信号処理が可能な高性能プロセッサである。エンコーダLSIにおいては、当社で独自に開発したメディアプロセッサD30Vを用いて、オーディオとシステムのエンコード処理とビデオ制御処理を行っている。D30Vは162MHzで動作し、各クロックサイクルで2命令を並列処理し、さらに2データの並列演算を行う高性能プロセッサIPである。D30Vの上には高画質ビデオ処理を行うためのきめ細かな符号化ビットレート割当て処理、24ビット精度のデジタルオーディオエンコード処理、エンコードされたビデオとオーディオの各ストリームに同期のためのタイムスタンプを付けてマルチプレックスする処理、エンコード時に得られた各種情報をホストCPUへ通信する処理を行うなど様々なファームウェアIPが開発されている。

エンコーダLSIには、メディアプロセッサ以外にも、ビデオ信号処理ハードウェアIPや各種インタフェース回路IP

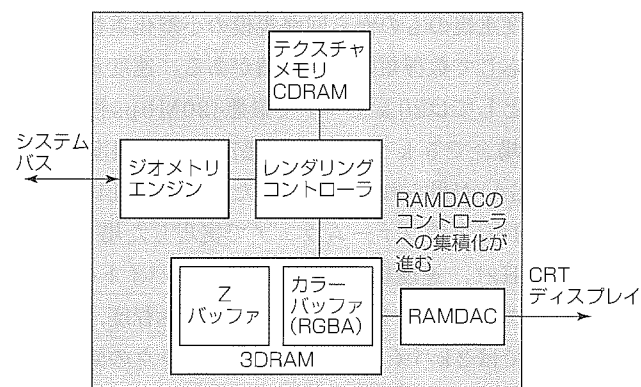


図7. 3Dグラフィックスサブシステム

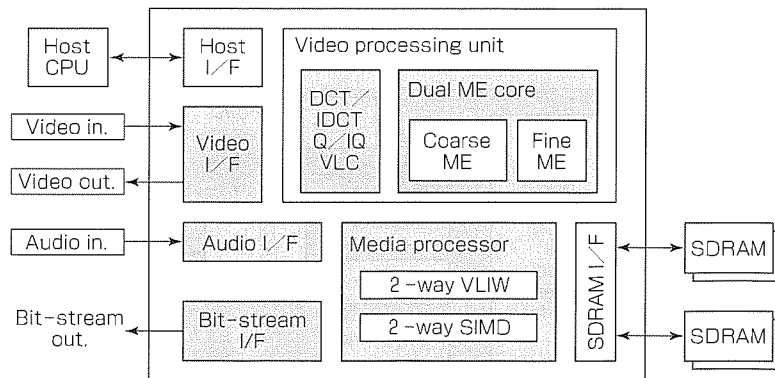


図8. MPEGビデオ・オーディオ・システムエンコーダLSI



がある。ビデオ信号処理ハードウェアIPには、MPEG-2ビデオ規格に従うデジタル信号処理専用回路(離散コサイン変換、量子化変換、ハフマン符号化)と当社独自の高性能動き検出回路(MEコア)がある。MEコアは、二つのアレー演算器によって広い範囲の粗い探索と中心付近の精密探索を可能にし、解像度は普通だが動きが激しい画像や、動きは遅いが解像度が高い画像の両方で高性能な動き探索演算(2画面間の一定エリア単位の差分演算)を可能にする。インタフェース回路IPとしては、ビデオ入出力回路、オーディオ入力回路、ビットストリーム出力回路がある。これらの回路には、それぞれの標準規格に従う通信を行う専用回路がある。さらに、ビデオ入出力回路には、画像のデジタルフィルタ処理を行いビデオの高画質化を可能にする当社独自開発の専用回路が含まれる。また、ビットストリーム出力回路には、D30Vのファームウェア処理を助けてビデオ・オーディオ・付属情報をフレキシブルに広範囲のビットレートでマルチプレックスする当社独自開発の専用回路が含まれる。

#### 4. システムLSIと基盤技術

0.1 $\mu$ mプロセス時代を目前にして集積度は飛躍的に向上しているが、同時にプロセスも微細で複雑になり、システムLSI開発において開発期間は長期化し、開発費用は急騰している。他方、デジタル情報家電やネットワーク機器分野では、次々と新しい方式が登場しては消えており、これらの機能を統合したシステムLSI開発には今まで以上の開発スピードと低価格化が要求されている。これら相反する状況を解決するためには、仕様の変更に対してハードウェアの改訂で対応するのは困難であり、ソフトウェアの変更で対応できる仕組みをシステムLSIに埋め込んでおく必要がある。

そこで当社では、マルチメディア向けシステムLSIのキーパーツとして組込み用途のRISC及びDSP等のプロセッサを開発し、その高速化及び多機能化に取り組むとともに、それぞれのプロセッサに最適化されたミドルウェアライブラリの開発を行っている。

RISCでは、ミドルウェアの実行環境を改善するため、M32Rの演算機能強化及び高速化を図っている。2000年末には200MHz級、2002年末には500MHz級のRISC開発をロードマップの柱にし、それぞれの横展開としてDSP機能を

追加したCPUコアの開発を計画している。これら高速プロセッサ開発のため、部品となる高速演算器(乗算器、ALU、割り算器等)、高速レジスタ及び高速SRAMの回路開発も進めている。

DSPでは、マルチメディア用ASSP(Application Specific Standard Product)への組み込みをねらって音声/画像/通信の各分野にそれぞれ16~32ビットDSPを開発し、RISC同様に高速化/多機能化に取り組んでいる。

アプリケーションを実現するミドルウェア開発では、対象をヒューマンインタフェース、画像・音響、通信の三つのカテゴリーに集中し、ヒューマンインタフェースでは音声認識、音声合成、かな漢字変換、サイン照合等、画像・音響技術ではJPEGやMPEG/AAC(Advanced Audio Coding)等、通信技術ではGPS、IrDAやModem等の開発を行っており、ソフトウェアソリューション時代に向けて豊富なミドルウェアライブラリを準備している。さらに、新規アルゴリズムのプロセッサへの移植に加えて、アルゴリズムレベルからの高速化にも取り組んでいる。

#### 5. むすび

三菱電機のシステムLSIへの取組を、IPという観点からまとめた。一口にIPといっても千差万別である。ハード/ソフトで区別することが可能であるし、規模で見れば、MPEGや2D/3Dグラフィックスという大規模のものからA/D、D/AコンバータやPLLという小さなアナログコアまで含まれる。IPを分類する場合、標準IPと差別化IPという区別が重要と考えている。標準IPとは、世の中で標準となってしまっている機能ブロックで、余り特長を出す余地はなく、社外から購入しようと思えば幾つかの候補があるようなIPである。一方、差別化IPとは、システムの性能/コスト比を大幅に改善できる特長ある独自コアをいう。当社には、M32RやD30Vという独自MPU/DSPコア以外に、MISTY等の暗号コアやGE/VG等のグラフィックスコア、さらには種々のアナログコアといったように多くの差別化IPがある。システムLSIの世界において、必要なIPをそろえて開発期間を短縮することは成功の必要条件であり、十分条件は多くの差別化IPを持つことだと考えている。三菱電機全社の総力を結集し、必要な場合は社外のパートナーとも連携して、画期的な差別化IPを整備していきたい。

# モータ制御用16ビットマイコン M37906/M37905グループ

浜川 彰\* 井上稔博\*\*  
井上尚起\* 阿部 浩\*\*\*  
榎原清彦\*

## 要 旨

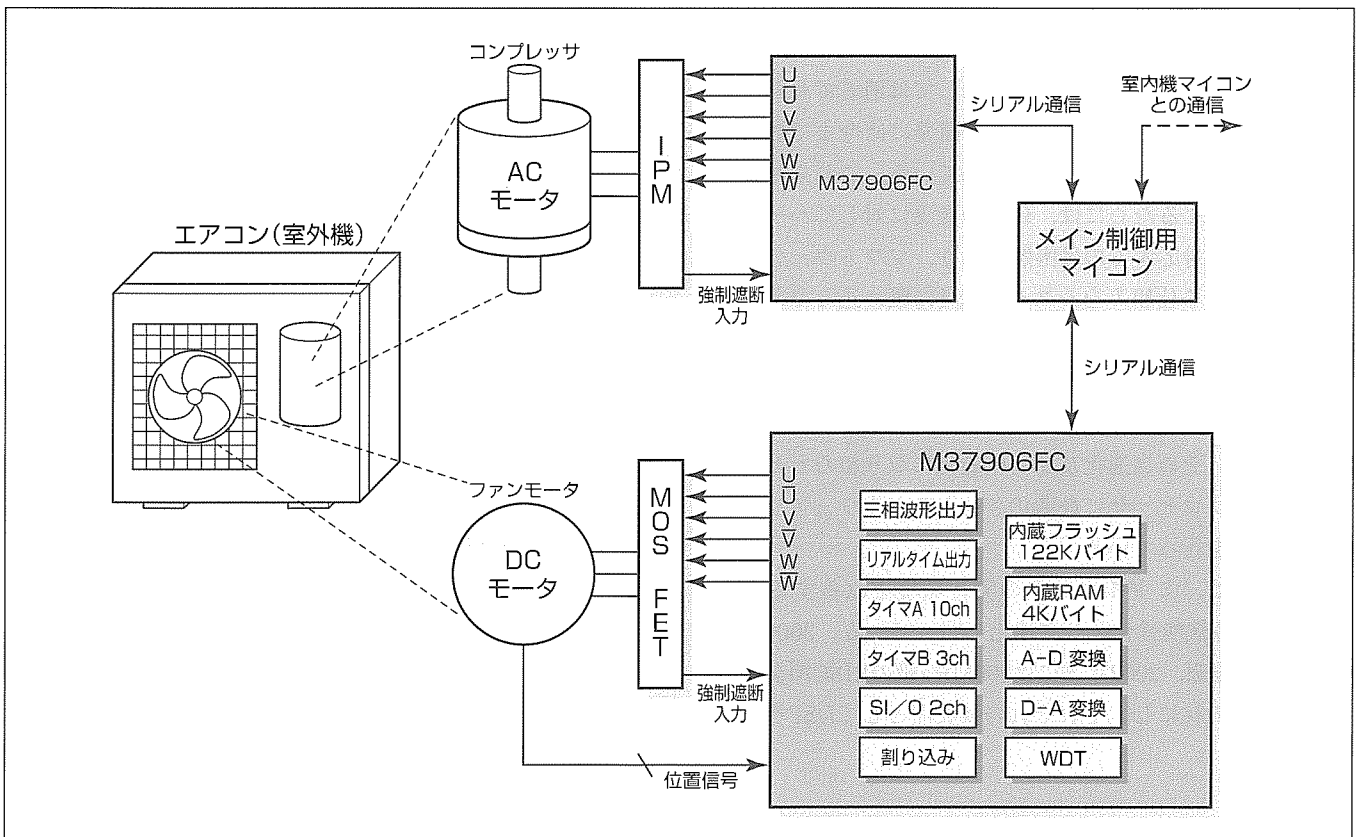
近年、エアコンや洗濯機を始めとする家電製品のインバータ化が進んでおり、低価格、省エネルギー、モータの静音化を実現するインバータ制御用マイコンのニーズが高まっている。また、頻繁な製品のモデルチェンジに対応するため、プログラムを簡単に書換えできるようなフラッシュメモリ内蔵版の提供が必ず(須)となっている。

このようなニーズにこたえるため、インバータ制御に適した16ビットフラッシュメモリ内蔵シングルチップマイコンM37906FCCFP/SPの開発を行った。

今回開発を行ったM37906FCCFP/SPでは、7700ファミリーの持つモータ制御機能を強化し、インバータ制御を更に容易にした。また、内蔵の単一電源フラッシュメモリは多彩な書換えモードをサポートしており、応用基板の小型化・簡略化を図ることが可能となる。

M37906FCCFP/SPの特長及び機能は次のとおりである。

- (1) モータ制御機能
  - 従来の7700ファミリーの持つモータ制御機能(三相波形出力機能, パルス波形出力機能等)を強化
- (2) 高性能7900シリーズCPUコア搭載
  - 最短命令実行時間50ns(内部システムクロック周波数20MHz時)
- (3) コンパクトな42ピンパッケージに収納
  - 7900シリーズの豊富な周辺機能を持ちながら, コンパクトなパッケージに収納
- (4) 単一電源フラッシュメモリ内蔵
  - 電源電圧とフラッシュメモリ書換え電圧が同一
  - 多彩なフラッシュ書換えモードをサポート



## エアコン室外機(ファンモータ及びコンプレッサ)への応用例

このシステムでは、三相波形出力機能、位置検出機能、及び強制遮断機能を42ピンパッケージのマイコンに搭載したことにより、システム基板上の部品点数を削減でき、基板の小型化が実現できた。また、内蔵のフラッシュメモリが単一電源での書換えが可能であるため、製品のバージョンアップなどによるソフトウェアの変更が容易に行える。

1. ま え が き

三菱電機㈱では、16ビットシングルチップマイコン7700ファミリーのCPUコアの性能を強化した7900シリーズの開発及び製品展開を行っている。今回、この7900シリーズのグループの拡充を図るため、7906/7905グループの開発を行った。7906/7905グループは、インバータ制御に適した三相波形出力機能やパルス波形出力機能を内蔵し、また、単一電源フラッシュメモリを搭載している。エアコン、冷蔵庫、洗濯機等のインバータ家電製品の制御に適したマイコンである。

本稿では、7906/7905グループの概要及び特長について紹介する。

2. M37906FCCFP/SPの製品概要

7900シリーズの一つの製品グループである7906グループとして、5V単一電源フラッシュメモリ内蔵版(M37906FCCFP/SP)を開発した。表1にM37906FCCFP/SPの性能概要を、また図1にピン接続図を示す。

(1) 中央演算処理装置

中央演算処理装置は、既存の7700ファミリーの命令セットと上位互換性を維持し、更に強化・拡張された7900シリーズの命令セットを持っている。最短命令実行時間は50ns(内部システムクロック入力周波数20MHz時)である。

(2) 三相波形出力

三相モータの制御に必要な三相波形を出力する機能である。

(a) のこぎり波変調出力、三角波変調出力及びレベル固定出力機能を持っており、また、正相と逆相を同時にONさせないための短絡防止時間を設定できる。

(b) 強制遮断入力により、三相波形出力を強制的に停止させることが可能である。

(3) パルス出力

モータの制御に必要なパルスを出力するため、複数の端

表1. M37906FCCFPの性能概要

項目	性能	
基本命令数	203	
最短命令実行時間	50ns(最短命令, $f(X_{IN}) = 20\text{MHz}$ 時)	
外部クロック入力周波数 $f(X_{IN})$	20MHz(最大)	
システムクロック周波数 $f(f_{SYS})$	20MHz(最大)	
メモリ容量	フラッシュメモリ	122Kバイト
	RAM	4.096バイト
入出力ポート	P1, P2	8ビット×2
	P5	3ビット×1
	P6	6ビット×1
	P7	5ビット×1
多機能タイマ	TA0, TA1, TA2, TA3, TA4 TA5, TA6, TA7, TA8, TA9	16ビット×10 (TA3, TA5~TA8はタイマモードのみ)
	TB0, TB1, TB2	16ビット×3
	シリアルI/O	2本
A-D変換器	(10ビット逐次比較変換方式)×1(5チャンネル)	
D-A変換器	8ビット×2	
短絡防止時間設定タイマ	8ビット×3	
監視タイマ	12ビット×1	
割り込み	マスカブル	外部5要因, 内部18要因 各割り込みごとにレベル0~7までの割り込み優先レベルをソフトウェアで設定可能
	ノンマスカブル	内部3要因
クロック発生回路	内蔵(セラミック共振子, 又は水晶共振子外付け)	
PLL周波数通倍回路	2通倍, 3通倍, 4通倍を選択可能	
電源電圧	5V±0.5V	
消費電力	125mW( $f(f_{SYS}) = 20\text{MHz}$ 時)	
入出力特性	入出力耐電圧	5V
	出力電流	5mA
動作周囲温度	-20~85℃	
素子構造	CMOSシリコンゲート	
パッケージ	42ピンプラスチックモールドSSOP	

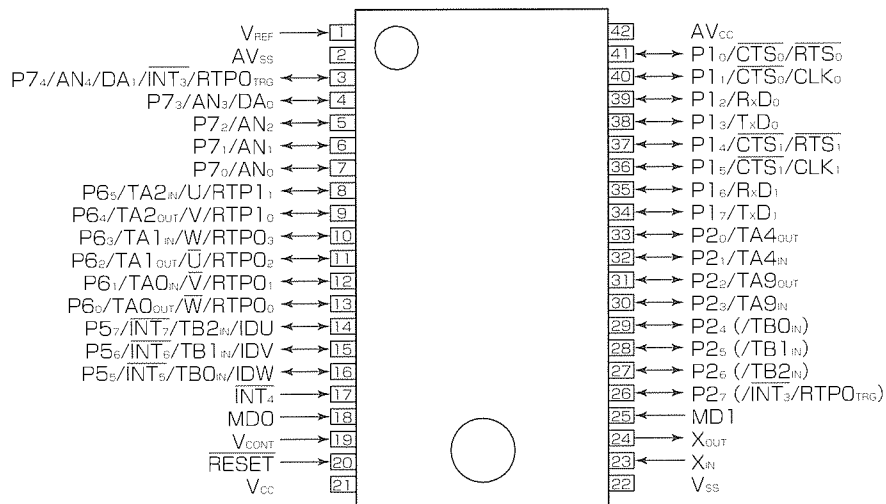


図1. ピン接続図

子の出力を同時に変化させる機能である。

- (a) モータに合わせて最適な出力端子とタイマが選択可能であり、また、出力波形にパルス幅変調を掛けることや負極性パルスの出力も可能である。
- (b) 出力波形を変化させるためのトリガーは、制御用基準タイマのアンダフロー、又は外部入力を選択可能である。
- (c) 強制遮断入力により、パルス出力を強制的に停止させることが可能である。
- (4) シリアル I/O

シリアル I/O を 2 本内蔵しており、それぞれ非同期形 (UART) とクロック同期形の二つのモードが選択できる。

(5) A-D変換器

10ビット逐次比較方式の A-D変換器を内蔵している。入力は 5 チャンネルで、変換結果は 5 チャンネルに対応したレジスタに各々格納される。動作モードは、単発、繰り返し、単掃引、繰り返し掃引の 4 種類ある。このうち単掃引、繰り返し掃引では、チャンネルの選択が可能である。また、コンパレータ機能を内蔵しており、アナログ入力端子から入力される電圧を任意の設定値と比較することが可能である。

(6) D-A変換器

8ビットの分解能を持つ D-A変換器を 2 回路内蔵しており、それぞれ独立して動作する。

(7) 内蔵フラッシュメモリ

7906グループに内蔵した 5V 単一電源フラッシュメモリの種類を表 2 に示す。フラッシュメモリ内蔵マイコンの特長を以下に示す。

- (a) 電源電圧と書き込み電圧が同一なため、電

源回路が 1 系統で済み、基板サイズの縮小化、低コスト化に有効である。

- (b) 内蔵フラッシュメモリの書換えモードは、①パラレル入出力モード、②シリアル入出力モード、③CPU書換えモードがある。

図 2 にシリアル入出力モードを用いた基板接続例を示す。図において、システム基板上に実装されたマイコン内蔵フラッシュメモリの書換えを、コネクタピン数 6 本で行うことができる。

3. モータ制御機能

M37906FCCFP/SPは、7700ファミリー既存製品のモータ制御機能を強化して搭載している。インバータモータ制御では、制御を行うための周期(キャリア周波数という)を上げることでモータの静音化と低振動化につながる(キ

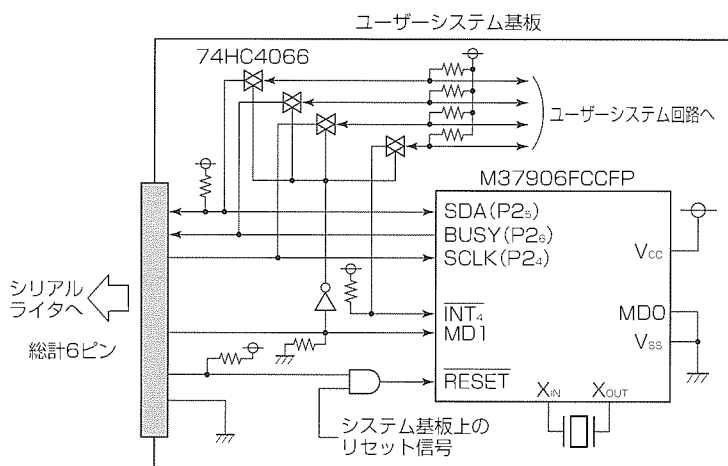


図 2. フラッシュシリアル入出力モード時の基板接続例

表 2. 製品展開

機 能		M37906FCCFP M37906FCCSP	M37906F8CFP M37906F8CSP	M37905FCCFP M37905FCCSP	M37905F8CFP M37905F8CSP
メモリ容量	フラッシュメモリ	122Kバイト	62Kバイト	122Kバイト	62Kバイト
	RAM	4.096バイト	3.072バイト	4.096バイト	3.072バイト
入出力ポート		30本		50本	
多機能タイマ(16ビット)		10 + 3本			
シリアルI/O		2本		3本	
A-D変換器(10ビット分解能)		5チャンネル		12チャンネル	
モータ制御機能		三相モータ駆動波形出力 1 回路 又はパルスモータ駆動波形出力 1 回路		三相モータ駆動波形出力 1 回路 +パルスモータ駆動波形出力 1 回路 又はパルスモータ駆動波形出力 2 回路	
監視タイマ(12ビット)		あり			
外部割り込み		5本		8本	
サブクロック発振回路		—		あり(32kHz発振)	
パッケージ		42P2R-E 42P4B		64P6N 64P4B	
電源電圧		5.0V ± 0.5V			
動作周囲温度		-20~85°C			
最短命令実行時間		50ns (f(X <sub>in</sub> )20MHz時)			
基本命令数		203			

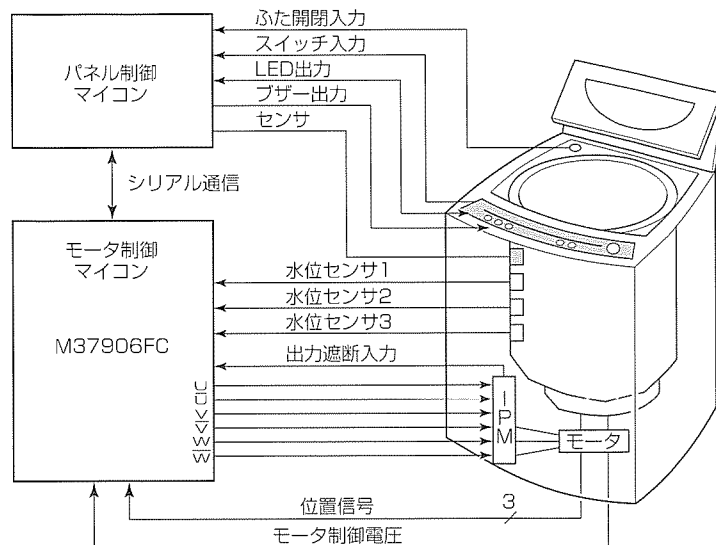


図3. 洗濯機への応用例

キャリア周波数が20kHzで可聴音を超える)。既存の製品は処理時間の関係でキャリア周波数を上げることが困難だったが、M37906FCCFP/SPは、以下のようなハードウェアの工夫がなされているため、従来よりもモータの静音化と低振動化が容易に実現可能となる。

- (1) 7900CPUコアを用いることによって演算処理能力を向上した。
- (2) モータを高速回転させるときモータ制御に必要なU, V, Wの三相の波形のうち一相を固定し他の二相で制御する方法(二相変調)を採用し、ハードウェアの改善によって制御を容易化した。
- (3) インバータモータ制御に必要なU, V, Wの各相のパルス幅を設定する時間を軽減し、よりきめ細やかなモータ制御を可能にした。

#### 4. 応用

図3に洗濯機への応用例<sup>(1)</sup>を示す。このシステムでは、三相波形出力機能、位置検出機能、強制遮断機能、及び

A-D変換器を42ピンパッケージのマイコンに搭載したことにより、システム基板の部品点数を削減でき、基板の小型化が実現できる。また、内蔵のフラッシュメモリが単一電源で書換えが可能であるため、製品のバージョンアップなどによるソフトウェアの変更が容易に行える。

#### 5. むすび

単一電源フラッシュメモリを搭載し、インバータ制御に適した16ビットシングルチップマイコンM37906FCCFP/SPを開発した。今後、この製品をベースに、産業用・高機能民生市場の幅広い分野への一層の拡大を目指し、パッケージ及びメモリ展開を図り7900シリーズのラインアップを拡充させる所存である。

#### 参考文献

- (1) 三菱電機セミコンダクタシステム(株)：7906グループを使用したインバータ制御応用例, Together, No.62, 1~4 (1999)

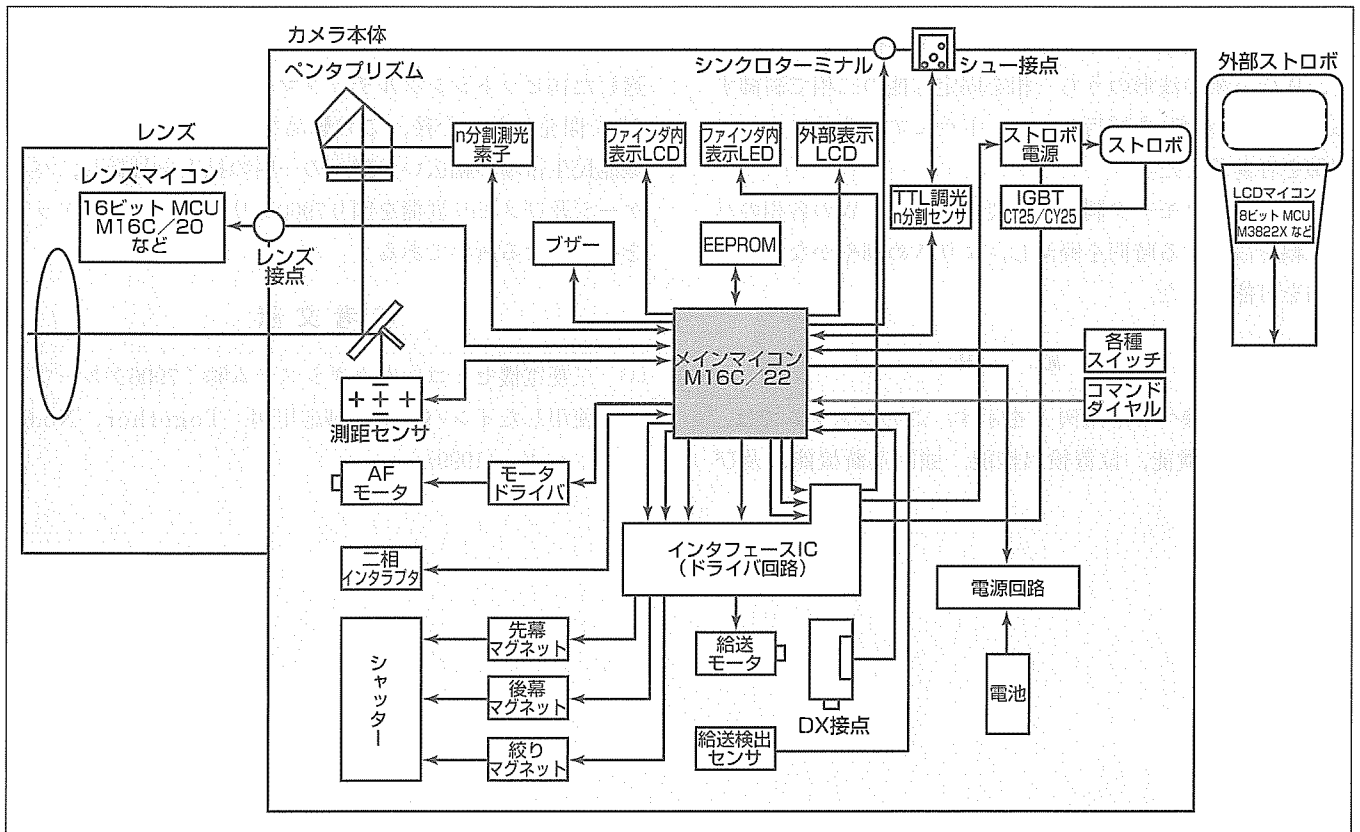
# LCD駆動制御回路内蔵16ビットマイコン

三尾雅夫\*  
吉田博成\*  
熊谷 勉\*\*

## 要 旨

LCD(液晶表示素子)は、低消費電力という利点を生かし、携帯機器分野に多く利用されている。携帯機器は、小型化を目的として、システムの部品点数の削減やより一層の低消費電力化が必要とされている。また、これまでアナログ表示を行ってきた各種メータ類も、表示内容の確認の容易さなどから、LCD表示への移行が進んでいる。このように、LCDの利用範囲の増加に伴い、LCD表示分野は

処理する情報量が増加傾向にあり、使用するマイコンにも高性能の要求が高まっている。今回開発したM16C/22は、高速な処理、低消費電力の要求を満たすため、16ビットCPU M16C/60コアを採用し、部品数削減のために昇圧回路付きLCD駆動制御回路をワンチップに内蔵した製品である。また、新開発フラッシュメモリの搭載により、低電圧・低消費電力動作を実現した。



## M16C/22を用いたAF(Auto Focus)一眼レフカメラ用システム例

M16C/22は、0.5 $\mu$ mCMOSプロセスを適用し、低電圧・低消費電力動作が可能である。豊富な周辺回路とともにLCD駆動制御回路を内蔵しており、LCD表示を必要とする携帯機器に適している。

## 1. ま え が き

LCD表示分野に使用されるマイコンも、他分野と同様に処理情報の増大に伴い、高性能なCPUが求められている。今回開発したM16C/22は、昇圧回路付きLCD駆動制御回路を16ビットCPU M16C/60コアに搭載し、CPU処理の高速化、ソフトウェアをC言語で開発可能などの高性能化を行った。また、新たに開発したフラッシュメモリの搭載により、低消費電力・低電圧動作を実現した。これにより、カメラや携帯機器などのバッテリー駆動機器を中心として、オーディオ、各種メータなどにも幅広く利用できる。

## 2. M16C/22の特長

表1にM16C/22(M30220グループ、M30221グループ)の性能概要を示す。この製品は、16ビットマイコンM16C/60CPUをコアとし、0.5 $\mu$ mCMOSプロセスの採用により、チップ上に約70万個のトランジスタを集積している。144ピンのQFPに納められたM30220FCGP/RPは、セグメントタイプLCDパネルを最大192画素(48セグメント×4コモン)まで駆動できる。48本のセグメント出力端

子のうち32本はCMOS入出力端子と兼用で、有効に活用できる。さらに、全くLCDを使用しない用途であっても、16本のセグメント信号出力専用端子をCMOS出力として利用できる(LCDRAM出力機能)。

タイマは各16ビットで出力系(タイマA)×8本と入力系(タイマB)×6本の合計14本を搭載しており、タイマAはタイマ、イベントカウンタ、ワンショットタイマ、パルス幅変調モードを、タイマBはタイマ、イベントカウンタ、パルス周期測定/パルス幅測定モードという豊富な機能を持っている。リアルタイム出力ポートは、タイマAに設定した周期で出力を変えることができる。通信系は、UARTとクロック同期形シリアルI/Oの切換え可能なものを3本搭載している。そのほかに、10/8ビットAD変換器、8ビットDA変換器、DMAC、ウォッチドグタイマを搭載している。また、外部割り込み機能とタイマAのイベントカウンタモード、4通倍処理動作機能を併用する2入力割り込み機能により、ダイヤルスイッチによるカウント値の計測を容易にした。これにより、ソフトウェアの負荷が軽減(ROM効率の向上、機能当たりのCPU処理負荷の低減)できる。図1に2入力割り込み機能を示す。タイマAの持つイベントカウンタモード、4通倍処理動作とは、

表1. M16C/22の性能概要

(注) \*: 開発中

機能		グループ	M30220*		M30221*	
内蔵メモリ	ROM(バイト)		96K*	128K*	24K*	128K*
	RAM(バイト)		6K*	10K*	1.5K*	10K*
I/Oポート(本)	入力専用/出力専用		入力専用: 1, 出力専用: 16(LCD出力と兼用)		入力専用: 1, 出力専用: 14(LCD出力と兼用)	
	CMOS入出力		102(うち32本はLCD出力と兼用)		81(うち26本はLCD出力と兼用)	
	Nチャンネルオープンドレイン				2	
DMAコントローラ(チャンネル)					2	
タイマ(本)(16ビット)					8 + 6	
CRC演算回路					-	
シリアルI/O(本)	クロック同期/UART兼用		3		2	
	クロック同期専用				-	
	UART専用				-	
A-D変換器(分解能×チャンネル)			10ビット×8		10ビット×7	
D-A変換器(分解能×チャンネル)			8ビット×3		8ビット×2	
外部割り込み(要因)					8	
監視タイマ					あり	
LCDコントローラ/ドライバ	セグメント(本)		48		40	
	コモン(本)				4	
	昇圧回路				あり	
リアルタイム出力ポート(ビット×ポート)			8×4		8×3, 6×1	
キーオンウェークアップ機能(本)					最大20(うち16本は間欠プルアップ機能あり)	
サブクロック回路					あり	
パッケージ			144ピン TQFP(144PFB-A) 144ピン LQFP(144P6Q-A)		120ピン LQFP(120P6R-A)	
電源電圧(V)					2.7~5.5(7MHz 1ウェート), 4.0~5.5(10MHz)	
動作温度(°C)					-20~85, -40~85	
最短命令実行時間(ns)					100(10MHz)	
基本命令					91	

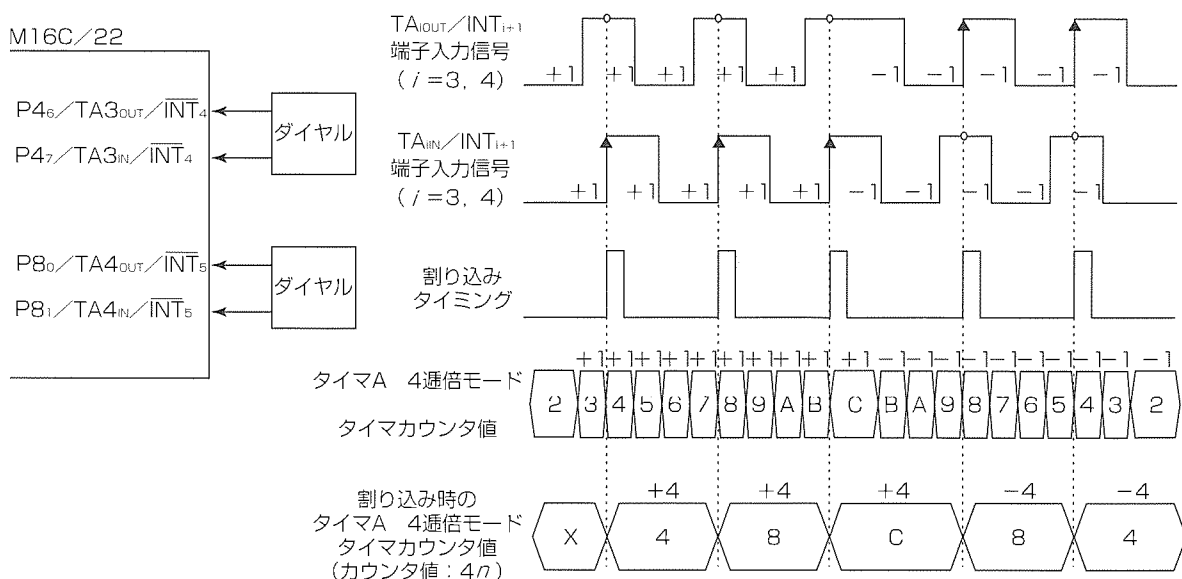


図1. 2入力割り込み機能

表2. イベントカウントモード, カウント条件  $i = 3, 4$

	TA <sub>3OUT</sub>			TA <sub>4IN</sub>	
	“H”レベル	立ち上がり		“H”レベル	立ち下がり
アップ カウント	“L”レベル	立ち下がり	ダウン カウント	“L”レベル	立ち上がり
	立ち上がり	“L”レベル		立ち上がり	“H”レベル
	立ち下がり	“H”レベル		立ち下がり	“L”レベル

タイマの各入力端子(CMOS入出力端子と兼用)の状態により, 表2のように, カウントアップ/ダウンの動作を行う。端子にダイヤルスイッチ等から位相がずれたパルス信号が入力されると, 2入力割り込み機能の外部割り込み端子が同じ端子に割り当てられているため, 割り込みタイミングは, 図1に示すように, 二つの割り込み入力端子に対し排他端子が“H”レベルのときの立ち上がりエッジで割り込みを発生する。割り込み信号を受けてタイマのカウント値を読み出すことにより, ダイヤルが左右にどれだけ回っているかが判別できる。

### 3. ハードウェアの開発

LCD表示分野は, その利点を生かして携帯機器に多く利用されており, バッテリーによる駆動を行う携帯機器では低消費電力が重要となる。したがって, この製品では, 低消費電力に重点を置いて開発を行った。

#### 3.1 新開発フラッシュメモリの搭載

新たに開発したフラッシュメモリは, 低電圧での読み出しができる。オンボードでの書換えを行うため,  $V_{CC}$ 電源以外にもう一系統の5V系電源を用意し, 低電圧での書き込み/消去も可能としている。また, マイコンをシステムクロック 32kHzのクロックのみで動作する低消費電力モードにした場合でも,  $V_{CC} = 3V$ 時に約450 $\mu$ Wの低消費電力を実現している。図2に, M16C/22のマスクROM版とフラッシュメモリ版の電源電流の比較を示す。このよう

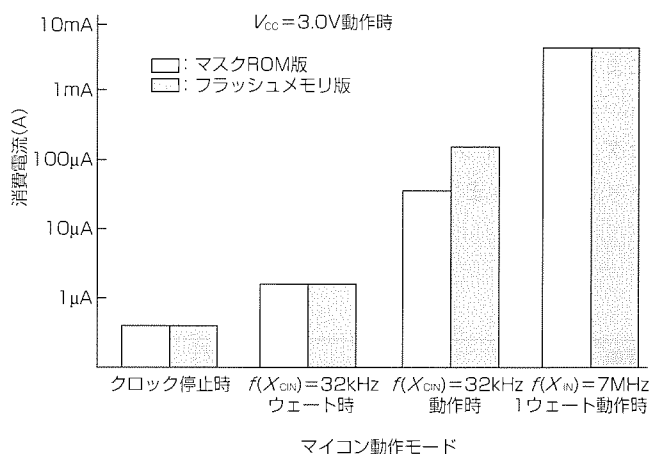


図2. 電源電流の比較

に, M16C/22ではマスクROM版とフラッシュメモリ版とで電源電流に差異が少ないため, フラッシュメモリ版を使用したシステムオンボードでマスク版に近い評価ができる。また, 量産立ち上げ時にフラッシュメモリ版を使用することができるため, スムーズな量産立ち上げが行える。

#### 3.2 間欠プルアップ機能

間欠プルアップ機能は, マイコンのシステムクロックとは別にサブクロックとして32.768kHzの発振子を使用した場合, 約7.8msの周期で約244 $\mu$ sの期間だけトランジスタのON抵抗によって入力に設定した端子のプルアップを行う。このため, プルアップ抵抗を介し外部のスイッチ等を通る電流を少なくできる。

### 4. システム応用例

図3に, M16C/22を使用したシステム応用例として, AF一眼レフカメラのシステムブロック図を示す。また, 各部の機能を次に示す。

- (1) AF制御部



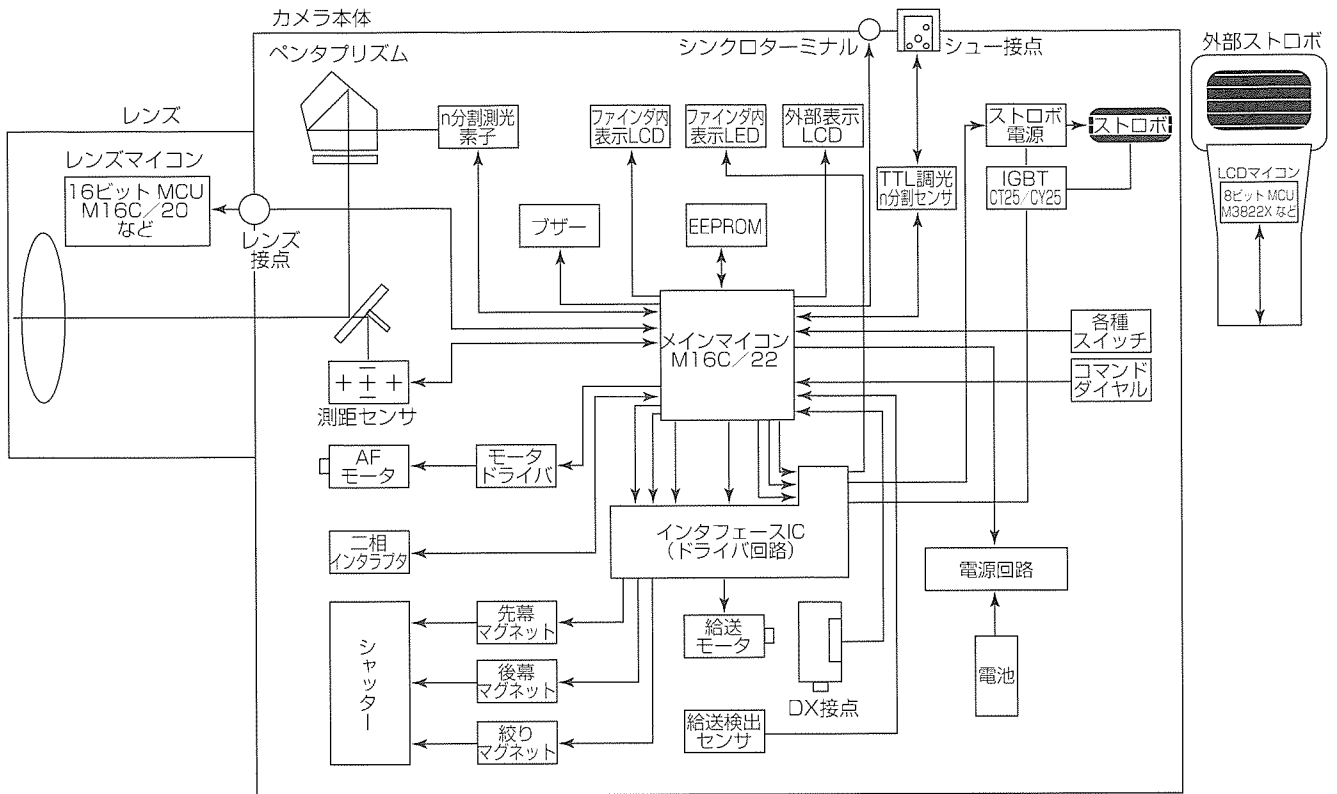


図3. AF一眼レフカメラのシステムブロック例

カメラのフォーカスを合わせるため、測距センサからAD変換器を介して入力した値をAF演算する。M16C/22のCPUはハードウェア乗算器、積和演算命令、最小値検出命令を搭載しているため、AFなどの演算を高速に行える。

(2) 露出制御部

カメラの露出制御を調整するため、測光素子からのデータによってAE(Auto Exposure)演算を行う。

(3) 情報入出力通信制御部

DX接点からフィルム感度の入力、レンズ接点からレンズ情報の入力、AF/AE演算結果によってシンクローターミナル、シュー接点、レンズ接点などへの出力を行う。また、EEPROMとの情報入出力も行う。

(4) 表示制御部

フォーカス情報や露出情報などを表示するファインダ内LCD、カメラのモードやフィルムカウンタなどを表示する外部表示LCDなどへの表示制御を行う。

(5) メカニズム制御部

AF/AE演算結果を基に、AFモータ、絞り、シャッター等の制御を行う。また、フィルムの給送モータ制御を行う。

(6) 各種センサ/各種スイッチ入力

AFモータ、給送モータなどのセンサ出力を、カウンタなどによって入力する。また、コマンドダイヤル、プッシュキースイッチなどからの入力制御を行う。

(7) 電源制御部

携帯機器として消費電力を軽減するために、電圧切換え等の制御を行う。

5. む す び

以上のようにM16C/22の開発を行い、16ビットCPUにLCD駆動制御回路及び低消費電力フラッシュメモリを搭載することにより、LCD表示分野でのシステムコストの低減、性能向上が図ることができた。現在、M16C/22としてシステムクロックの高速化対応と広温度保証を検討中である。

# 1 チップDVDバックエンドデコーダLSI

浦本紳一\* 原 哲也\*\*  
 高島明彦\*\* 大河原良平\*\*  
 川井孝洋\*\*

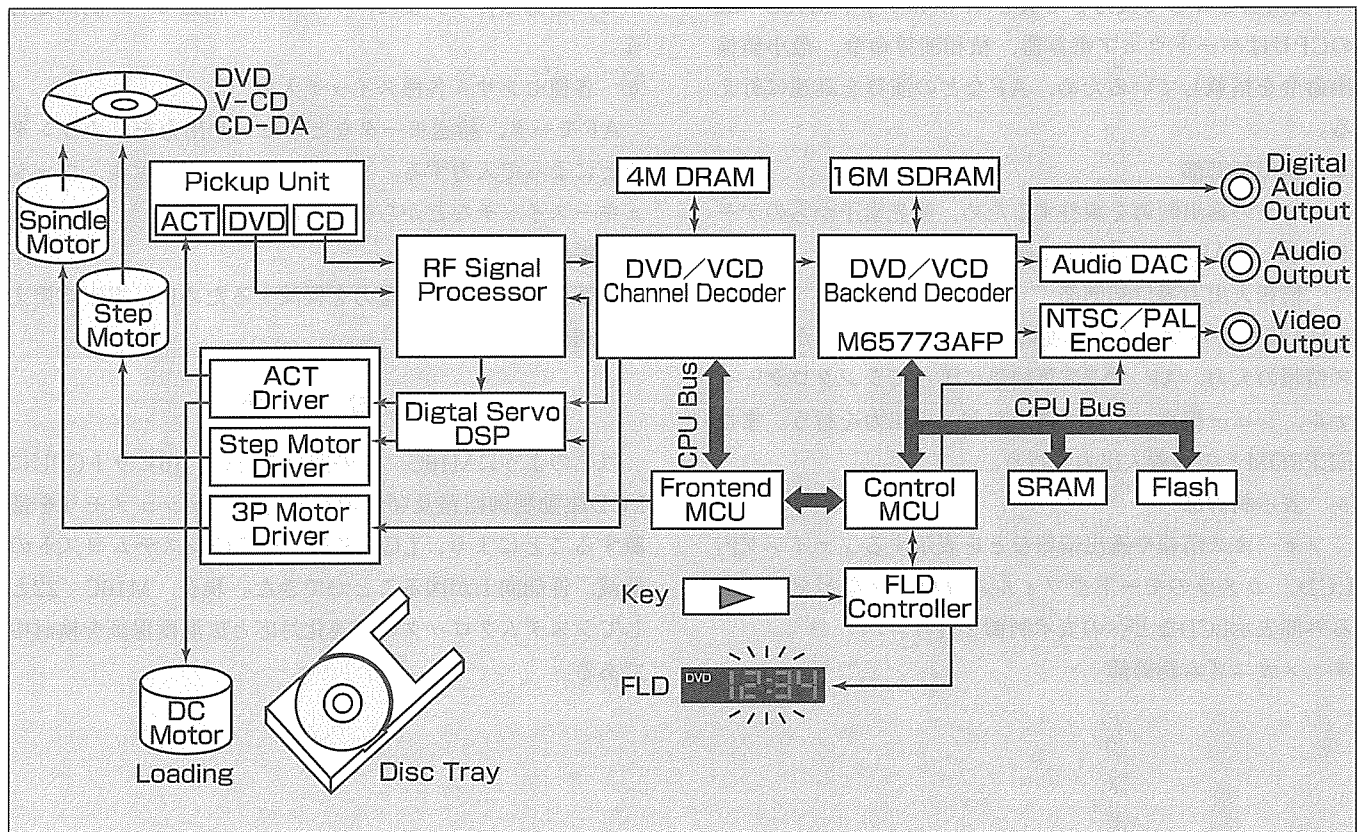
## 要 旨

M65773AFPは、DVD-Videoプレーヤー用の1チップバックエンドデコーダLSIである。16MビットSDRAM1個の併用で、フロントエンド部から入力されるデジタルストリーム入力に対しCSS(Content Scrambling System)デスクランブルからビデオ/オーディオ再生、字幕及びOSD(On Screen Display)重畳までのすべてのデジタル信号処理を実現する。構造的には専用ハードウェアに加えてメディアプロセッサコアを内蔵し、ハードウェア処理とソフトウェア処理とに最適配分された処理分担によって信号処理を行うハイブリッドアーキテクチャを採用している。DVD-Videoで定義されているDolby Digital, MPEGオーディオ, リニアPCMオーディオの再生に加えて、DTS(Digital Theater Systems)オーディオのデジタル出力

をサポートする。オーディオ出力は6チャンネルマルチチャンネル出力用とダウンミクス出力用の計4系統のPCM出力があり、これに加えて2系統のデジタルオーディオ出力を持っている。また、付加部品なしで逆方向スロー再生、逆方向高速再生を含む特殊再生機能を備えている。

バックエンドデコーダ内のビデオストリームバッファをクリアすることなく特殊再生を実現することができるため、特殊再生の性能が高い。さらに16MビットDRAMを付加することで逆1倍速、逆1/2倍速を含むスムーズ逆再生を可能とするTPP(Trick Play Processor)の搭載が特長である。

本稿では、このLSIの構造に関するポイント、機能的なポイント、及び評価システムについて紹介する。



DVDプレーヤーのブロック図

DVDプレーヤーは、データ復調/エラー訂正等を行うチャンネルデコーダや、サーボ系を制御するデジタルサーボDSP、バックエンドデコーダ、バックエンドデコーダからデジタルデータを受けそれぞれビデオ及びオーディオ出力を得るNTSC/PALビデオエンコーダ、オーディオDAC等からなる。

この中でバックエンドデコーダは、ビデオ/オーディオ復号再生処理といったデジタル信号処理を行うキーパーツである。

## 1. ま え が き

DVDプレーヤーは、画質や音質に優れ長時間再生可能という特長に加え、32か国語の字幕や8か国語の音声の切換え可能、アングル切換え可能などの特長を持ち、米国市場を中心にデジタルAV商品としての地位を確立しつつある。プレーヤーを構成する上で、DVDプレーヤー用バックエンドデコーダLSIは、心臓とも言える信号処理キーパーツである。CSSデスクランブル、オーディオ／ビデオストリームの分離(AV分離)、ビデオ復号、字幕復号、オーディオ復号とビデオ／オーディオ出力機能がその役割である。今回、DVDプレーヤー用バックエンドデコーダM65773AFP(図1)を開発した。

本稿では、M65773AFPの構造上のポイント、機能上のポイント、及び評価システムについて述べる。

## 2. M65773AFPの構造上のポイント

### 2.1 LSIの構造

このLSIのブロック図を図2に示す。専用ハードウェアに加えてメディアプロセッサコアD10V<sup>(1)</sup>を内蔵し、ハードウェア処理とソフトウェア処理とに最適配分された処理分担によって信号処理を行うハイブリッドアーキテクチャを採用している。このアーキテクチャの採用により、以下の特長が得られた。

- (1) ビデオ復号、字幕復号等のサンプルレートの高い信号処理をハードウェアで実現し、回路規模と消費電力を削減
- (2) AV分離、オーディオ復号など演算量の比較的少ない処理をソフトウェア処理することで回路規模を削減
- (3) ハードウェア制御、すなわち復号再生時間管理や特殊再生制御をソフトウェア処理とすることで柔軟な制御構造を実現

表1にハードウェアとソフトウェアでの処理分担を示す。

### 2.2 専用ハードウェアによる回路最適化

MPEG-2/MPEG-1国際標準準拠のビデオ復号回路、DVD-Video規定の字幕復号回路、DVDで必要とされるビデオフィルタであるLetterbox/Pan & Scanフィルタ処理回路には、専用ハードウェアを使用した。以上のビデオ信号処理はいずれも量子化レベルは8ビット程度と小さいが、サンプルレートが輝度信号と色差信号を合わせると15MHz以上あるため、専用LSIでの実現の方が回路

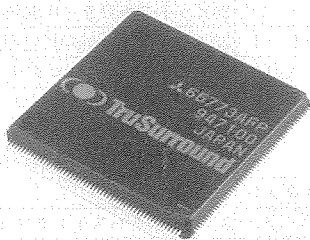


図1. M65773AFPのチップ外観

規模や消費電力の観点からソフトウェア処理に勝る。今回のLSIにおいて、ビデオ復号回路は45kゲートとかなり小規模で実現することができた。また、信号処理のクロック周波数は、ビデオ復号回路で最大54MHz、ビデオフィルタで27MHzと低く抑えることができたため、消費電力が抑制されプラスチックパッケージへの封入が可能となった。

### 2.3 ソフトウェア処理による低レート信号処理と柔軟な制御構造の実現

一方、システムデコード、オーディオ復号といった必要処理量の少ない処理は、メディアプロセッサコアによるソフトウェア処理で実現した。DVD-Video規格でサポートの必要なオーディオ種別は、Dolby Digital、MPEGオーディオ、LPCMオーディオ、DTSと多岐にわたる。また、各オーディオ復号は、符号化アルゴリズムの複雑度が高いため、ハードウェア処理と比較してソフトウェア処理による回路規模削減の効果が得られる。さらに、新たなオーディ

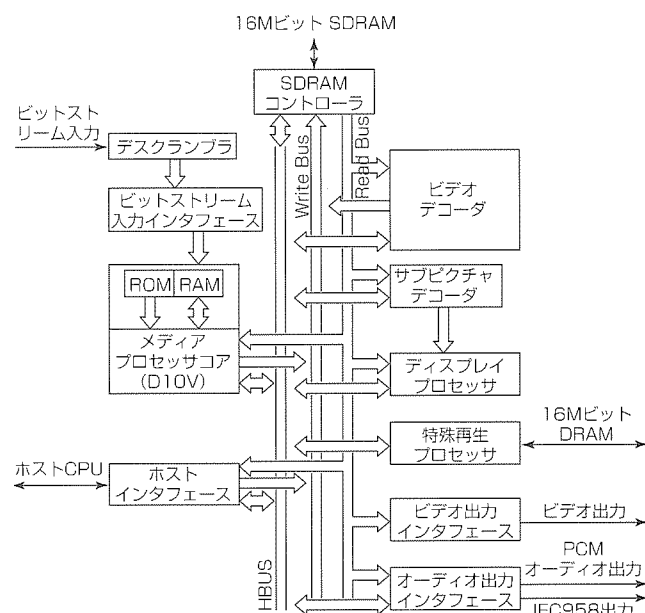


図2. M65773AFPのブロック図

表1. M65773AFPにおけるハードウェア・ソフトウェア処理分担

処理方法	処理内容
専用ハードウェア処理	MPEG-2/MPEG-1ビデオ復号 字幕復号 主映像ビデオフィルタ 主映像と字幕のミックス OSD重畳 ビデオ出力整形(ITU-R R.656出力) オーディオ出力整形(EIAJ形式PCM出力、IEC958出力) SDRAMインタフェース管理
ソフトウェア処理	AV分離 オーディオ復号(Dolby Digital、MPEG-1/MPEG-2オーディオ、LPCMオーディオ) ノイズ生成 LSI全体動作制御(AV同期管理、特殊再生制御)

オ符号化アルゴリズムの復号への対応が容易となるメリットもある。また、復号表示時間管理、特殊再生制御といったLSI制御にもソフトウェア制御を採用している。

DVD規格に従うバックエンドデコーダの制御は、シームレス再生を実現するためのVideo Object境界点の境界処理やオーディオギャップの扱いなどに代表されるように複雑度が高い。また、蓄積メディアならではの特殊再生処理では、外部マイコンとの協調動作を必要とする制御が特殊再生性能向上の重要なポイントとなるため、ソフトウェア処理による柔軟な制御構造の適用が効果的であると言える。

### 3. M65773AFPの機能上のポイント

#### 3.1 機能概要

このLSIの機能概要を表2に示す。DVD/V-CD/CD-DAを再生対象とするDVD-Videoプレーヤー用1チップバックエンドデコーダLSIとしての機能をすべて備えている。16MビットSDRAM1個の併用で、フロントエンドからのデジタルストリーム入力に対し、CSSデスクランブルからビデオ/オーディオ再生、字幕及びOSD重畳までのすべての信号処理をLSI内部で実現する。

ビデオフィルタとしてはLetterbox/Pan&Scanフィルタに加えて、V-CD/ハーフD1サイズ画像入力時の拡大フィルタを持っている。MPEGビデオ(主映像)再生機能に加えて、字幕を再生・主映像に重畳する機能、全画面表示可能な24ビットフルカラー中64色を選択可能なOSD機能を内蔵している。オーディオでは、Dolby Digital, MPEGオーディオ, リニアPCMオーディオの再生に加えてDTSオーディオのデジタル出力を持っている。

また、付加部品なしで逆再生を含む特殊再生機能を持つほか、16MビットDRAMを付加することによって逆1倍速、逆1/2倍速を含む視覚効果の高いスムーズ逆再生を実現するTPPの搭載が特長である。

#### 3.2 多彩なオーディオ再生機能

M65773AFPは、Dolby Digital 5.1チャンネル、MPEG-1/MPEG-2オーディオ2チャンネル、リニアPCMオーディオ8チャンネルの復号再生が可能である。これに加え、復号は対応していないが、MPEG-2マルチチャンネルストリームとDTSオーディオに関しては、ビットストリームのIEC958出力をサポートしている。

出力には、PCMオーディオ出力を4系統、デジタルオーディオ出力を2系統持っている。PCMオーディオ出力は最大24ビット語長の出力であり、6チャンネルのマルチチャンネル出力の他にダウンミ

クス専用出力が用意されている。2系統のデジタルオーディオ出力は、独立にPCMタイプIEC958出力と非PCMタイプIEC958出力とを指定することができる。したがって、96kHz・24ビット素材のリニアPCMオーディオ再生時に、PCMオーディオ出力からは96kHz・24ビットで、デジタル出力からは48kHz・16ビットでの出力を行うことなどが可能である。さらに、PCM出力とPCMタイプIEC958出力について、出力語長、サンプル周波数とも独立に設定することができる。以上の多彩なオーディオ出力機能のサポートにより、高機能なオーディオ出力を特長とするDVD-Videoプレーヤーを最少の外付け部品で実現することが可能となった。

#### 3.3 特殊再生機能

DVDプレーヤーはDVDディスクをメディアとする蓄積メディアの再生装置であるため、その特長を生かした特殊

表2. M65773AFPの機能概要

項目	仕様	
対応ストリーム (ディスク)	MPEG-2プログラムストリーム (DVD) MPEG-1プログラムストリーム (Video-CD) CD-DA	
ビデオ	復号機能	MPEG-2 (MP@ML), MPEG-1ビデオ復号 DVD字幕復号 Closed captionデータの抜き出し
	表示機能	NTSC/PAL対応ビデオインタフェース (ITU-R R.656形式) Letterbox表示機能 Pan&Scan表示機能
	特殊再生機能	高速再生: I再生, IP再生, Iスキャン, IPスキャン, 逆PPIスキャン スロー再生: 順方向スロー, 逆方向スロー, ポーズ, ジョグ
	コピープロテクト	CSS(Content Scrambling System)デスクランブル機能
オーディオ	復号機能	Dolby Digital復号 MPEG-1/2復号 リニアPCMオーディオ復号
	3Dオーディオ	TruSurround
	出力インタフェース	3線式PCMオーディオ出力 (EIAJ形式) × 4系統 デジタルオーディオ出力 (IEC958形式) × 2系統
	出力チャンネル構成	PCMオーディオ出力 Dolby Digital: 最大6ch or Downmixed 2ch MPEG-1/2: 2ch リニアPCM: 最大6ch and Downmixed 2ch CD-DA デジタル出力 PCMデータ: Dolby Digital, MPEG, LPCM 非PCMデータ: Dolby Digital, MPEG, DTS
	サンプルレート	44.1, 48, 96 kHz
出力語長	16, 20, 24ビット	
OSD	形式	最大全画面指定可能なビットマップ方式OSD
	ビットマップ形式	8ビット/画素(6ビット:色パレット, 2ビット:ブレンドパレット指定)
	色パレット	24ビットフルカラー中64色指定可能
ブレンドパレット	33レベル中4レベル指定可能	
システム	ストリーム入力	最大10.08Mbpsのプログラムストリーム入力可能
	対応マイコン	M16C/61, 7902グループ(三菱製), SH1(日立製)
その他	接続メモリ	16MビットSDRAM × 1個 (TPP使用時は最大2個の16MビットEDO DRAMを追加)
	システムクロック	27MHz
	電源電圧	3.3V(ホストバスインタフェースは3.3V/5V対応)
パッケージ	208ピンプラスチックQFP	

Dolby DigitalはDolby Licensing Corp.の, TruSurroundはSRS Labs. Inc.の登録商標である。

表 3. M65773AFPがサポートする特殊再生機能

特再モード	再生対象	特 長
スロー系特殊再生		
ポーズ	DVD, V-CD	復号停止
ジョグ	DVD, V-CD	こま送り
順方向スロー再生	DVD, V-CD	順方向へのスロー再生。スロー再生速度の指定が可能
逆方向スロー再生	DVD	外部マイコンとの協調動作によって逆スロー再生を実現
高速再生系特殊再生		
I再生	DVD, V-CD	ビデオデコーダによるスキップによってIピクチャのみ再生を行う高速再生
IP再生	DVD, V-CD	ビデオデコーダによるスキップによってIPピクチャのみ再生を行う高速再生
Iスキャン再生 (DVD)	DVD	ナビゲーションパックを入力データ取得の起点にする外部マイコンとの協調動作を必要とする高速再生。Iピクチャのみ再生
Iスキャン再生 (非DVD)	V-CD	外部マイコン指示を入力データ取得の起点としマイコンとの協調動作を必要とする高速再生。Iピクチャのみ再生
IPスキャン再生 (DVD)	DVD	ナビゲーションパックを入力データ取得の起点とし外部マイコンとの協調動作を必要とする高速再生。指定枚数のIPピクチャのみ再生
IPスキャン再生 (非DVD)	V-CD	外部マイコン指示を入力データ取得の起点としマイコンとの協調動作を必要とする高速再生。指定枚数のIPピクチャのみ再生
逆PPIスキャン再生	DVD	ナビゲーションパックを起点にする外部マイコンとの協調動作を必要とする高速再生。指定された枚数のIPピクチャのみ復号し逆順に出力

再生機能がプレーヤーの特長となる。M65773AFPは、そのために、多種かつ高性能な特殊再生機能を持っている。表3に、このLSIが16MビットSDRAM以外の付加部品なしにサポートする特殊再生機能を挙げる。スロー再生系の特殊再生機能としては、ポーズ、ジョグ(こま送り)、順方向スロー再生に加えて、DVDの場合には逆方向スロー再生をサポートしている。高速再生系の特殊再生は、ビデオ復号回路のストリームスキップによって実現するI再生とIP再生に加えて、フロントエンドや外部マイコンとの協調動作によって性能の高い特殊再生効果を得られるIスキャン再生、IPスキャン再生(順方向)、PPIスキャン再生(逆方向)をサポートした。いずれも、バックエンドデコーダ内のビデオストリームバッファをクリアすることなく特殊再生を実現することができる仕様であるため、絵変わりの速度といった特殊再生の再生性能が高いものとなった。また、表4に示すように、ナビゲーションパックをVOBU (Video Object Unit)データ入力開始のトリガイベントとして使用できるDVD時とそうでないV-CD時とで、それぞれに適した特殊再生時のデータ入力開始/データ入力完了のイベントを定義したことも、特殊再生時のデータ入力に関するバックエンドデコーダ-外部マイコン間の協調動作における無駄時間の排除を実現し、性能向上に貢献した。さらに、16MビットDRAMを付加することで視覚効果の高い逆再生が可能なTPPを搭載している。TPPは、付

表 4. Iスキャン/IPスキャン時のデータ転送の開始/完了イベント

特再モード	データ転送開始イベント	データ転送完了イベント
I/IPスキャン (DVD)	ナビゲーションパック到着	次ナビゲーションパック到着又は外部マイコンによる入力完了指示
I/IPスキャン (非DVD)	外部マイコンによる入力開始指示	外部マイコンによる入力完了指示

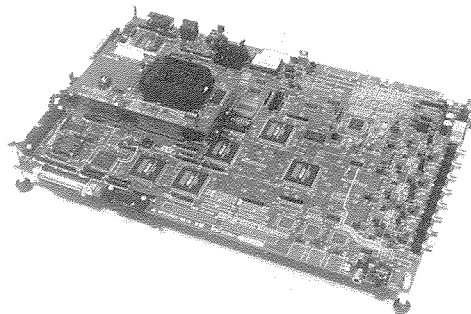


図 3. 評価ボード

加されたDRAMに再生画像を一時記憶し出力順を適宜設定することにより、非常に自由度の高い特殊再生効果を実現する。16MビットDRAMを最大2個付加することができるため、NTSCの場合、最大で32フレーム分のデータ格納が可能である。VOBUという再生画像の構造が明確に定められたDVD素材の場合、逆1倍速、逆1/2倍速を含むスムーズな逆再生が可能である。

#### 4. 評価システム

このLSIの評価ボードを図3に示す。M65773AFP評価ボードは、パソコンによって制御され、プレーヤーのフロントエンド部分からなるビットストリーム供給装置、又はパソコン上のハードディスクからビットストリームの供給を受けて動作する。ビデオ出力(コンポジット、S出力)、6+2チャンネルオーディオ出力、デジタルオーディオ出力を持っており、復号再生動作の評価が可能である。さらに、解析用の機能として、デコーダ外付けのSDRAM格納データのダンプ機能、強制機能等を持っている。この評価システムを用いてM65773AFPの基本機能の確認を行うことができた。

#### 5. む す び

1チップDVDバックエンドデコーダM65773AFPについて紹介した。今後は、一方で低コスト化を推し進めるとともに、DVD-AudioやRTR(DVD Real Time Recording)規格対応などの更なる付加価値のあるDVDバックエンドデコーダの開発を行う予定である。

#### 参 考 文 献

- (1) 圓山俊幸, 松尾雅仁, 寺岡栄一: メディアプロセッサD10V, 三菱電機技報, 74, No. 3, 194~197 (2000)

# デジタルテレビ放送用 MPEG-2 エンコーダチップセット

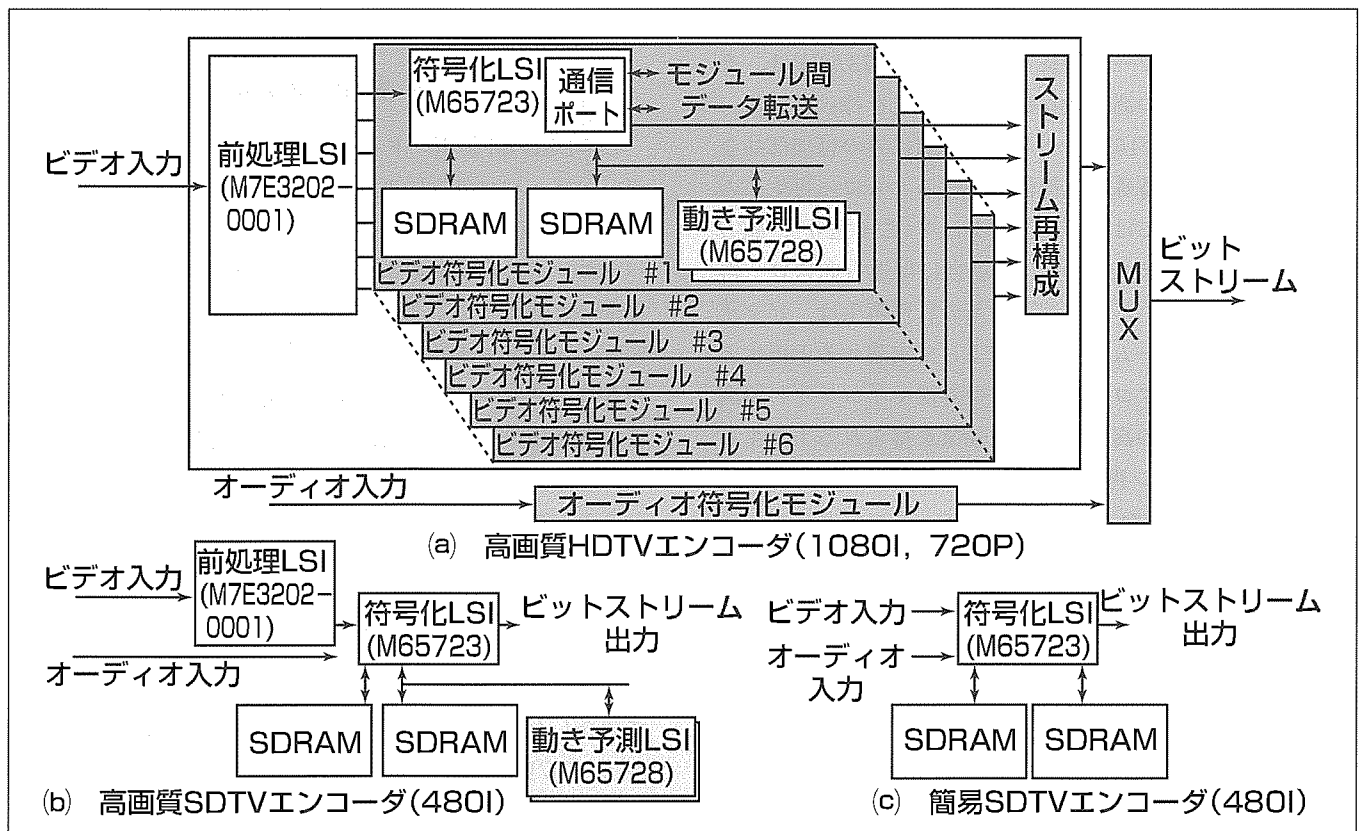
松村哲哉\* 加瀬沢 正\*\*  
熊木 哲\* 丹野興一\*\*\*  
花見充雄\*

## 要 旨

本稿では、デジタルテレビ(DTV)放送対応の送信機器に使用されるMPEG-2エンコーダチップセットについて述べる。

チップセットは、前処理LSI(M7E3202-0001)、符号化LSI(M65723)、及び動き予測LSI(M65728)で構成され、これらを組み合わせることによってSDTVからHDTVまでの実時間エンコードを可能にした。前処理LSIは、SDTVからHDTVまでのデジタル映像信号に対してフィルタリングや特徴抽出及びフォーマット変換などの前処理を行う。符号化LSIは、専用ハードウェアとメディアプロセッ

サD30Vを組み合わせたハイブリッドアーキテクチャを採用しており、1チップでSDTV(480I)の実時間符号化が可能な処理性能を持っている。さらに、解像度に対する拡張機能を備え、複数チップを並列動作させることにより、HDTV(720P, 1080I等)の各種方式に対する実時間符号化が可能である。動き予測LSIは、1チップで水平+63/-64画素、垂直+31/-32画素の範囲の全探索を可能にした。マルチチップ構成による探索範囲の拡張容易性を持っているため、最大水平+255/-256画素、垂直+127/-128画素の探索範囲を実現でき、HDTV解像度の動き探索に対応できる。



## エンコーダシステムの構成例

このチップセットによって実現可能なエンコーダシステムの構成例を示す。符号化LSIと動き予測LSIで構成される符号化モジュールの6並列構成により、HDTVエンコーダシステム(1080I, 720P)が実現可能である(a)。また、単一の符号化LSIを用い各種用途に応じたSDTVエンコーダシステムを構成できる(b)(c)。

## 1. ま え が き

1998年11月に開始された米国のデジタル放送を皮切りに、欧州や日本でも地上波放送のデジタル化が予定されている。これらのデジタル放送システムにおけるビデオ符号化方式は、国際標準のMPEG-2<sup>(1)</sup>を採用している。MPEG-2は膨大な信号処理量を必要とし、実現するためには高集積システムLSIの開発が不可欠である。当社では、地上放送局又は移動放送局用のエンコーダシステムの小型化・高画質化を実現するため、3種類のLSIすなわち前処理LSI(M7E3202-0001)<sup>(2)</sup>、ビデオ符号化LSI(M65723)<sup>(3)</sup>、及び動き予測LSI(M65728)<sup>(4)</sup>からなる422@HL対応のチップセットを開発した。

これらのチップセットは、480I、480P、720P及び1080Iなど、SDTVからHDTVまでの様々な画像フォーマット(解像度)に対応するため、チップセットの組合せによって各フォーマットのシステムを実現できる解像度スケラブルな構成<sup>(5)</sup>とした。また、動き予測LSIのマルチチップ構成が可能なアーキテクチャにより、動き探索範囲を応用製品によって選択可能にした。言い換えれば、高画質化の観点からスケラビリティを実現しており、応用製品における画質とコストのトレードオフを可能にした。また、放送レベルの高画質映像を維持するために、符号化LSIにおいては高性能メディアプロセッサ<sup>(6)</sup>を内蔵し、適応処理を効率良く行うための高いフレキシビリティを備えた。

本稿では、チップセットアーキテクチャと各LSIの構成について述べる。

## 2. チップセットアーキテクチャ

デジタル放送における送信機器には放送品質の高画質映像を送出することが必要となる。代表的なフォーマット480Iに適用されるMP@MLにおいては100GOPPS程度、1080Iに適用されるMP@HLにおいては数百GOPPS<sup>(4)</sup>もの膨大な演算処理量が必要となる。SDTV及びHDTV解像度、すなわち480I、720P及び1080Iなどの各種画像フォーマットへの対応を実現する場合、これらのシステムを拡張性(スケラビリティ)のあるチップセットを用いて構成することがシステムコストの観点から最適な解であると考えられる。コスト/性能比の優れたエンコーダシステムを実現するため、今回、3種のLSIで構成される422@HL対応のチップセットを開発した。

前ページにこのチップセットを用いたエンコーダシステムの構成例を示す。HDTV対応(1080I、720P)のビデオエンコーダ部分(図の(a))は単一の前処理LSIと6組(相)の符号化モジュールで構成される。符号化モジュールは、単一の符号化LSIと複数の動き予測LSI及びフレームメモリで構成され、422@ML(480I相当)の実時間符号化処理性能を

持っている。動き予測LSIをマルチチップ構成で使用することにより、最大水平範囲-256/+255、最大垂直範囲-64/+63を探索可能とする。入力映像信号は、前処理LSIでフォーマット変換、フィードフォワード制御用の特徴抽出、時空間フィルタ等の符号化前処理の後、6個の画面(相)に分割され、各符号化モジュールに同時に入力される。各符号化モジュールでは、各相に領域分割された画像に対して実時間符号化を実施しビットストリームを生成する。ビットストリーム再構成部では、各相から出力されたビットストリームをバッファリングした後、再構成し全画面に対応したHDTV対応のビットストリームを生成する。符号化モジュールの並列構成によって各種フォーマットに対応できる。例えば、480P、1080Iのフォーマットに対しては、各2モジュール、6モジュールの並列動作で実現できる。

以下に、上記システム構成を実現する上で必要となる画面分割手法と多相制御、及び階層制御手法について述べる。

### (1) 画面分割手法と多相制御

HDTVにおける1080Iフォーマットでの画面(相)分割手法と多相制御について説明する。通常画面内での情報発生量は、絵柄によって大きく異なる。画面分割する場合、単純な6等分の分割に対して数マクロブロック(MB)ライン単位の小さな短冊状でインタリーブする方式が、情報量の均一化という面で符号化制御を容易化し、高画質化に寄与できる。図1に4MBごとのインタリーブを用いた画面分割方式を示す。さらに相内での符号化を行うと境目におい

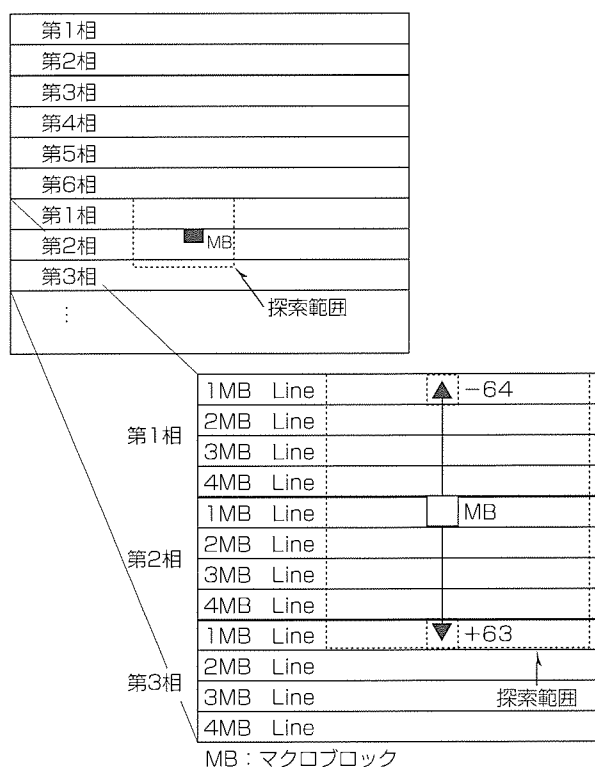


図1. 画面分割方式

て視覚的に画質の差が認められる場合があるため、処理対象となるMBの周辺データを用いる処理は、連続した画像データを用いて処理する必要がある。つまり、符号化処理の中でも特に動き予測処理、周辺MBのパラメータを用いた量子化処理においては、他相の画像データを自相が自由にアクセスできる構造が必要となる。メモリの共有化を図るために、符号化LSIは2系統の通信ポートを備えた。任意の相の通信ポートは、上相及び下相のそれと接続され、それぞれのMBの再構成画像及びパラメータを相互通信し符号化データを自相のメモリに格納するため、等価的に共有したことになる。この通信ポートを備えたことにより、画面分割機能、つまり解像度スケラブル機能を、基板上に特別な周辺回路を必要とせずに実現できた。

(2) 階層制御手法

レート制御手法として、TM 5<sup>(8)</sup>相当の処理を想定した場合の各レイヤごとの処理分担を表1に示す。SEQ/GOP/Pictureレイヤの処理はすべての符号化モジュールをつかさどるホストCPUに、Slice/MBレイヤの処理は各符号化モジュール内のプロセッサ、すなわち、符号化LSIのD30Vに割り当てる階層制御手法を採用した。ホストCPUは、前処理部のフィードフォワード制御情報と各符号化モジュールからの情報を基に、各符号化モジュールに対してターゲット符号量などの符号化パラメータを通知する。D30Vは、適応量子化、フィードバック制御、スライスレベル処理を約2,000サイクル/MBで実行する。D30Vは、162MHz動作時には3,600サイクル/MBの性能がある

ため、上記処理を実行可能である。

3. 各LSIの構成

この章では、各LSIの構成と機能仕様及びデバイス仕様について述べる(動き予測LSIについては参考文献(4)参照のこと)。

図2に前処理LSIのブロックダイアグラムを示す。前処理LSIは主に11の機能ブロックで構成され、符号化モジュールの前段において画像フォーマット変換、時空間フィルタ処理、画像特徴抽出、VBI信号検出等の処理を実行する。

前処理LSIの機能仕様を表2に示す。プロセスは0.25μm CMOS 4層メタルプロセスを用い、約400万トランジスタを12.0mm×12.0mmに集積した。チップ写真を図3に示す。図4に符号化LSIのブロックダイアグラムを示す。符号化LSIは、高性能メディアプロセッサD30Vによるプロセッサ部とビデオエンコーダユニットなどの専用ハードウェア部で構成されるハイブリッドアーキテクチャを採用している。32ビット×2ポートのSDRAMインタフェース、及び動き予測LSIを直接接続可能なインタフェースを持っている。オーディオ入力インタフェース及びシステムストリームを送出するビットストリームインタフェースも備えた。画像分割処理に必要な相間データ通信のための通信ポート(8b, 2系統)も内蔵した。符号化LSIの機能仕様を表3に示す。0.25μm CMOS 4層メタルプロセスを用い、約1,100万トランジスタを14.2mm×14.2mmに集積した。総メモリ容量は1.2Mビットである。チップ写真を図5に

表1. 階層符号化制御における処理分担

Stage	制御単位	処理内容	処理対象プロセッサ
Stage 1	GOP	GOP内の各ピクチャに対するビット配分の計算	ホストプロセッサ
Stage 2	Picture	ピクチャの目標情報発生量の設定	ホストプロセッサ
Stage 3	MB(1)	フィードバック制御によるMB単位の量子化スケール値の計算	D30V (1,800サイクル/MB) (フィードバック制御: 約300サイクル)
Stage 4	MB(2)	フィードフォワード制御によるMB単位の量子化スケール値の計算	(適応量子化: 約1,200サイクル) (ホスト間通信: 約300サイクル)

表2. 前処理LSIの機能仕様

Input Signal	Max 2,048×1,152pixel×30frame/second 4 : 2 : 2 / 4 : 2 : 0 Interface / Progressive Scan
Output Signal	Max 6 Parallel Frame / Field Picture MB Scan
Functions	Horizontal / Temporal / Vertical Filtering Image Characteristics Calculation Dynamic Picture Ordering Inverse 3 : 2 Pull Down Frame Synchronizing VBI Signal Extracting Test Signal Generation

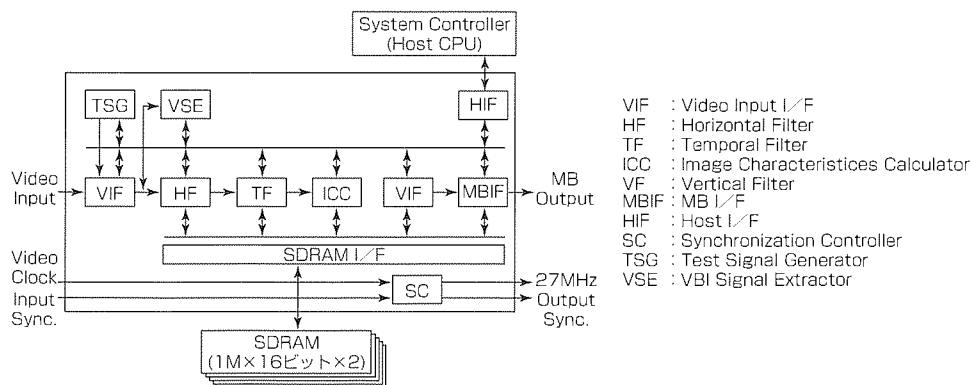


図2. 前処理LSIブロックダイアグラム

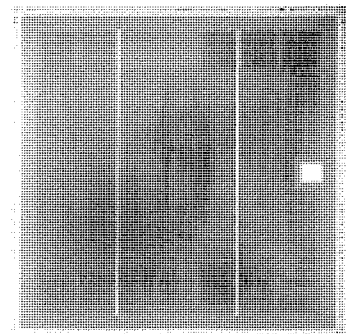


図3. 前処理LSIチップ写真



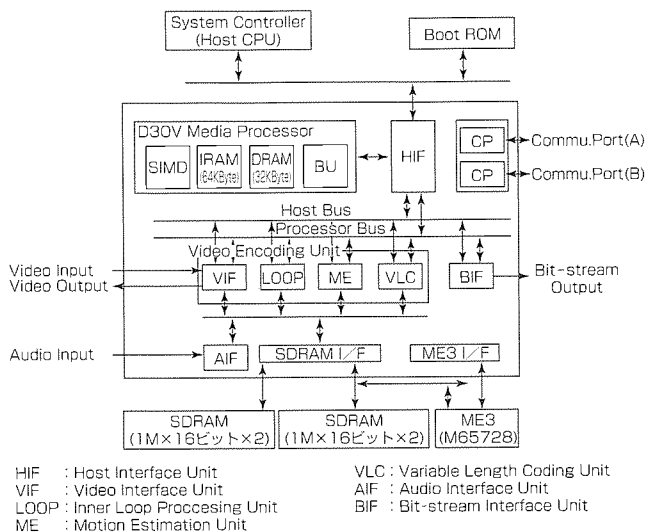


図4. 符号化LSIブロックダイアグラム

表3. ビデオ符号化LSIの機能仕様

Algorithm	Video	MPEG-2 422@ML/MP@ML
	Audio	Dolby digital (AC3) (2 channel)
		MPEG-1 Layer II (2 channel) LPCM (2 channel)
Resolution/Frame rate	720pixel×480line/30frame/s 720pixel×576line/30frame/s	
Video input format	ITU-R-656 format	
Video pre-processing	Spatial filter (Horizontal/Vertical FIR filter) Temporal filter	
Video resizing	3/4D1, 1/2D1, SIF	
Audio input format	Right justified/Left justified/I2S	
Audio sampling bit	16/18/20/24bit	
Output stream format	Video/Audio elementary stream (ES)	
Bit rate	Up to 54Mbps	
Search range	H: -128/+127.5, V: -48/+47.5 @P-picture H: -64/+63.5, V: -24/+23.5 @B-picture	

表4. 各LSIのデバイス諸元

	PP-LSI (M7E3202-0001)	COD-LSI (M65723)	ME-LSI (M65728)
Technology	0.25μm CMOS 4-Layer metal	0.25μm CMOS 4-Layer metal	0.35μm CMOS 4-Layer metal
Die size	12.0mm×12.0mm	14.2mm×14.2mm	8.5mm×8.5mm
Number of Transistors	4 million	11million	1.9million
Power supply	2.5V (internal), 3.3V (I/O)	2.5V (internal), 3.3V (I/O)	3.3V (internal, I/O)
Clock Frequency	Input 37.125MHz Internal 27/54/74.25MHz	27/54/81/162MHz	54MHz
Package	419pin ceramic PGA	388pin plastic BGA	160pin plastic QFP

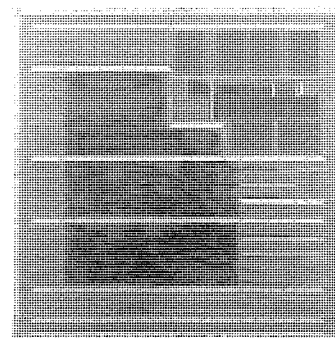


図5. 符号化LSIチップ写真

示す。また、チップセットにおける各LSIのデバイス諸元を表4に示す。

4. むすび

デジタルテレビ放送の送信機器に適用可能なMPEG-2エンコーダチップセットについて述べた。このチップセットはスケーラブルなアーキテクチャを採用しており、SDTVからHDTVまでの各種画像フォーマットのエンコーダシステムに対応できると同時に、これらのシステムの高性能化・小型化及び低コスト化を実現可能である。

参考文献

(1) ISO-IEC/JTC1 SC29, DIS 13818, Part 2 (1994)  
 (2) 風山雅裕, 加瀬沢 正, 富川 聖, 浅野研一, 吉本雅彦: MPEG-2 422@HLエンコーダチップセットの開発-前処理LSIの開発-, 1999信学総大, 分冊2, D-11-154 (1999-3)  
 (3) 花見充雄, 川本清文, 熊木 哲, 石原和哉, 瀬川 浩, 松村哲哉, 佐藤英徳: MPEG-2 422@HLエンコーダチップセットの開発-符号化LSIの開発-, 1999信学総大, 分冊2, D-11-153 (1999-3)

(4) Hanami, A., Scotzniovsky, S., Ishihara, K., Matsumura, T., Takeuchi, S., Ohkuma, H., Nishigaki, K., Suzuki, H., Kazayama, M., Yoshida, T., Tsuchihashi, K.: A 165-GOPS Motion Estimation Processor with Adaptive Dual-Array Architecture for High Quality Video-Encoding Application, Proc. IEEE CICC, 9.1.1~9.1.4 (1998)  
 (5) 佐藤英徳, 熊木 哲, 大平英雄, 松村哲哉, 丹野興一, 吉本雅彦, 村上篤道: MPEG-2 422@HLエンコーダチップセットの開発-チップセットアーキテクチャー-, 1999信学総大, 分冊2, D-11-152 (1999-3)  
 (6) Yoshida, T., Shimazu, Y., Yamada, A., Holmann, E., Nakakimura, K., Takata, H., Kitao, M., Kishi, T., Kobayashi, H., Sato, M., Mohri, A., Suzuki, K., Ajioka, Y., Higashitani, K.: A 2V 250MHz Multimedia Processor, Proc. IEEE ISSCC, 266~267 (1997-2)  
 (7) 松村哲哉: MPEG-2エンコーダLSI化技術と将来動向, 1998信学総大, TC-1-7 (1998-3)  
 (8) ISO-IEC/JTC1 SC29: Test Model 5 (1993-4)

# メディアプロセッサD10V

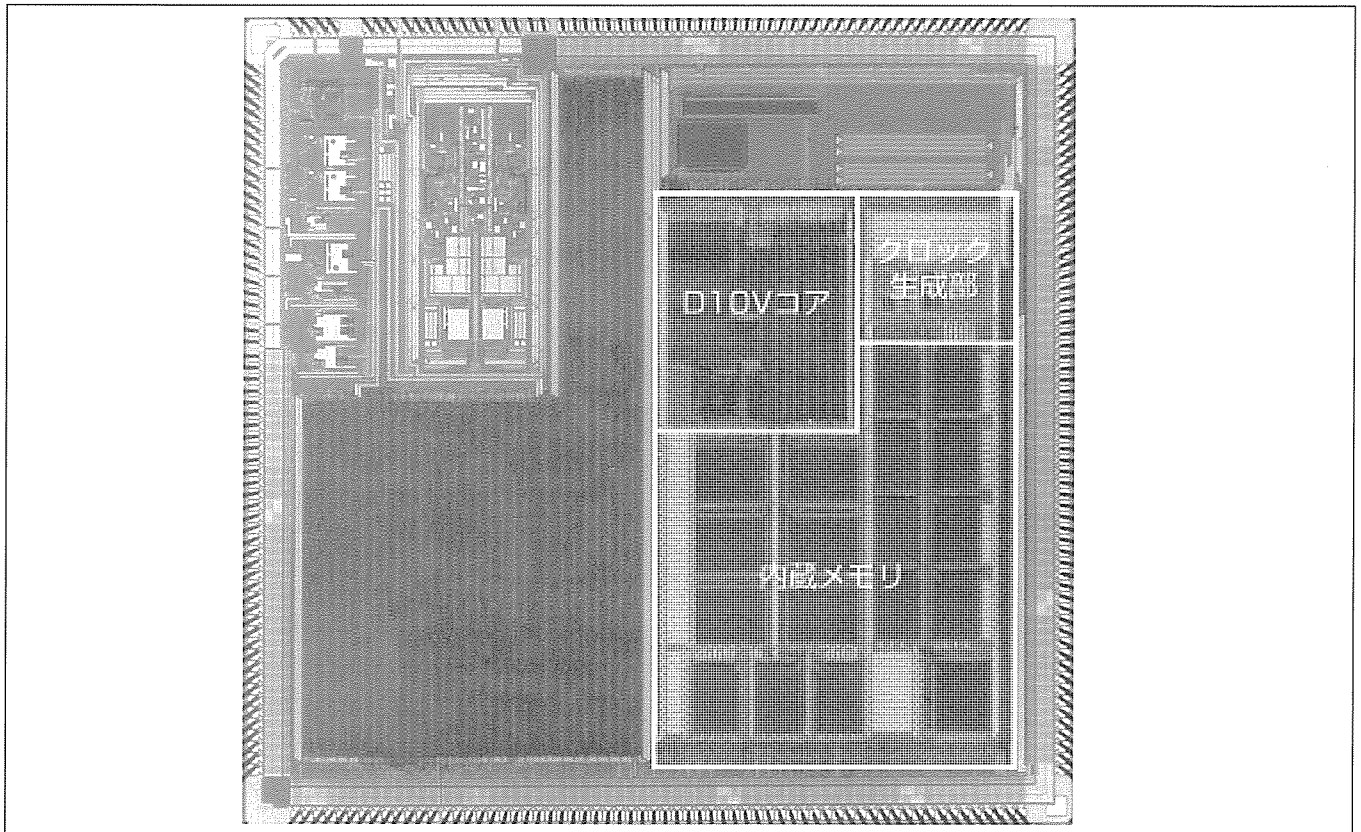
## 要旨

従来のマルチメディアシステムは、DSP(Digital Signal Processor)とMCU(Micro Controller Unit)の2チップ構成で実現されることが多かった。MCUだけではリアルタイム処理に必要な信号処理を充たすことができず、DSPだけではC言語で記述された複雑な制御が実行できなかったからである。しかしながら、プロセス技術進歩に伴い、システムにおけるチップの統合化・高機能化の要求に加え、低消費電力でデジタル信号処理を行う高性能プロセッサはシステムLSIには必ず(須)の構成部品となってきた。

このような要求に対応するため、16ビットメディアプロセッサD10Vを開発した。D10Vは、VLIW(Very Long

Instruction Word)技術の採用により、二つの命令を並列に実行することが可能である。さらに、オーバーヘッドなしのハードウェアリピータ機能、モジュロアドレッシング、サチュレーション付き演算等を備え、既存の16ビットDSPとほぼ同等のデジタル信号処理性能を実現している。

また、クロックの供給方法の工夫とプロセスの微細化に対処したレイアウトを施すことにより、低消費電力動作を実現した。このメディアプロセッサD10Vを搭載したデジタル携帯電話では、音声コーデック処理のハーフレート方式を従来のDSPと比べ1/6、フルレート方式を1/7の消費電力で実現できる。



## D10Vを搭載したデジタル携帯電話用ベースバンドLSI

0.25μm CMOSプロセスを適用し、16ビットメディアプロセッサD10Vを搭載したデジタル携帯電話用ベースバンドLSIのチップ写真を示す。PDC(Personal Digital Cellular)対応ハーフレート方式、フルレート方式の音声コーデック処理を低消費電力で実現できる。

## 1. ま え が き

携帯電話やDVD等の通信，デジタルAV用システムLSIにおけるDSP内蔵要求に対応するため，16ビットメディアプロセッサD10V<sup>(1)(2)</sup>を開発した。D10Vは，VLIW技術，デジタル信号処理機能強化と低消費電力設計により，高性能・低消費電力を実現している。

本稿では，メディアプロセッサD10Vのアーキテクチャ，低消費電力化設計，及び評価結果について述べる。

## 2. アーキテクチャ

D10Vは，2ウェイのVLIW技術を採用している。32ビット固定長の命令ワードには1個又は2個のサブ命令が含まれる。個々のサブ命令はRISCライクな命令セットであり，VLIW方式によって二つのサブ命令を並列に実行することが可能である。

内部の命令メモリとデータメモリはハーバードアーキテクチャを採用し，命令のフェッチとオペランドアクセスを独立に処理できる。内部には，16ビット汎用レジスタを16本，40ビットアキュムレータを2本備えている。2ワードのオペランドロードと積和演算命令を並列に実行することにより，積和／積差演算を1クロックサイクルのスループットで実行できる。また，オーバーヘッドなしのハードウェアリピータ機能，モジュロアドレッシング，サチュレーション付き演算等を備え，デジタル信号処理機能強化を図っている。

D10Vの特長を表1に示す。

### 2.1 命令フォーマット

32ビットの命令ワードは，命令のフォーマットを示す2ビットのフォーマット指定ビット(FMビット)と，15ビットの左コンテナと右コンテナで構成される。各コンテナは，それぞれ15ビットからなるショートフォーマットのサブ命令(以下“ショート命令”という。)を格納できるほか，二つで一つの30ビットのロングフォーマットのサブ命令(以下“ロング命令”という。)を格納できる。

表1. D10Vの特長

命令長	32ビット
アーキテクチャ	2-way VLIW
データバス幅	
内蔵命令メモリ	32ビット
内蔵データメモリ	32ビット
外部メモリ	32ビット(命令，データ共通)
汎用レジスタ	16ビット×16
アキュムレータ	40ビット×2
積和演算機能	(16×16+40)ビット
DSP機能	ハードウェアループ機能 モジュロアドレッシング アドレスのポスト修飾機能 サチュレーション付き演算

FMビットで命令フォーマット及び二つのショート命令の実行順序が指定される。FMビットが“11”の場合は，左コンテナと右コンテナの30ビットで一つのロング命令を格納することを示す。それ以外の場合は，各コンテナがそれぞれショート命令を保持することを示し，FMビットで実行順序が指定される。“00”のときは，二つのショート命令を並列に実行することを示す。“01”のときは，左コンテナの次に右コンテナのショート命令を実行することを示す。“10”のときには，右コンテナの次に左コンテナのショート命令を実行することを示す。

このように，ショート命令のシーケンシャル実行機能の実装により，コード効率の向上を図っている。

### 2.2 機能ブロック構成

D10Vの機能ブロック構成を図1に示す。D10Vコアと命令フェッチ部，オペランドアクセス部，内蔵命令メモリ，内蔵データメモリ，外部バスインタフェース部からなる。さらに，D10Vコアは，命令キュー，命令デコード部，レジスタファイル，メモリインタフェース部(MU)，及び整数演算部(IU)からなる。

#### (1) 命令フェッチ部

D10Vコアからの要求に従って命令フェッチを制御するとともに，命令メモリへのアクセス制御を行う。命令フェッチ部は，命令メモリ又は外部メモリからのフェッチが可能であり，フェッチした命令を命令キューに出力する。

#### (2) 命令キュー

2エントリの32ビット命令バッファと有効ビット及び入出力ポインタ等からなり，FIFO方式で制御される。命令

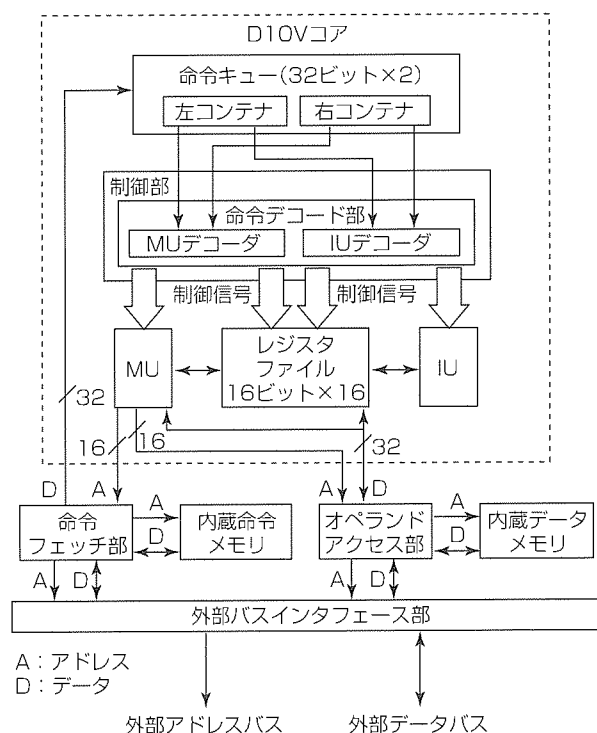


図1. D10Vの機能ブロック

フェッチ部でフェッチされた命令データを一時保持し、命令デコード部へ出力する。

(3) 命令デコード部

MUデコーダとIUデコーダの二つの命令デコーダからなる。MUデコーダはMUで実行する命令をデコードし、IUデコーダはIUで実行する命令をデコードする。ロング命令の場合は、拡張データの切り出しを行うために、右コンテナのデータがMUデコーダに送られる。二つのショート命令をシーケンシャルに実行する場合、先行して実行される命令のデコード中に後で実行する側の命令がどちらのデコーダでデコードされるべきかを判定する。

(4) レジスタファイル

16本の16ビットレジスタからなり、MU、IU、オペランドアクセス部に複数のバスで結合されている。オペランドアクセス部とは32ビット幅のバスで結合されており、2ワードのデータを並列にロードできる。

(5) メモリインタフェース部(MU)

レジスタファイルと複数のバスで結合されており、オペランドアドレスの更新、オペランド/ジャンプ先アドレスの計算、算術論理演算、ロードされたバイトデータの保持/整置、ゼロ/符号拡張、ストアデータの保持/整置、モジュロアドレッシング制御を行う。また、MUでは、命令フェッチアドレスの生成とProgram Counter値の管理、リポート制御等も行う。

(6) 整数演算部(IU)

レジスタファイルと複数のバスで結合されており、転送、比較、算術論理演算、シフト等の演算を行う。また、2本の40ビットアキュムレータを備え、算術演算やシフト等については40ビット幅の演算も可能である。

(7) オペランドアクセス部

MUから出力されたオペランドアドレスに基づいて、内蔵データメモリや外部メモリ間とオペランドのアクセスを行う。命令フェッチ部とは独立して動作し、オペランドが内蔵データメモリにある場合には、1クロックサイクルで32ビットデータのリード/ライトが可能である。

(8) 外部バスインタフェース部

命令フェッチ部からの要求とオペランドアクセス部からの要求を調停し、外部メモリのアクセスを行う。

2.3 パイプライン処理

D10Vのパイプライン構成を図2に示す。最大5段のパイプライン処理を行う。

命令のフェッチを行う命令フェッチ(IF)ステージ、命令のデコードを行う命令デコード(D)ステージ、命令の実行やロード/ストア命令のアドレス生成を行う命令実行(E)ステージ、積和/積差命令に関する加算を行う命令実行の実行2(E2)ステージ、メモリのアクセスを行うメモリアクセス(M)ステージ、バイトロードに関するレジスタ

へのライトバックを行う(W)ステージがある。Eステージでの演算結果のレジスタへの書き込みはEステージで完了し、16ビット、32ビットロード時のレジスタへの書き込みはMステージで完了する。積和/積差演算に関しては、乗算と加算の2段のパイプラインで命令の実行を行う。

基本的に、命令デコード部から発行された二つの処理は、Eステージ以降独立してパイプライン処理される。MU側のパイプラインをMUパイプ、IU側のパイプラインをIUパイプと呼ぶ。

(1) IFステージ

IFステージでは、命令を外部メモリや内蔵命令メモリから32ビット単位でフェッチし、命令キューに登録する。取り込まれている命令をDステージに出力する。命令が内蔵命令メモリにある場合、1クロックサイクルに1回、32ビットの命令をフェッチできる。命令キューの管理、リポート制御、プリフェッチ先アドレスの管理も行う。

(2) Dステージ

Dステージでは、命令デコード部で命令コードの解析を行い、MU、IU、レジスタファイル等で命令の実行を行うための制御信号を生成する。シーケンシャル実行を行う2命令の分割や、2サイクル実行命令のシーケンス制御も行う。さらに、前後の命令間のオペランド干渉や使用演算器の干渉の判定も行い、実行可能となるまでEステージでの実行開始を抑制する。

(3) Eステージ

Eステージでは、演算実行、オペランドのアドレス計算、ロード/ストアに伴うアドレスポインタの更新等を行う。

MUパイプでは、算術論理演算、比較、転送を行う。モジュロ制御を含むメモリオペランドのアドレスや、分岐先のアドレス計算も行われる。

IUパイプでは、算術論理演算、比較、転送、シフトなどのほか、積和演算の加算以外のすべての演算が行われる。積和/積差命令では、Eステージで乗算のみ行われる。

(4) Mステージ

Mステージでは、MUから送られたアドレスでオペラン

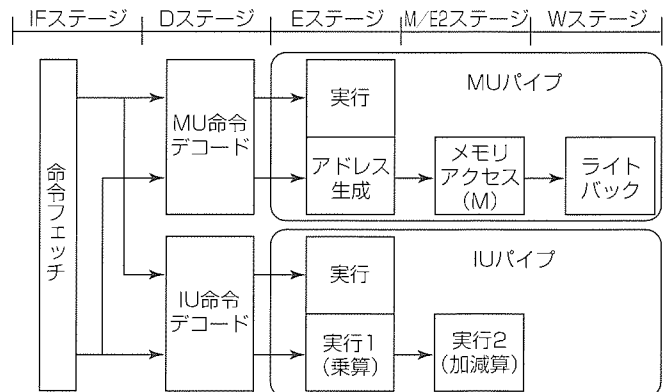


図2. パイプライン構成

ドのメモリアクセスを行う。ロードの場合、バイトデータはMUに転送し、16ビット又は32ビットデータはレジスタファイルへ直接書き込む。32ビット非整置アクセスの場合は、整置された2回のアクセスに分割され、メモリアクセスが行われる。

#### (5) Wステージ

Wステージでは、バイトロード命令における、バイトデータの整置、ゼロ/符号拡張、レジスタファイルへの書き込みを行う。

#### (6) E2ステージ

E2ステージでは、積和/積差演算命令の加減算処理を行い、加減算結果をアキュムレータに書き戻す。

### 3. 低消費電力化設計

低消費電力を実現するために、クロックの供給、カップリング容量低減、バス構成等の工夫を行った。以下に詳細を示す。

#### (1) クロックの供給

ゲートドクロックを用いて、クロック負荷容量による電力消費を最小限に抑えた。レジスタごとの動作を考慮し、消費電力の削減に効果があるレジスタに対してゲートドクロックを適用した。

また、分散している1ビットのラッチを多ビット化することにより、クロックの総配線長とファンアウト数を削減し、クロックの負荷容量を抑えた。

#### (2) カップリング容量低減

プロセスの微細化に伴い、配線間のカップリング容量が無視できなくなっている。この影響を最小限に抑えるために、レイアウトではバス配線間のピッチを広げる等のきめ細かな設計を図った。

#### (3) バス構成

D10Vコアは、MUとIUがレジスタファイルを共有し、演算を実行するため、演算器とレジスタファイル、レジスタファイルとメモリのデータ転送の頻度は高い。一方、制御レジスタからレジスタファイルへの転送の頻度は低い。これらのデータを転送するバスをきめ細かく分割し、バスの負荷容量を抑え、データ転送時の消費電力の削減を図った。

また、バスを経由したデータ転送に対して、バスの使用サイクルを半分にすることにより、データ転送の切換え時の衝突を避け、消費電力の削減を図った。

### 4. 評価結果

0.25 $\mu$ m CMOS, 3層アルミプロセスを用いて、デジタル携帯電話用ベースバンドLSIにD10Vを内蔵しPDC対応の音声コーデックを実現した場合、消費電力は、0.5 $\mu$ mプロセスの従来のDSP<sup>(3)</sup>と比べ、プロセスの微細化と少ない演算量、きめ細かな回路動作制御により、ハーフレート方式を1/6、フルレート方式を1/7の低消費電力で達成できた。

### 5. むすび

携帯電話やDVD等の通信、デジタルAV用システムLSIにおけるDSP内蔵要求に対応するため、16ビットメディアプロセッサD10Vを開発した。

D10Vは、2ウェイのVLIW技術を採用し、2ワードのオペランドロードと積和演算命令を並列に実行可能である。さらに、オーバーヘッドなしのハードウェアリポート機能、モジュアドレッシング、サチュレーション付き演算等を備え、既存の16ビットDSPとほぼ同等のデジタル信号処理性能を実現している。

評価の結果、このメディアプロセッサは、PDCハーフレート方式システム対応音声コーデックを、従来のDSPと比べ、プロセスの微細化ときめ細かな回路動作制御により、1/6の低消費電力で達成した。

D10Vは、高性能・低消費電力動作を実現しており、携帯電話に代表されるシステムLSIのDSPコアとして適用可能である。

### 参考文献

- (1) 佐藤尚和, 松尾雅仁, 見学 徹, 吉田豊彦: VLIWメディアプロセッサD10V, 信学会技術報告会, ICD 96-136, 9~16 (1996)
- (2) Sato, H., Holman, E., Yoshida, T., Matsuo, M., Kengaku, T.: A Dual-issue RISC Processor for Multimedia Signal Processing, ICASSP'97, 1, 591~594, (1997-4)
- (3) 寺岡栄一, 白石竹虎, 佐藤尚和, 中嶋正人, 西田孝一: 低消費電力16ビット固定小数点デジタルシグナルプロセッサ, 三菱電機技報, 71, No.3, 289~292 (1997)

# リズムフレーズプレーヤーLSI

## 要 旨

オーディオ製品の高付加価値機能を実現するデバイスとして、リズムフレーズプレーヤーLSI M65575-××××FPの開発を行った。M65575-××××FPは、音源データROMとリズムパターンROMを内蔵し、リズムフレーズ再生機能を1チップで実現するオールインワンプロセッサである。

主な特長は次のとおりである。

### (1) 臨場感あふれる再生音

- 3音同時発音
- 音色ごとのレベル機能による発音アクセントの実現
- パンポット(音像定位)機能によるステレオ再生

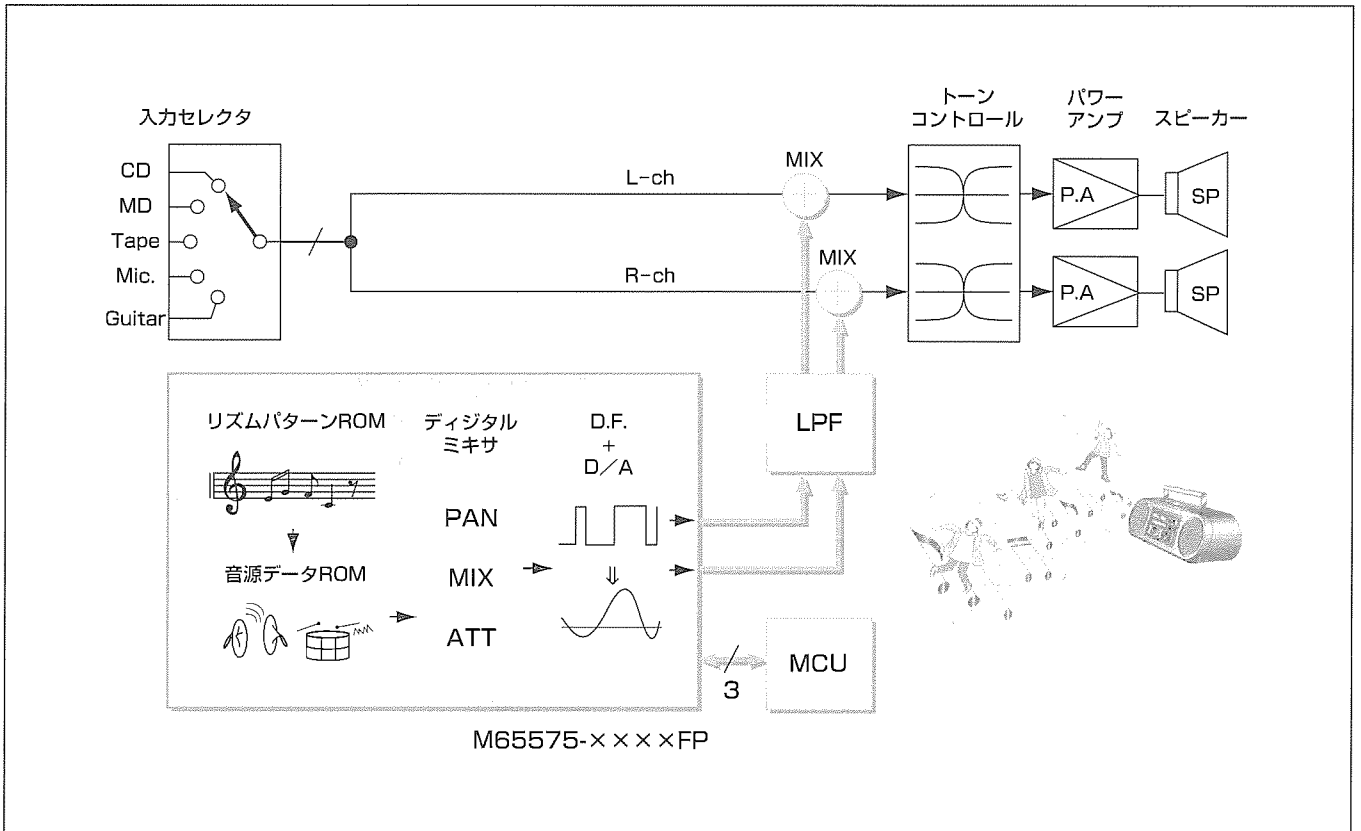
### (2) ハイクオリティ、ハイパフォーマンス

- 当社独自のサウンドデータ符号化方式による音源データの圧縮
- マルチレートフィルタ搭載によって音源データのサンプリング周波数最適化を実現
- 大容量1.5Mビット音源ROM搭載

### (3) 多彩なプレイモード

- ワンショット、ループ、チェイン、シーケンス

M65575-××××FPは、音源データROMとリズムパターンROMを変更することによるシリーズ化が容易であり、ラジカセやミニコンボ等のオーディオ製品を始め、カーナビゲーション、家電製品、がん(玩)具など様々な分野のシステムに適用可能である。



## M65575-××××FPのオーディオシステムへの適用例

M65575-××××FPは、現行システムに付加するだけでリズムフレーズ再生機能が実現できるオールインワンプロセッサである。再生パラメータの設定は、通常の3線式シリアルコントロールによって行う。D/Aコンバータを内蔵しており、簡単なフィルタの外付けだけでアナログオーディオ信号を得ることができる。

## 1. ま え が き

近年、劇的な勢いでアンダーグラウンドからメインストリームにその地位を転換した音楽カテゴリーがある。それは、ヒップホップやハウス等と呼ばれるジャンルの音楽を包括するダンスミュージックである。

このダンスミュージックがかの有名なグラミー賞を受賞したことも記憶に新しい。そして、この事実を裏付けるかのように、ちまた(巷)間では、ストリートダンサーたちがお気に入りのリズムサウンドをバックにお得意のダンスを披露してくれるシーンに出会う機会も急増している。

当社では、このような時代のニーズにこたえるために、リズムフレーズプレーヤーLSI M65575-XXXXFPの開発を行った。M65575-XXXXFPは、リズム及びフレーズの再生機能を1チップで実現したオールインワンプロセッサである。

本稿では、M65575-XXXXFPの製品概要と開発コンセプト実現のための要素技術について述べる。

## 2. M65575-XXXXFPの概要

図1のブロック図に示したように、M65575-XXXXFPは、1.5Mビットの音源データROMと96kビットのリズムパターンROMを内蔵しており、それぞれのROMに内蔵した音源データとリズムパターンデータからリズムフレーズを再生するLSIである。

開発のコンセプトとその具現化技術は以下のとおりである。

(1) 臨場感あふれる豊かなサウンド再生を高いコストパフォーマンスで実現

再生音が高品位であるという付加価値を実現するために3音同時発音アルゴリズムを採用し、併せて3チャンネルのレベル、パンポット機能を含むデジタルミキサを内蔵した。この技術によって、重厚かつ広がりのあるステレオ感と、ヒューマニティあふれる自然な再生音が得られる。また、サウンドデータのオリジナル圧縮・伸張方式の開発と、音源ごとのサンプリング周波数混在に対応するためのマルチレートフィルタの内蔵で、高品位と高いコストパフォーマンスの両立に成功した。

内蔵したD/Aコンバータは、システムのトータルコスト削減の一翼を担う。

(2) 複雑な発音タイミング制御をシンプルなコマンドで実現

リズムフレーズ再生で最も重要なファクタは複雑な発音タイミングの制御にあると言っても過言ではない。今回開発したLSIでは、ワンショット、ループ、チェイン、シーケンスといった再生コマンドとMM(Metronome Mark) Tempo=60~240のワイドレンジをカバーするテンポコマ

ンドを用意し、ユーザーの多彩なリズムプレイを強力にバックアップする。

(3) リズムパターンのカスタム化に対応

ユーザーの豊かなニーズに柔軟に応じるため、上記に加えて、LSI化前に再生音の試聴確認を行うためのツールを開発した。開発工期の大幅短縮でROMのシリーズ化に迅速に対応する。

以下に、各機能ブロックごとに詳述する。

### 2.1 リズムパターンROM

前述した96kビットのリズムパターンROMには図2に示すような情報がすべてデータ化されて格納される。大別すると、音源に関する情報と、発音時刻を制御する情報の2種類である。まず、音源に関する情報として、音色を表す音源番号、音の強弱を決めるレベル、音像の定位を決めるパンポットのデータが挙げられる。そして、発音時刻に関する情報としては、拍子数、楽譜上の音符の位置に相当する発音タイミング、リズムパターンを構成している小節数に関するデータが挙げられる。

レベルとパンポットは音源ごとに設定することが可能で、レベルは0~-12dBの範囲で10段階の設定をサポートし、パンポットはセンターの設定を含めて左右への音の振り分けを11段階設定可能である。また、リズムパターンは、最大64種類まで搭載可能である。

このブロックでは、無限に考えられる多種多様なリズム

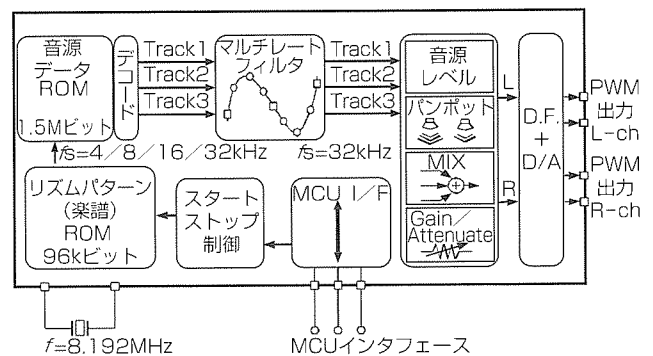


図1. M65575-XXXXFPのブロック図

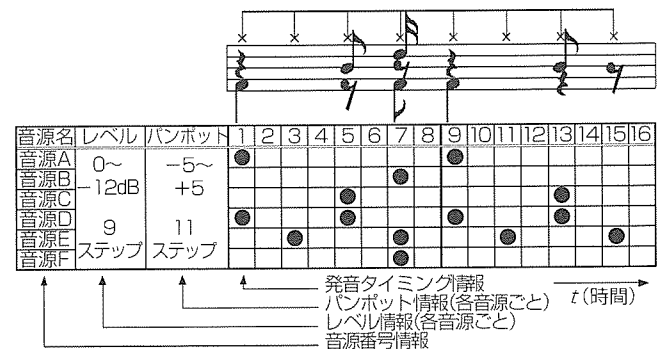


図2. リズムパターンROMの情報

パターンをカバーするための当社オリジナルデータフォーマットが、その効果をいかに発揮している。

## 2.2 音源データROM

音源データは例えば楽器音や人の声などであり、この採択によって、このLSIをリズムプレーヤーとして、若しくはフレーズプレーヤーとして、又はその両方としてセットに適用することができる。

このブロックを支える技術はデータ圧縮技術である。この技術のクオリティ(音質)は、再生音の品位とコストパフォーマンスを決定付ける極めて重要な責務を担うものである。すなわち、相互にトレードオフの関係にある高品位と高いコストパフォーマンスを両立させるデータ圧縮技術が必要不可欠である。

従来技術としてよく知られている圧縮方式にADPCM(Adaptive Differential Pulse Code Modulation: 適応差分PCM)方式がある。しかし、周知のとおりADPCM方式は、オーバーロードひずみを発生しやすく、リズムの生成に多用される打楽器系の音源にはパルス性の成分が多く含まれているため不向きである。

今回、当社オリジナルの圧縮方式を技術開発し、併せて専用の圧縮・伸張用ソフトウェアも開発することで、この技術を今回のLSIに適用することを実現した。

この圧縮方式の概念を図3に示す。圧縮処理の第一ステップは、音源のデジタルデータを所定のサンプル数ごとにブロック化していくことである。次に、第二ステップとして、各ブロックのレンジ( $R_x$ )の大きさに応じて再符号化ビット数を割り当てる処理がある。最後の第三ステップで、割り当てられたビット数によるデータの再符号化を行う。

レンジの大きいブロックには割当てビット数を大きくし、逆にレンジの小さいブロックには割当てビット数を小さくすることにより、データに応じた最適なビット数で信号レベルを表現することが可能となった。平均で約1/3の圧縮を行っても十分な高音質が確保できることを確認している。

## 2.3 マルチレートフィルタ

前述の圧縮・伸張技術と並んでこのLSIの付加価値の一つである高いコストパフォーマンスを支える技術が、このマルチレートフィルタである。このLSIでは、1.5Mビットの音源ROMエリアを有効に使用するためにマルチレートフィルタを搭載しており、図4に示すように、4/8/16/32kHzのうち音源ごとに最適なサンプリング周波数(以下“ $f_s$ ”という。)のデータを音源ROM内に混在させて格納することが可能となっている。

今回のLSIで採用したマルチレートフィルタでは、 $f_s$ によらず、いったん8倍の周波数でオーバーサンプルした後、 $f_s$ が一律32kHzになるようにデシメーション(間引き)を行

っている。このような回路構成を採用したことで、すべての $f_s$ に対応したサンプリング周波数変換機能を小さな回路規模で実現することができた。

## 2.4 スタート/ストップ及びテンポ制御

リズム再生のスタート/ストップは、MCU(マイコン)コマンドによって制御する。再生モードは、リズム再生の際、ユーザーの要求にできるだけ忠実にこたえることができ、かつシンプルなコマンドで動作できるよう多彩なモードをサポートしている。

ワンショット、ループ、チェインプレイはもちろん、あらかじめ設定したとおりの順番で再生可能なシーケンスプレイも可能である。シーケンスプレイは、M65575- $\times\times\times$ FPから書き込み許可フラグを出力することにより、MCUに再生順を先に登録し、フラグを確認しながら順次チェインコマンドを設定することで実現した。

また、MM Tempo=60~240まで1ステップごとにテンポの設定が可能であり、複雑なリズムも容易に再生が可能になった。

## 2.5 D/Aコンバータ

今回開発した製品は、D/Aコンバータも搭載し、システムトータルコストの削減を図った。D/Aコンバータは、二次の1ビット $\Sigma\Delta$ 方式で実現している。出力はPWM(Pulse-Width Modulation)であり、外部に簡単なアナログローパスフィルタを付加することにより、アナログオーディオ信号に変換する。アナログ性能の向上を図るため、

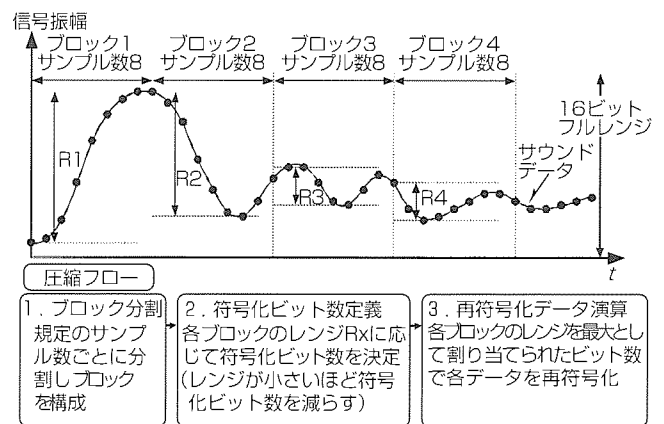


図3. 三菱オリジナルサウンドデータ圧縮方式の概念

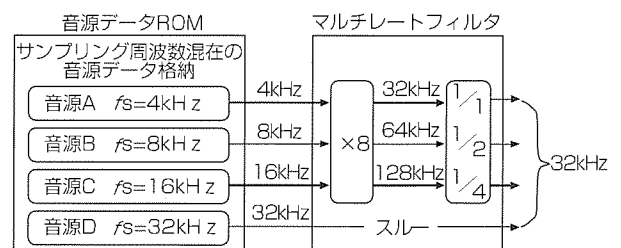


図4. サンプリング周波数変換ブロック図



表1. LSIの諸元

項目	詳細	
ウェーブプロセス	0.35μm CMOS 3層配線	
電源電圧	3.3V ± 10%	
パッケージ	36ピンSSOP	
回路規模	音源データROM	1.5Mビット (32ビット×49,152ワード)
	リズムパターンROM	96kビット (24ビット×4,096ワード)
	ランダムロジック部	69,000ゲート
チップサイズ	4.65×5.76 (mm)	
動作周波数	8.192MHz	

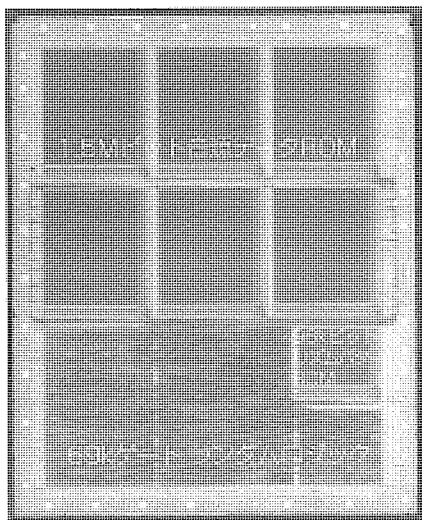


図5. M65575-XXXXFPのチップ写真

PWM出力は、チャンネルごと2ピンの差動出力形式にした。

### 3. チップレイアウト構成

図5にM65575-XXXXFPのチップ写真を、表1にLSIの諸元をそれぞれ示す。

音源データROM面積が全体の5割以上も占めていることから、サウンドデータ圧縮・伸張技術とデータのサンプリング周波数最適化検討がこの開発において非常に重要であることが分かる。電源系は、クロック発振バッファ、PWM出力バッファ、その他デジタル系の電源ピンをそれぞれ独立に持ち、内部レイアウトも分離した。これにより、デジタル系電源ノイズがPWM出力ピンに回り込むのを防ぎ、D/Aコンバータのアナログ特性の向上を図った。

### 4. リズムパターンROM、音源データROMの開発環境

今回の製品を開発するに当たって、リズムパターン

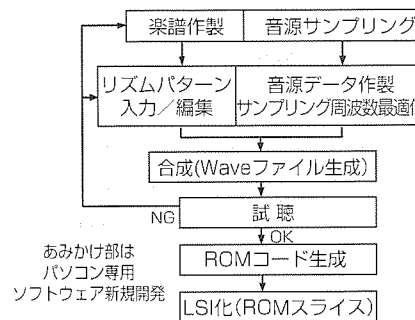


図6. リズムパターンROM及び音源データROMの作製フロー

ROMと音源データROMの開発ソフトをWindowsパソコン上で新規に作製し、トップダウン設計環境を構築した。図6のフローに示すとおり、作成したリズムパターンや音源データがLSI化した際どのような音色になるかをパソコン上でシミュレートし確認できる。さらに、作成したリズムパターンや音源データをそのままパソコン上でROMコード化するため、ROM作成時のエラーを削減することができる。

### 5. むすび

今回、パソコンを用い、リズム及びフレーズのデータの最適化を行うトップダウン設計を行った。また、独自の圧縮方式を駆使し、音質をできるだけ落とすことなく、チップ内にROMを内蔵することを実現した。さらに、細かなテンポ設定やパンポット、スタート/ストップ等種々の機能は、今後開発するLSIに应用可能である。

今後は、音源データROMとリズムパターンROMをシリーズ化し、リズムボックス付きラジカセやミニコンポ等のオーディオ製品を始め、車載用ボイスナビゲーション、音声出力機能付き玩具、家電製品など、様々な用途への展開を図っていく予定である。

# NTSC方式カラーテレビ用1チップLSI

宮本浩樹\*

## 要旨

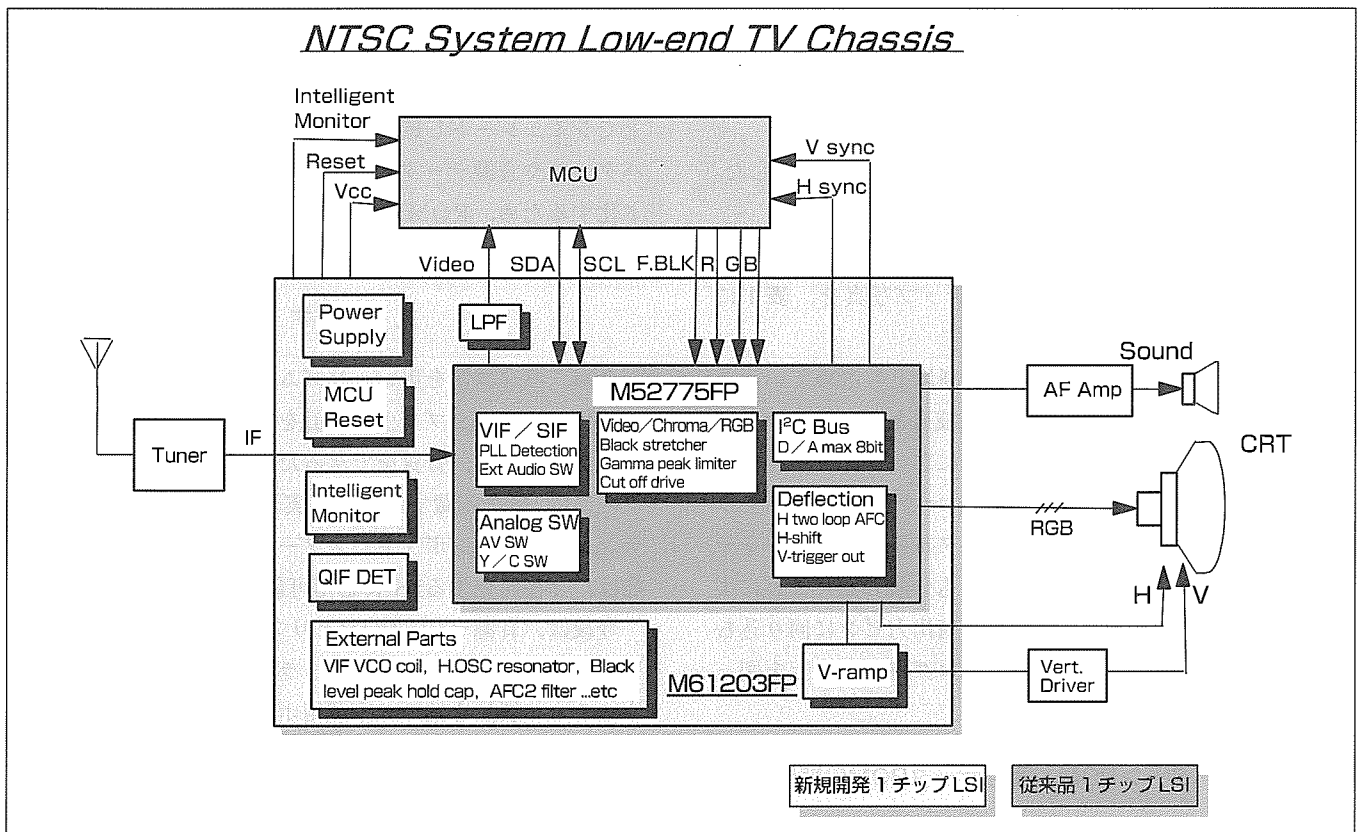
テレビ放送のデジタル化が進みつつある中で、従来からのアナログ放送対応テレビ受像機に対する需要は依然大きく、現在も年間1億台以上もの台数が世界中で生産されている。

しかしながら、その価格は年々低下を続けており、そのため各テレビメーカーはコストダウンのためのシャーシ合理化にたゆ(弛)まなく努力を払っている。

そのようなシャーシの合理化に対し、IC側ではこれまでに信号処理回路の1チップ化及びその周辺部品の削減や無調整化を順次進め、また、テレビセット生産ラインでシャーシの自動調整化が図れるI<sup>2</sup>C BUS制御機能の搭載などを行ってきた。

今回開発を行ったNTSC方式1チップ信号処理LSI“M61203FP”では、これまで外付け部品として必要であった映像中間周波検波回路のタンクコイルや水平発振回路のセラミック発振子を不要とするなどで、従来のICよりも更に周辺部品の削減を行うとともに、電源回路、マイコンリセット回路等、信号処理以外の周辺機能の取り込みによってシャーシ上部品の大幅削減を可能とした。本稿ではその詳細について述べる。

また今後は、更なる合理化のために信号処理部のCMOSデジタル化を図り、マイコンとの1チップ化及び各種デジタル機能の搭載を進めていく。



## NTSC方式カラーテレビ用1チップLSIのシステム構成

現在、大多数のカラーテレビが、合理化のために、信号処理のほとんどすべてを行う1チップ信号処理LSIを採用している。そのためこの1チップ信号処理LSIに対しては、今後も続くテレビセット合理化のために、更なる外付け部品、調整箇所の削減や、周辺機能、新機能の盛り込みが強く求められている。

## 1. まえがき

既存のテレビ受像機では、その著しい価格低下から、年々シャーシの合理化によるコストダウンが進んでおり、なかでも北米市場における普及機クラスのテレビでその傾向が顕著である。

今回その北米普及機テレビセットをメインターゲットに、従来のLSIよりも更なる部品の削減と周辺回路の内蔵化を進め、シャーシ合理化に大きく寄与するI<sup>2</sup>C BUSコントロールNTSC方式テレビ用1チップLSI“M61203FP”を開発した。

## 2. 製品の特長

図1にこのICのブロック図を示す。また、表1に当社従来品との比較を示す。

このICは以下の三つの大きな特長を持ち、これらによってテレビシャーシの部品点数を大幅に削減することが可能となった。

### (1) 外付け部品の削減

映像中間周波検波段におけるVCO (Voltage-Controlled Oscillator)回路 (VIF VCO)の外付けタンクコイルと水平回路におけるVCO回路 (H.VCO)の外付けセラミックリゾネータを不要とした。

そのほかにも、同期分離回路の入力容量、黒伸長回路の黒レベルピークホールド容量、水平回路のAFC 2フィルタ、コインシデンスフィルタなどを内蔵し、外付け部品点

数の削減を図った。

### (2) マイコンとの接続容易化

OSD用にマイコンへ入力するHシンクとVシンクパルスの出力端子を独立して設けた。また外部RGB入力端子は従来はアナログ入力形式であったが、このICでは、デジタル/アナログのどちらの入力形式にも対応し、より部品点数の少ないデジタル入力の選択も可能である。さらに、ビデオスイッチ出力端子から直接CCDマイコンへ接続ができるようON/OFF切換えが可能なLow Pass Filterを内蔵した。

### (3) 周辺回路の取り込み

新たな試みとして、マイコン及びこのIC自身の電源を供給する電源回路と、このマイコン用電源出力電圧に連動したマイコンリセット回路を内蔵した。

## 3. コイルレス/リゾネータレスVCOと無調整AFT

VIF VCOでは、等価インダクタンスであるジャイレータ回路を用いることで外付けコイルを不要とした。またH.VCOでは、チップ内のコンデンサ容量値と電流値で発振周波数が決まるマルチバイブレータ形式で発振回路を構成することにより、外付けのセラミックリゾネータを不要とした。しかしながら、これらVCOの発振周波数は基本的にチップ内素子の定数で決定されるため、ウェーハプロセスの製造ばらつきにより、そのフリーラン周波数も大きくばらつく。

そこで、VIF VCO、H.VCO共に、水晶を用いることに

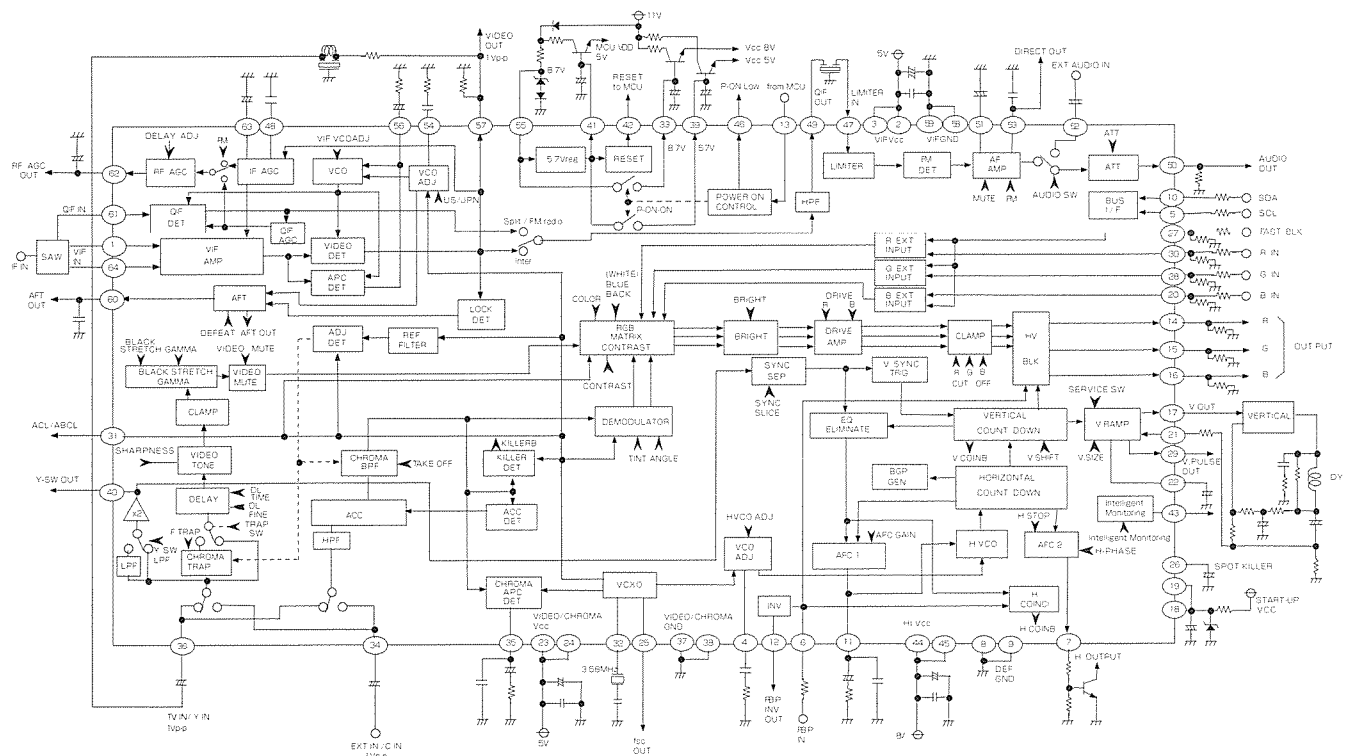


図1. M61203FPのブロック図

表1. 従来ICとの機能比較

項目	M61203FP	M52775FP
ウェーハプロセス／パッケージ	0.8μm BiCMOS／64QFP	1.5μm BIP／64QFP
VIF VCOコイル	内蔵	外付け
AFT調整	無調整	VIF VCOコイルで調整
音声方式	スプリット／インターキャリア (QIF DET内蔵)	インターキャリア
FMラジオ機能	あり	なし
CCD用Video switch Low Pass Filter	内蔵	外付け
黒ピークホールド容量	内蔵	外付け
fsc(3.58MHz)出力端子	あり	なし
外部RGB入力	アナログ／デジタル入力	アナログ入力
スポットカラー機能	あり	なし
同期分離入力容量	内蔵	外付け
水平VCOリゾネータ	内蔵	外付け
水平AFC2フィルタ	内蔵	外付け
コインシデンスフィルタ	内蔵	外付け
強制水平フリーランモード	あり	なし
強制垂直フリーランモード	あり	なし
垂直フリーラン周波数	60Hz	54Hz
垂直出力形式	ランプ／パルス	パルス
垂直反転パルス出力	あり	なし
インテリジェントモニタリング機能	あり	なし
電源回路	あり	なし
マイコンリセット出力	あり	なし

よって発振周波数が非常に安定しているクロマVCXOの出力(3.58MHz)を基準信号にしたフリーラン周波数自動調整回路を備えた。図2にVIF VCO及びAFTのシステムブロック図を、図3にH.VCOのシステムブロック図を示す。

AFTについても同様に、クロマVCXOの3.58MHzを基準信号としてVIF VCOの周波数変化を検知する回路で構成した。

従来のAFTでは、センター周波数の調整をVCOコイルを回すことにより、しかも周波数的に高い精度で行う必要があった。しかしこのICでは、クロマVCXOの安定性から非常に周波数的精度が良く、しかも温度的にも安定したAFT出力が得られ、センター周波数の調整を不要にした。

なおこのVIFは、米国等の45.75MHzと日本の58.75MHzの2種の間周波に対応している。

今回NTSC方式の1チップICとして初めて0.8μm BiCMOSウェーハプロセスを採用し、これらフリーラン周波数自動調整回路及びAFT回路の大部分をCMOSで構成した。

#### 4. 電源回路とマイコンリセット回路

このICでは、マイコン及びこのIC自身の電源回路とマイコンリセット回路を内蔵した。

図4にこれら電源・リセット回路のブロック図を示す。55ピンに定電圧化した8.7Vを加えると、バンドギャップ回

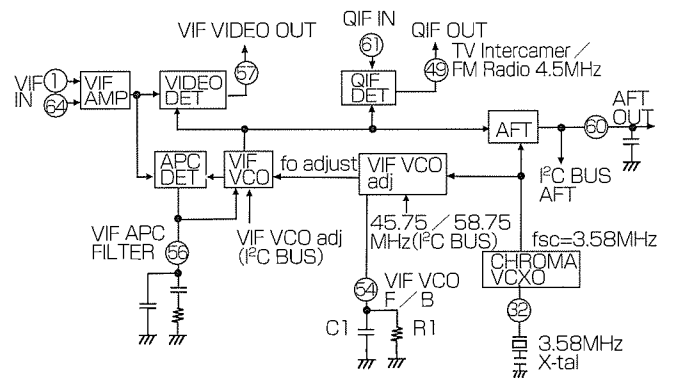


図2. VIF VCO及びAFTのシステムブロック図

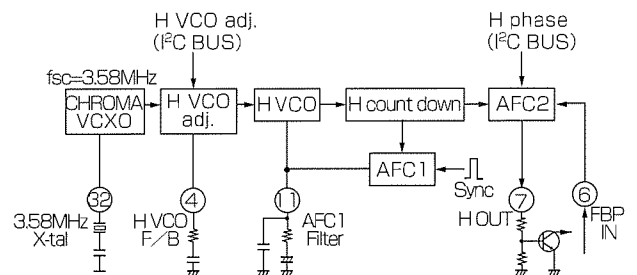


図3. H.VCOのシステムブロック図

路によって41ピン及び39ピンに5.7Vが出力される。また33ピンには55ピンの8.7Vがスルーして出力される。これらの

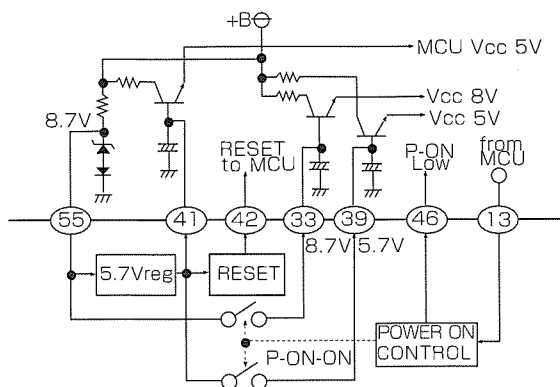


図4. 電源・リセット回路のブロック図

電圧出力ピンにバッファトランジスタを付け、5V、8Vの電源を得る。41ピンはマイコン用電源出力であり、これは常時出力される。一方、33、39ピンはこのIC自身の電源で、バッファを通した後、ICの各Vccピンに接続される。これら33、39ピンについては13ピンによってON/OFFの制御が可能であり、パワーセーブモードへの対応が可能となっている。

また、42ピンからはマイコン用電源41ピンの出力電圧に連動したリセット信号が得られる。

### 5. 新付加機能

#### (1) インテリジェントモニタリングシステム

ICの主な出力端子や一部チップ内の波形やDCを43ピンに出力させてモニタができるインテリジェントモニタリング機能を内蔵した。モニタ可能な項目を表2に示す。各項目の切換えはBUSによって行う。

この出力端子43ピンをマイコンのA/Dポートに接続することでIC各部のモニタが行え、様々な応用が期待できる。

#### (2) FMラジオ

このICはQIF検波器を備え音声スプリットキャリア方式に対応可能であるが、このQIF検波器に簡易FMラジオモードを設けた。これには、FMラジオ放送のキャリアをテレビ音声と同じ41.25MHz又は54.25MHzに変換する専用チューナーと組み合わせることによって対応可能となる。このとき、VIF VCOは45.75MHz又は58.75MHzに固定され、QIF検波器からはテレビ受信時と同じ4.5MHzのキャリアが出力され、後のSIF回路で元の音声信号に変換される。

### 6. 今後の展開

次世代のアナログ放送テレビ信号処理LSIについては、チューナー1チップLSIとベースバンド信号処理/マイコン1チップLSIの2チップ構成で開発を行っていく。

チューナー1チップLSIは、チューニング用ミキサ/オ

表2. インテリジェントモニタリングシステム項目

Output Signal	Pin No.
VIF APC filter	56
AFT output	60
RF AGC output	62
FM direct output	53
Audio bypass filter	51
TV/Y input	36
R output	14
G output	15
B output	16
ACL	31
Composite sync.	-
H. output	7
VIF Vcc	2, 3
Start up Vcc	18, 19
Video / Chroma Vcc	23, 24
Hi Vcc	44, 45

シレータと周波数シンセサイザチューニング用PLL、それに加え、現在は1チップテレビ信号処理LSIに組み込まれている映像・音声中間周波処理機能を一つのチップにまとめたものである。

一方、ベースバンド信号処理/マイコン1チップLSIでは、テレビベースバンド信号処理部のCMOSデジタル化を行ってマイコンとの一体化を図るとともに、ピクチャーインピクチャー、Y/C分離等、多彩なデジタル機能の内蔵化を図る。また、将来的には、デジタル放送デコーダとの融合の可能性も広がる。

また、映像・音声中間周波処理部をベースバンド信号処理部から分離しチューナー用ICにまとめることによって、デジタルノイズから開放され、性能の確保を容易にする。さらに、チューナー1チップLSI単体は、映像・音声中間周波処理機能を必要とするVCR用チューナーの低価格化・小型化にも大きく寄与することができる。

### 7. むすび

以上述べたように、従来に比べて大幅にシャーシ上の部品削減が可能なNTSC方式テレビ用1チップLSIを開発した。このLSIを使用することで、テレビセットの更なる合理化が図れる。

今後は、アナログ回路のCMOSデジタル化によってマイコンとの1チップ化、機能アップを図り、より一層テレビセットの合理化に寄与していく所存である。

### 参考文献

- (1) 出田 洋：1Hディレイライン内蔵カラーテレビ用1チップLSI，三菱電機技報，72，No.3，242～245（1998）

# 40Mビット3Dグラフィックス用 フレームバッファメモリ (3D-RAM5)

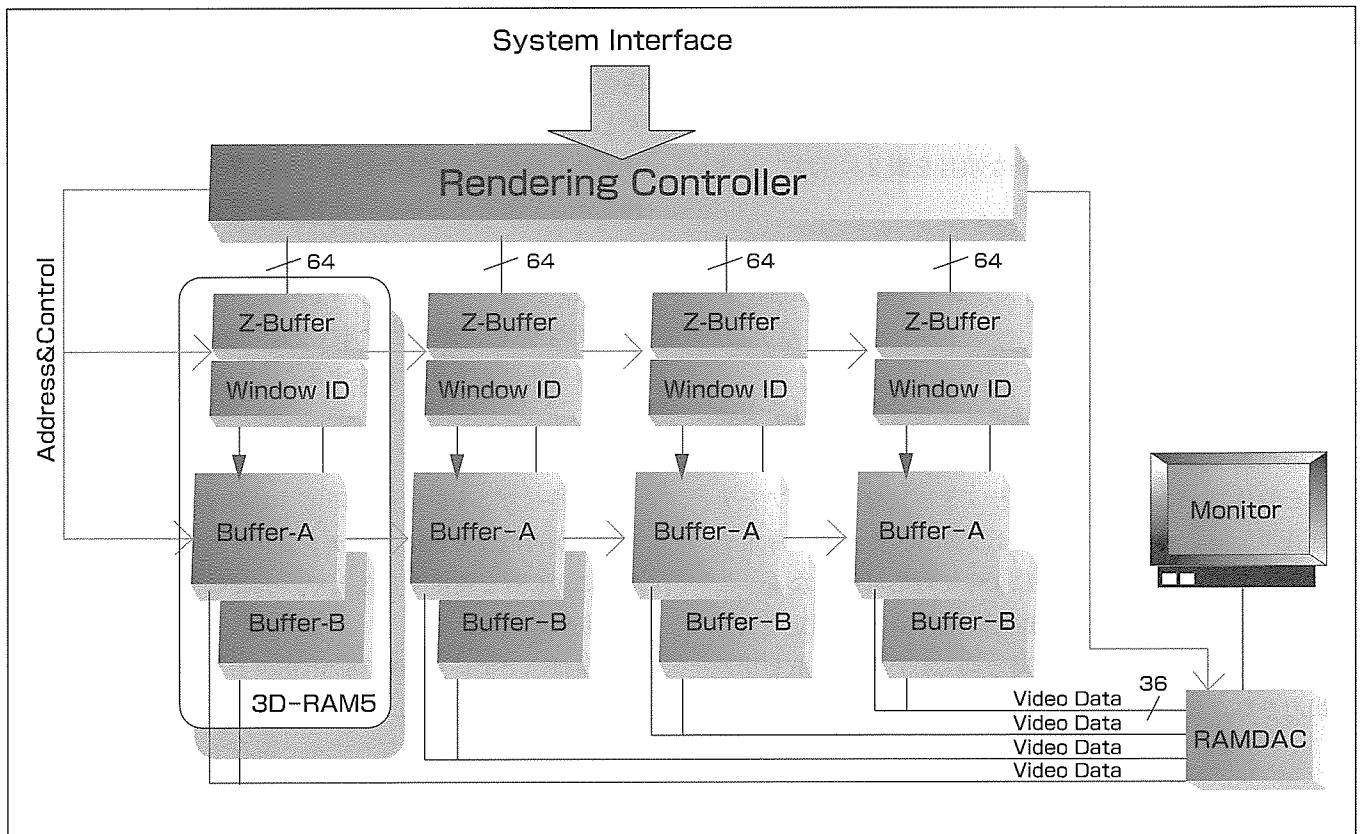
京屋貴則\*  
中村 尚\*  
山本耕次\*\*

## 要 旨

三菱電機㈱では、三次元グラフィックス用フレームバッファメモリ (3D-RAM) を1995年に世界で初めて製品化し、以来、国内外のワークステーション、パソコン、グラフィックスアクセラレータボード、ビデオエフェクタ等を製作しているメーカーに採用され、競争の激しい三次元グラフィックス市場において常にリーディングデバイスの地位を確保してきた。

今回、市場の急速な性能向上トレンドをとらえ、同時に更なる搭載システムコスト低減を実現するため、“3D-RAM第五世代”の開発を行った。

搭載メモリ容量と内部バス幅は従来比で4倍、動作周波数は143MHzを達成しており、今後のグラフィックス市場でも最も高性能な三次元処理が実現できる。



## 三次元グラフィックスにおけるフレームバッファメモリ使用例

3D-RAM第五世代は、三次元グラフィックスシステムで使用される様々な画像処理に必要な機能をワンチップ化した次世代三次元グラフィックスに対応したデバイスであり、従来のフレームバッファメモリに比べ、高速で、しかも低コストといった特長を持っている。

### 1. ま え が き

三次元グラフィックスの画像処理では、表示データに新しいデータを追加するたびに、既に格納されている大量の画像データをフレームバッファメモリから一度外部に読み出し、レンダリングLSI(描画用LSI)で新しいデータに演算した後、再びフレームメモリに書き戻す処理を頻繁に行わなければならない。

一般的なフレームバッファメモリでこれを高速に行おうとすると、フレームバッファメモリと外部のレンダリングLSIを接続するバス(バンド幅)がボトルネックとなってしまう、描画性能の低下を招いてしまう。

この対策として、通常は使用メモリチップの数を増やし並列処理するなど描画性能向上を図っているが、この点が、高速・高性能な三次元グラフィックスシステムが高コスト傾向になる理由にもなっている。

図1に三次元グラフィックスシステムを示す。

三菱電機株は、これらの課題を解決するため、演算コアを内蔵したフレームバッファメモリとして3D-RAMの開発を開始し、1995年に世界で初めて製品化した。以来、チップシュリンク、機能追加などの小変更を経て、現在3D-RAM第四世代の量産を行っている。

しかしながら、昨今の画像処理データの急激な増加とレンダリングLSIのスピードアップに従って、更なる大容量化・高速化が要求されている。また、演算コアを内蔵しているため、1チップ当たりの制御信号ピン数が多く、例えば多数個をグラフィックスアクセラレータボードに実装すると、高価な多層基板を使わないとボード実装密度の低下が顕著になってしまう。

今回、従来品(3D-RAM第四世代)に代わるものとして、フレームバッファメモリ 3D-RAM 第五世代(M 2

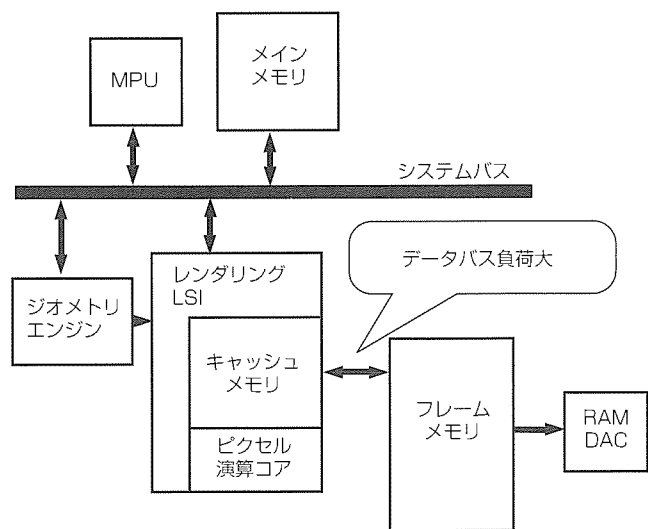


図1. 三次元グラフィックスシステム

V40092D)の開発を行った。

第一世代から第四世代まで踏襲してきたすべてのアーキテクチャを見直し、次期三次元グラフィックスボード向けに、再度、最適に構成し直した。

### 2. 3D-RAM第五世代の構成

図2に3D-RAM第五世代のチップ写真、図3にチップ構成を示す。

3D-RAM第五世代は、四つのスライス(A, B, C, D)と呼ばれる機能単位で構成されている。それぞれのスライスにはフレームバッファメモリとしての10MビットDRAM,

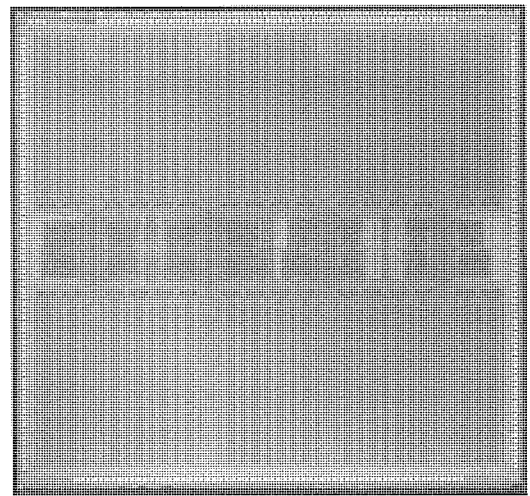


図2. チップ写真

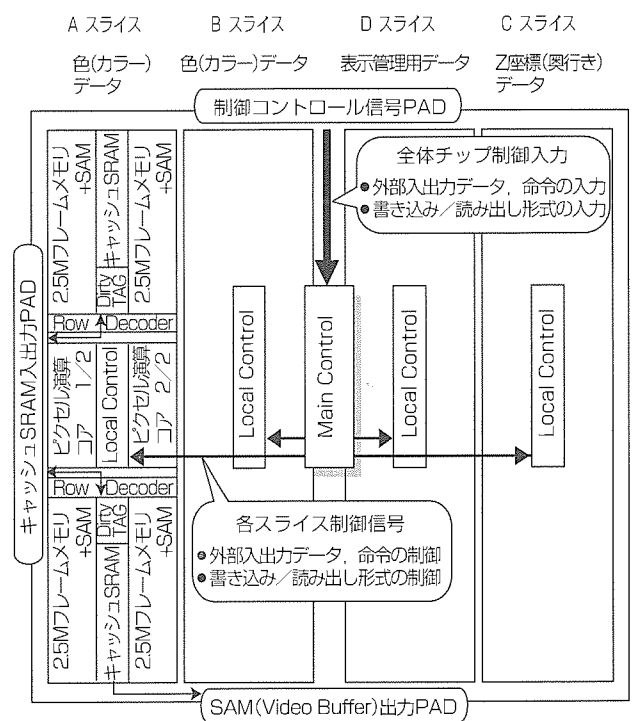


図3. 3D-RAM第五世代のチップ構成

ビデオバッファとしての1KビットSAM (Video Buffer), キャッシュメモリとしての2KビットのトリプルポートSRAM (Pixel Buffer), ピクセルALU (Pixel ALU), ダーティタグ (Dirty TAG)等が含まれており, スライス中央に配置された周辺回路 (Local Control)が動作を制御している。またチップ中央には四つのスライスを統合的に制御する回路 (Main Control)を配置してあり, 外部入出力データの制御, 各スライスへのデータの受渡し, 書き込み及び読み出し形式の制御などを行っている。

この四つのスライスは, 基本的に, A, Bスライスが色 (カラー)データ格納用, CスライスはZ座標 (奥行き)データ格納用, DスライスはStencil, Overlay, Window IDなどの表示管理用データの格納用として割り当てられ機能する。

### 3. 3D-RAM第五世代の機能, 特長

3D-RAM第五世代は, 従来世代品との互換性を保持し, その基本機能を受け継ぐとともに, 客先の多様なニーズにこたえるための新規機能が追加されている。

客先で設計しているコントローラ的设计変更なしに, 従来の3D-RAM 4個分と同等の機能ユニットとして置き換えることができる。

ここでは, 従来品からの三次元グラフィックスシステムに適した特長の説明を含め, 3D-RAM第五世代の新機能を説明する。

#### 3.1 ピクセルALU

三次元グラフィックスシステムでは, 表示中のDST (Destination)データを外部に読み出し, 新しく追加するSRC (Source)データとの演算処理を行った後, もう一度, この処理結果のデータをフレームメモリに書き戻す動作を頻繁に行わなければならない。

3D-RAMのピクセルALU (演算コア)は, 内部に8ビット乗算器, 10ビット加算器, 32ビット比較器などを持ち, 例えば三次元グラフィックス処理で行われる下式のような演算も内部で実行できる。

なお, ピクセルとは, ディスプレイに表示できるドットの最小単位である。

$$\text{New Data} = a \times \text{SRC Data} + (1 - a) \times \text{DST Data}$$

ここで,  $a$ は混合係数である。

この際, 比較器は, DST DataとSRC Dataの奥行きを比較し, どちらが手前にあるか判定するためなどに使われる。

これら演算ユニットとキャッシュとしてのトリプルポートSRAM (ALU $\leftrightarrow$ SRAM $\leftrightarrow$ DRAM相互にデータの受渡しが可能)を3D-RAM内部に取り込んだことにより, 外部からデータ入力するだけで, 内部で演算, データ書換えの処理が容易に行え, 実質的なバンド幅が拡大され, 高速化を図ることができた。

図4にピクセル演算コアの機能を示す。

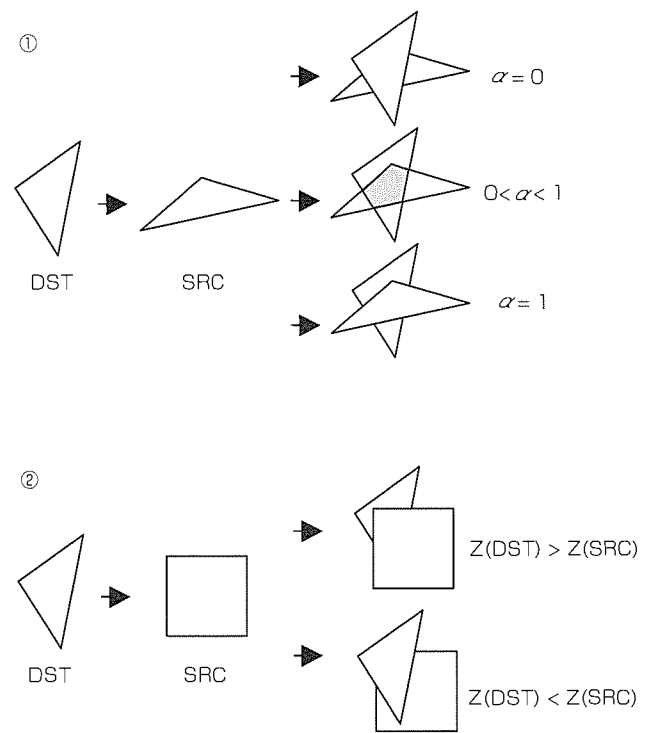


図4. ピクセル演算コアの機能

#### 3.2 ピクセルフォーマットセレクトレジスタ

3D-RAM第五世代では, 内部に特殊機能レジスタを追加することで, 外部からのプログラミングにより, 各スライスへの入力データの割り付け形式, また外部へのデータ出力形式を柔軟に変更することができる。これにより, レジスタを書き換えれば, 外部コントローラの仕様に合わせて1ピクセル当たり128ビット, 96ビット, 64ビット, 8ビット等の表示に対応でき, 多様なサイズのディスプレイやデュアルディスプレイにも適応できるようになった。

表1に3D-RAM第五世代のピクセルフォーマットを示す。

#### 3.3 出力インタフェースオプション

3D-RAM第五世代は, 内部動作電圧が2.5Vであるが, 従来品 (3.3V LVTTTL)との置き換えが前提のため3.3V系出力に対応する必要がある一方, 将来2.5V系ボードへの転換を考慮する必要があるため, オプション電源VDDQの切換えのみで3.3V LVTTTL/2.5V LVTTTLレベルの切換えが可能ないようにした。また, 従来, データ出力回路にはNMOSを使用し外部電源をチップ内部で昇圧させ, 出力段でのロスをなくしていたが, 同じ方式を使用すると, 5V近い昇圧レベルが必要となってしまう, データ出力回路すべてにわたって安定電圧を保持することは非常に困難であった。今回, この回路部分をCMOSタイプに変更することで, このスペックに対応するとともに, 出力のための内部昇圧回路を削除し消費電力の低減を図っている。



表1. ピクセルフォーマット一覧

Mnemonics	RGB(カラー)	$a$	Overlay	Win ID	Z	Stencil	Misc.
128(O2W)	(8, 8, 8) × 2	8 × 2	8 × 2	8	32 max.	8 max.	0
128(A2OWZ28)	(8, 8, 8) × 2	8 × 2	8	8	28 typ.	4 typ.	16
128(A2OWZ28)	(8, 8, 8) × 2	8 × 2	8	8	32 max.	8 max.	8
96bits	(8, 8, 8) × 2	8 × 2	4	4	24	0	0
	(8, 8, 8) × 2	8	8	4	28	4	0
	(8, 8, 8) × 2	0	8 × 2	4	28	4	0
	(8, 8, 8) × 2	8 × 2	4	4	20	4	0
	(8, 8, 8) × 2	8 × 2	4	8	16	4	0
Dual 64 bits	(4, 4, 4) × 2	4 × 2	4	4	24	0	0
	(5, 6, 5) × 2	0	4	4	24	0	0
Quad 32 bits	8 × 2	0	4		12	0	0
	8 × 2	0	0		16	0	0
Octet 16 bits	8	0	2		6	0	0
	8	0	0		8	0	0

注 1 ピクセルを構成するデータの割り付けを表す。

### 3.4 256ピンプラスチックBGAパッケージの採用

3D-RAM従来品の制御信号ピンの見直しと、内部データバスの共有化、3D-RAM従来品4個分に対応する規模のフレームバッファメモリと演算ロジックを1チップに集積したことなどにより、従来品と同一機能を実現するのに必要な部品点数は1/4、外部信号ピン合計は1/2までに削減することができた。

また、従来のQFPパッケージから新たに高密度実装に適した256ピンPBGA(Plastic Ball Grid Array)パッケージ(ボディサイズ17mm×17mm)を採用することにより、グラフィックスボード上の実装面積を1/6と飛躍的に縮小することができ、ボードの小型化とコスト低減を実現している。

図5に256ピンPBGAパッケージの外観を示す。

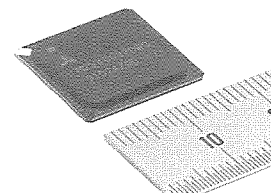


図5. 256ピンPBGAパッケージ

## 4. むすび

今回の3D-RAM第五世代の開発では、動作周波数の高速化(143MHz)、多様なデータフォーマットへの対応を可能にし、また、制御信号、内部アーキテクチャの見直しを

行うことで、3D-RAM従来品4個分の処理機能を持ちながら、実装面積1/6の実現を達成することができた。

三次元グラフィックス市場においては引き続き激しい性能競争が繰り広げられているが、今後も市場を主導するため、3D-RAMの更なる高速化・高機能化・小型化を目指していく予定である。

### 参考文献

- (1) 中村 尚, 井上一成, 河合浩行: 三次元グラフィックス用フレームバッファメモリ(3D-RAM), 三菱電機技報, 69, No 3, 292~296(1995)

# 0.18 $\mu$ m256Mビットシングルデータレート／ ダブルデータレートSDRAM

古谷清広\*  
瀬戸川 潤\*  
安間正俊\*

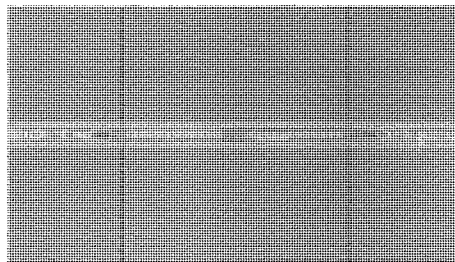
## 要 旨

近年の目覚ましいパソコンの高性能化に伴い、汎用コンピュータはもちろん、パソコンやワークステーションを統合するサーバの能力が一層強化されている。これらのハイエンド機種の主記憶を構成するDRAMには、システム全体の制御・処理能力を向上させるため、より大容量のデータを高速に転送できる機能が求められている。

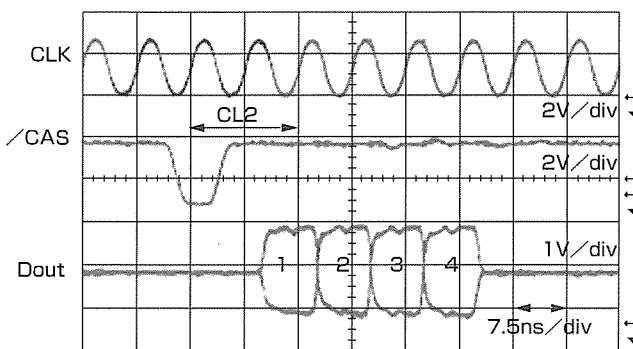
三菱電機では、このようなニーズに対応し、0.18 $\mu$ mのCMOSプロセスを採用することにより、現在主流である64Mビットや128MビットSDRAMとパッケージ互換性のある256MビットのSDRAMと、従来のSDRAMの2倍のデ

ータ転送速度を持つJEDEC標準準拠のダブルデータレートSDRAMの開発を行った。

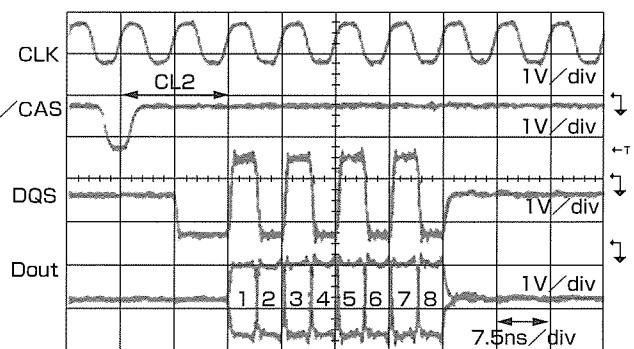
今回開発した256MビットSDRAMでは、アレー構成、データバス回路の最適化により、チップ面積の増加を抑えつつ、143MHzの高速動作が可能であり、PC133(PC133仕様準拠@2-2-2/CL-tRCD-tRP)やPC266に対応可能である。さらに、サーバの超大容量主記憶に対応するため動作電流の低減を図っているため、ノートパソコンの小型化・低消費電力化などにも好適である。



256MビットSDRAMのチップ写真



シングルデータレートSDRAMの出力波形  
(CL=2 @ 133MHz, BL=4)



ダブルデータレートSDRAMの出力波形  
(CL=2.0 @ 133MHz, BL=8)

## 256MビットSDRAMのチップ写真と動作波形

メタルマスクマスタスライスでシングルデータレートSDRAMとダブルデータレートSDRAMが切換え可能である。ダブルデータレートSDRAMでは、クロックの両エッジでデータが入出力され、シングルデータレートSDRAMの2倍のデータ転送速度が実現される。

## 1. ま え が き

近年、種々の超高速DRAMの開発が繰り返されている。この中で、数ギガバイトから数十ギガバイトに達する主記憶容量を必要とするハイエンドのワークステーションやサーバには、従来のシングルデータレートSDRAM (SDR SDRAM) の高速版であるPC133品や、SDR SDRAMの2倍の転送速度を持つダブルデータレートSDRAM(DDR SDRAM)が、低消費電力性、増設性、誤り検出・訂正(ECC)対応の点で有利である。

今回、メタルマスクによってSDR SDRAMとDDR SDRAMに切り換え可能な256MビットSDRAMを開発した。

本稿では、その製品概要、プロセス・設計技術について述べる。

## 2. 製品概要

表1に製品概要を示す。この製品は、

- (1) 0.18 $\mu$ m CMOS微細加工プロセス、アレー構成の最適化、高速回路技術により、現行の64M、128M品とのパッケージ互換性を実現するチップ面積と143MHzの高速動作を両立
- (2) 超大容量主記憶に対応するため、動作電流、待機時電流、セルフリフレッシュ電流を低減する低消費電力回路を採用

表1. 製品概要

SDR SDRAM	
語構成 (型名)	64M×4      32M×8      16M×16 (M2V56S20TP/M2V56S30TP/M2V56S40TP)
動作電圧	3.3V±0.3V
リフレッシュ	8,192サイクル/64ms
パッケージ	54ピン 400mil TSOP (II)
インタフェース	LVTTL
動作周波数	100MHz      133MHz
CASレイテンシ	2, 3      2, 3
バースト長	1, 2, 4, 8, Full Page
バンク構成	4
その他の機能	バーストストップ, シングルライト等
DDR SDRAM	
語構成 (型名)	64M×4      32M×8 (M2S56D20TP/M2S56D30TP)
動作電圧	2.5V±0.2V
リフレッシュ	8,192サイクル/64ms
パッケージ	66ピン 400mil TSOP (II)
インタフェース	SSTL2
動作周波数	100MHz      133MHz
CASレイテンシ	1.5 2.0 2.5      1.5 2.0 2.5
バースト長	2, 4, 8
バンク構成	4
その他の機能	出力ドライブ能力切換え, DLLディスエーブル等

という特長があり、SDR SDRAMとDDR SDRAMはそれぞれ、JEDECのPC133とPC266の規格を完全に満足している。

## 3. プロセス技術

この製品の主なプロセス技術を表2に示す。光学シミュレータによってマスクデータを補正するOPC(Optical Proximity Correction)技術によって0.18 $\mu$ mの微細加工をKrFエキシマリソグラフィ+変形照明で実現している。

また、低抵抗なシリサイド層のワード線とタングステン層のビット線は、アレー動作の高速化と面積縮小に役立っている。

## 4. チップ構成

図1に256MビットSDRAMのチップ構成を示す。256Mビット全体が8個の32Mビットブロックに分割されている。二つの32Mビットブロックで1バンクを構成し、各32Mビットブロックは最大8ビットのデータをアクセスできる。したがって、SDR SDRAMの場合は×16品まで対応できる。DDR SDRAMの場合は、二つの32Mビットブロックから同時に選択したデータを列アドレスCA0に従って順序付けてSDR SDRAMの2倍の転送速度でアクセスするので、×8品まで対応できる。

ワード線は、副行デコーダによってバッファされる階層行デコーダ方式で選択される。ビット線は256セル単位で分割され、シェアドセンスアンプでセンス増幅される。

ワード線とビット線の低抵抗化により、ワード線の分割数を32Mビットブロック当たり12に抑え、ビット線イコライズ回路もシェアドセンスアンプに含めることで、チップ面積を縮小しながら、tRCD, tRPはPC133仕様準拠@2-

表2. 主なプロセス技術

デザインルール	0.18 $\mu$ m CMOS
リソグラフィ	KrFエキシマリソグラフィ+変形証明
メモリセル	円筒スタック型セル
ゲート長	0.19 $\mu$ m
素子分離	STI(Shallow Trench Isolation)
配線層	1 シリサイド 1 タングステン 2 アルミ

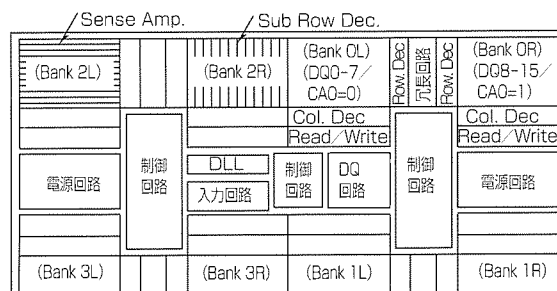


図1. チップ構成

2-2/CL-tRCD-tRPに対応できる実力を持っている。

DDR SDRAM時に電源電圧が2.5Vとなるが、ワード線電位や基板電位を電源電圧が3.3Vの場合と同じレベルを維持できるようにチャージポンプの能力を強化している。

また、DLL(Delay Looked Loop)回路をクロックバッファ近傍に配置し、クロック周りのレイアウトを最適化した。

## 5. 低消費電力回路設計

### 5.1 動作電流の低減

チップ長辺を貫通するデータバスの寄生容量は約6pFに達する。3.3V品も降圧回路によって内部電圧は2.5Vに下げているが、データバスがフルスイングした場合、×16品では、データバスの充放電電流が133MHz動作で35mAになる。そこで今回、図2に示す小振幅データバス回路を採用した。データバスドライバ回路は、データアンプによって増幅されたメモリセルのデータを一定時間 $t_d$ だけドライブする。さらに、従来はデータバスをGNDレベルにリセットしていたが、今回は中間レベルにリセットしているので、データバスの振幅は0.5V程度となり、データバスの充放電電流は1/5の7mAに低減される。この結果、コラムバースト電流 $I_{CC4}$ が90mA(@ $V_{CC}=3.6V$ , 133MHz, ×16 SDR SDRAM)に低減された。

### 5.2 待機時電流の低減

多数のDRAMを搭載するサーバ等のハイエンド機では、待機時電流の低減も重要である。CKE="L"の場合、パワーダウンモードに入り低消費電力化するが、今回は、CKE="H"でも、チップセレクト信号(/CS)が"H"の期間は、内部アドレス信号が変化しないようにした。この結果、 $I_{CC2N}$ 、 $I_{CC3N}$ はそれぞれ8mA, 11mA(@ $V_{CC}=3.6V$ , SDR SDRAM)に低減された。

### 5.3 セルフリフレッシュ電流の低減

図3に示すように、ワード線は、主ワード線(MWL)と副デコード線SD0~3の論理積で選択される。副デコード線は多数の副行デコーダと共通接続されているので負荷容量が大きく、副デコード線とシェアドセンスアンプの制御信号(BLIL, BLIR)の負荷容量は合計で約200pFに達する。

これらの信号は内部のチャージポンプ回路で発生した昇

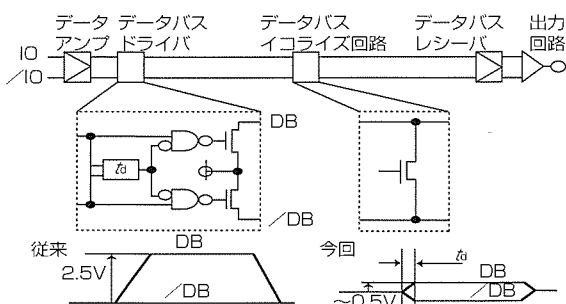


図2. 小振幅データバス回路と動作波形

圧電位によって駆動されるので、この充放電回数を減らすことは低消費電力化に有効である。

ところで、セルフリフレッシュ時は、ワード線は、内部で発生されたアドレスで順に選択されるので、図のように内部で発生されるアドレスを4置きにすれば、副デコード線を毎回リセットする必要がない。また、同じビット線に接続されたメモリセルをリフレッシュしている期間は、センスアンプの制御信号(BLIL, BLIR)をリセットする必要がない。今回の256MビットSDRAMでは、この制御法を採用することで、セルフリフレッシュ電流が250μA低減され、1.2mA(@リフレッシュ周期8μs)に抑えられている。

## 6. DDR設計

### 6.1 階層デジタルDLL

DDR SDRAMでは、DLLを搭載することにより、出力データをクロック信号と同じタイミングで出力している。図4に今回採用したDLLの構成図を示す。出力バッファは、入力バッファの出力を $T-t_i-t_o$ ( $T$ :クロック周期,  $t_i$ :入力バッファ遅延,  $t_o$ :出力バッファ遅延)だけ可変遅延回路で遅延させたタイミングでトリガされることで、外部クロックと同位相のデータを出力する。可変遅延回路の遅延量は、位相比較回路によってフィードバック制御される。

図の構成では、粗い可変遅延回路と細かい遅延回路の組合せで所要の遅延量を得ているので、すべて細かい遅延回路で構成した場合に比べて、動作する遅延回路の段数が少なくなる。また、可変遅延回路はカウンタの値に応じて信号が入力される位置が切り換わるため、周期 $T$ が短いほど動作する遅延回路の段数が減る。この構成により、今回のDLLは、3mA(@133MHz)に低消費電力化されている。

### 6.2 高速データ転送技術

この製品では、DDR SDRAM時にも広い動作周波数を保証するために、データ転送を制御する技術を新規に採用している。図5にタイミング図を、図6に周期 $T-V_{DD}$ シ

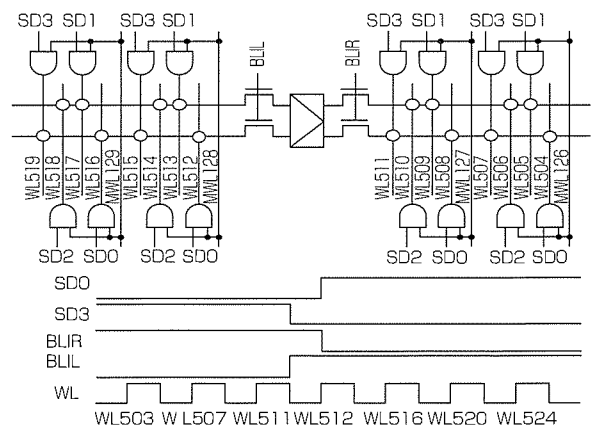


図3. セルフリフレッシュ電流の低減

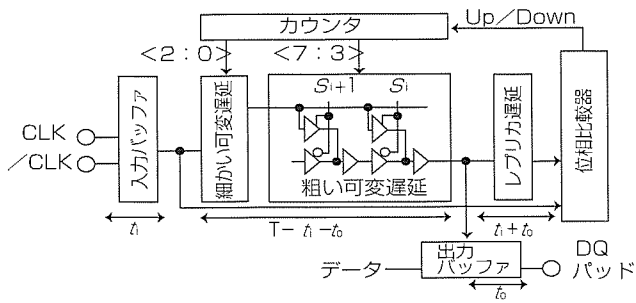


図4. 階層デジタルDLL

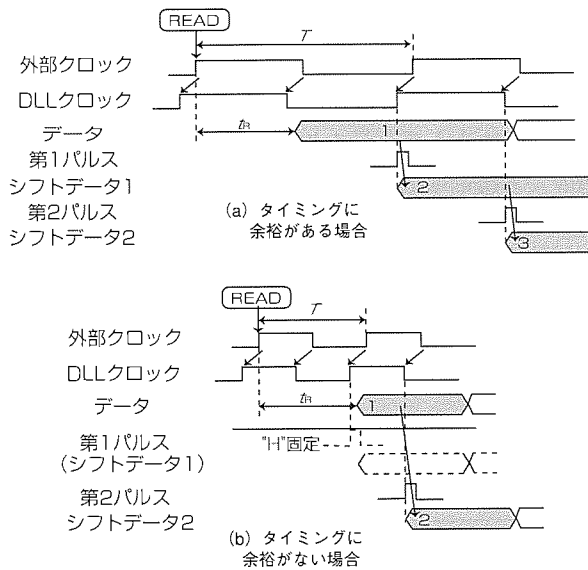


図5. タイミング図

ユーモを示す。

リード命令によってメモリセルからデータバスに出力されたデータはシフトレジスタに取り込まれ、指定されたレイテンシ後に外部端子に出力される。

ここで、リード命令からデータバスに出力されるまでの時間( $t_n$ )は一定であるのに対し、取り込みパルスは、クロックから作られるため、周期 $T$ が短くなるとデータを取り込めなくなる。特にDDRでは、外部クロックより位相を3ns程度速めたDLLクロックで取り込むため、取り込みタイミングが固定された従来手法では高周波動作が実現できない。この問題に対し、今回の製品では、データと取り込みパルスの位相を比較する回路を設け、取り込みタイミングに余裕がある場合は第1パルスで取り込み(図5の(a))、余裕がない場合は第1パルスを常に開いた状態にし、代わって第2パルスで取り込むことによって解決した(図5の(b))。

この結果66MHz以下の低周波から143MHz( $CL=2$ )以上の高周波まで、広い動作周波数を達成した(図6)。

またこの手法はデバイス内に判定回路を持ち常に最適な

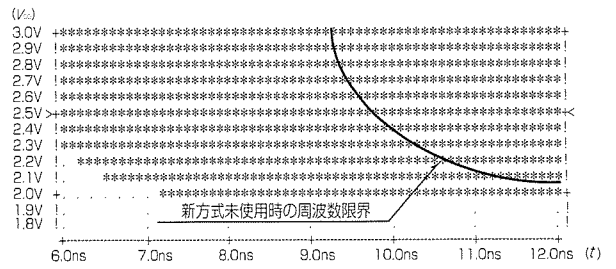


図6. 周期 $T$ - $V_{DD}$ シミュレーション ( $T_a=27^\circ C$ ,  $CL=2.0$ ,  $DLL\_Enable$ )

転送経路を選択するため、プロセスのばらつきや電源電圧、温度等の外部要因に対しても信頼性の高いデータ転送を実現している。

### 6.3 SDR/DDR共通設計手法

DDR SDRAMは、データレート、出力タイミング、電源電圧の仕様がSDR SDRAMと異なる。

今回の製品では、これらの違いをインタフェース回路に集約し、それ以外の回路とレイアウトを共通化したことによって、SDR SDRAMと同一の基本特性を示し、かつ設計、プロセス、評価の効率向上とコストの低減、高い信頼性を達成しながらDDR機能を実現している。

インタフェース回路は $\times 8$ のDDRで入力されたデータをデータストロポ(DQS)の“H”エッジと“L”エッジでそれぞれラッチすることによって $\times 16$ のSDRに変換し、これ以降はSDR動作で書き込みを行っている。同様に読み出しも $\times 16$ のSDR動作で行い、クロックの“H”エッジと“L”エッジで $\times 8$ 単位で出力することによってDDR出力を実現している。

また、SDR SDRAM時は外部電源電圧3.3Vであるが、降圧回路によって内部ではSDR SDRAM、DDR SDRAMとも2.5Vで動作している。

一方、外部電源電圧2.5VのDDR SDRAM時には、不要になる降圧回路をDLL用電源として流用することにより、安定した電源電圧レベル(2.1V)と外部電源ノイズに対する信頼性を確保している。

## 7. むすび

今回、0.18 $\mu m$ プロセスとメタルマスタスライズを用いることにより、PC133対応の256MビットSDR SDRAMとPC266対応の256MビットDDR SDRAMを同一チップで開発した。

この製品は“大容量かつ小型化”“高速動作かつ低消費電力”を目指し、64Mビット品とのパッケージ互換、143MHz以上の高速動作、 $I_{CC4}$ で90mAの低消費電力を達成した。

今後も市場要求にマッチした製品展開を進めていく所存である。

# 0.18 $\mu$ mプロセスを用いた8MビットSRAM

## 要旨

低消費電力SRAM(CMOSスタティックRAM)は、同期信号や記憶保持動作が不要で使いやすく、低電圧でのデータ保持が可能、消費電流も少なく電池で長期間のデータ保持ができるなどの特長を持つため、携帯電話、携帯端末、ICカード、OA機器、FA装置など幅広い分野で使用されている。

その中でも携帯電話市場は今最も拡大が見込まれる市場の一つであり、その携帯電話端末は高機能化・小型化の進歩が著しい。

それに伴い、必ず(須)部品の一つである低消費電力SRAMには、限られたパッケージサイズ(チップサイズ)

の中での大容量化及び低電圧動作・低消費電力化が強く要求されてきている。

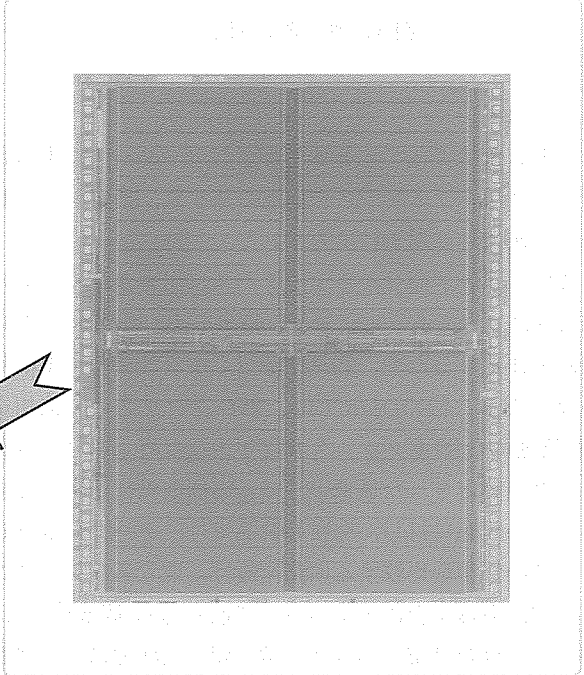
このような市場要求を満たすため、0.18 $\mu$ mCMOSプロセスを用いて8Mビットの低消費電力SRAMの開発を行った。

最新の回路設計技術と微細加工技術を駆使し、基板上に負荷のPチャネルトランジスタを形成するフルCMOS型メモリセルでも携帯電話市場の要求に耐え得るパッケージに収納可能なチップが実現できた。また、フルCMOS型メモリセルを用いたため、低電圧動作・低消費電力化も達成することができた。

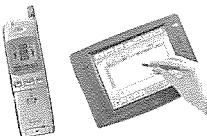
### 主な特長

- 低電圧動作 : 1.8~2.7V
- 低消費電力 :  $t_{ob}=40\mu A @ V_{cc}=2.7V, 85^{\circ}C$   
 $t_{cc}=40mA @ V_{cc}=2.7V$
- アクセス時間 : 85ns@  $V_{cc}=2.3V, 85^{\circ}C$
- メモリセル : フルCMOS型
- パッケージ : 44ピン(18.41×11.76mm)TSOP(II)  
52ピン(10.79×10.49mm)TSOP(II)
- ☆フラッシュメモリとのMCP(Multi Chip Package)にも対応可能

### チップ写真



### アプリケーション



携帯電話、PDA等の  
小型携帯機器

### パッケージ

M5M5W816TP  
44ピン TSOP(II)

M5M5W  
817KT  
52ピン TSOP(II)  
MCPにも対応可能

## 0.18 $\mu$ mCMOSプロセスを用いた8Mビット低消費電力SRAM

今回開発した8Mビット低消費電力SRAMのチップ写真と主な特長を示す。最新の回路設計技術と微細加工技術を用いてメモリセルをフルCMOS型としたため、携帯電話市場の要求に対応可能なパッケージに収納できるとともに、低電圧動作・低消費電力化も達成することができた。

## 1. まえがき

SRAMには、アクセス(サイクル)タイムの高速化を追求した高速SRAMと、動作時及びデータ保持時の低消費電力化を追求した低消費電力SRAMがある。

後者の低消費電力SRAMは、同期信号や記憶保持動作が不要で使いやすい、データ保持時の消費電流も少ないので電池を併用して不揮発性メモリが構成できるなどの特長を持っている。このため、携帯電話、携帯端末、ICカード、OA機器、FA装置など幅広い分野で使用されている。

特に携帯電話市場は、ここ数年の間に急速な伸びを見せており、今後最も拡大が見込まれる市場の一つである。この背景として、機器の小型化・高性能化の動きが急速な勢いで進んでいることが挙げられる。

とりわけ、日本国内では、単なる音声通話だけではなく電子メールを主体としたデータ通信の使用割合が増大しつつあり、さらには端末自身がインターネット閲覧機能を持つようにもなっている。それに合わせ、画面の拡大、カラー化といった充実が図られるなど、高性能化が著しい。これに伴い、必須部品である低消費電力SRAMに対しては、大容量化に対する市場要求が急速に高まってきた。

さらに、機器の小型化も進む一方である。この実現のために搭載する電池を小型化することも一つの手法であり、その部品に対しては、小型化とともに更なる低電圧動作・低消費電力化も求められている。

当社の低消費電力SRAMは、これまでの市場要求の中、256Kから4Mビットまでのメモリ容量の製品を供給してきた。製造プロセス技術としては0.25 $\mu$ m CMOSでの量産立ち上げを既に完了している。SRAM市場では、一時期他のメモリに比べ、大容量化の動きが鈍っていたことがあった。しかし、前述した携帯電話市場からの強い要求から、大容量・低電圧動作・低消費電力品に限られたチップサイズの中で実現する必要が生じてきた。そこで、今回、最新の0.18 $\mu$ m CMOSプロセスを用いて8Mビットの低消費電力SRAMの開発を行った。

本稿では、その設計・製造技術について紹介する。

## 2. 開発のねらい

表1に主な仕様とプロセス概要を示す。

今回開発した8Mビット低消費電力SRAMは、現在量産化されている4Mビット低消費電力SRAMの中でも携帯電話市場で最も使用数量の多い語構成 $\times 16$ (パッケージによっては $\times 8 / \times 16$ 切換え可能)品の後継機種として、また今後の更なる低消費電力・低電圧動作要求が満たせることを重視して開発した。

### (1) 動作時消費電力の低減

低消費電力SRAMでは、一般的に、使用されている内

表1. 主な仕様とプロセス概要

語構成	512K $\times$ 16
動作電圧	1.8~2.7V
動作温度	-40~85 $^{\circ}$ C
アクセス時間	85ns@ Vcc=2.3V, 85 $^{\circ}$ C
スタンバイ電流	40 $\mu$ A@2.7V, 85 $^{\circ}$ C
動作時電源電流	40mA@2.7V
メモリセル構造	フルCMOS型
デザインルール	0.18 $\mu$ m
配線技術	1層ポリサイド
	1層タンクステン
	2層アルミ
素子分離技術	トレンチ

部同期回路によるオートパワーダウン方式を採用し、その最適化によって電流を消費する時間を最小限に抑えている。また、チップアーキテクチャに合わせて回路定数を最適化することにより、アクセス時間の高速化を図るとともに消費電流を最小限にしている。

### (2) 動作下限電圧のマージン拡大

フルCMOS型セルを用いることにより、低電圧動作に対するマージンを拡大する。

### (3) スタンバイ電流とデータ保持電流の低減

フルCMOS型セルを用いることにより、スタンバイ電流及びデータ保持電流を低減し、4M SRAMと同等の電流値を実現する。これにより、4M SRAMの2個使いに比べ、バッテリーバックアップ時の電池寿命を伸ばすことを可能とする。

### (4) 高信頼性

フルCMOS型セルを用いることにより、ソフトエラーに対する耐性も向上させる。

### (5) パッケージへの収納

パッケージとしては、44ピンのTSOP(Type II)及び52ピンのTSOP(Type II)に収納できることを考慮(図1)し、また、1パッケージにSRAMとフラッシュメモリとを搭載するMCP(Multi Chip Package)にも対応可能なように考慮する。

## 3. 設計技術

### 3.1 メモリセル

従来、低消費電力SRAMでは、高抵抗負荷型やTFT負荷型のメモリセルが主に使用されてきた。

今回開発した8Mビット低消費電力SRAMでは、低電圧動作、低消費電力及びソフトエラー耐性の向上などを目的として、フルCMOS型のメモリセルを用いた(図2)。

### 3.2 チップ構成

メモリセルアレーは大きく四つのマットに分割され、それぞれのマットは8個のブロックに分割され、各ブロックは1,024行 $\times$ 256列のメモリセルで構成されている。

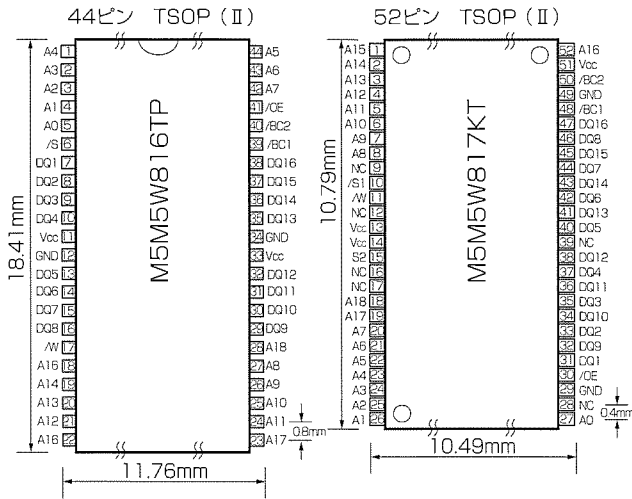


図1. パッケージのタイプ

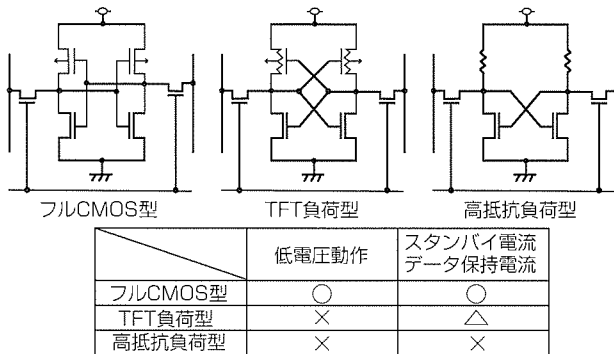


図2. SRAMメモリセル

ボンディングパッドは長辺のみに配置し、周辺回路は基本的には中央帯部分に集中して配置した。ボンディングパッドとセルアレーの間には書き込み系の回路を、マットとマットの間には読み出し系の回路を配置し、センスアンプの2段目を両マットで共有しチップ面積を小さくするよう考慮した(図3)。

### 3.3 マスタ/スライス方式

図1に示したように、44ピンのM5M5W816TPと52ピンのM5M5W817KTでは、そのピン配置が全く異なる。そのため、必要となるボンディングパッド配置も異なる。これを同一チップで実現するのは非常に困難であり、全くの別チップとすると開発効率と生産性が低くなる。そのため、この両者を第二アルミ配線の工程のマスクを切り換えるマスタ/スライス方式によって実現している。

### 4. プロセス技術

配線の構成は1層ポリサイド1層タングステン2層アルミの合計4層である。基板上的活性領域及び第一の配線層であるポリサイド配線からは、第二の配線層であるタングステン配線のみ接続している。したがって第一アルミは

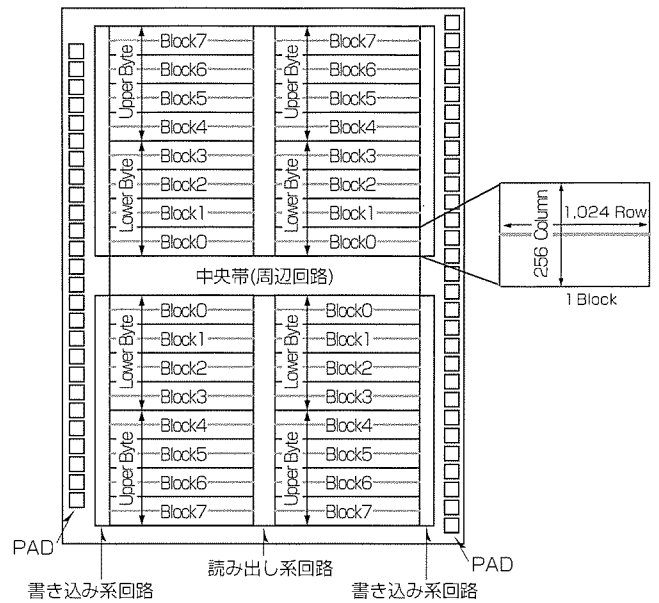


図3. チップアーキテクチャ

タングステン配線のみ接続され、それより下の層には接続しておらず、アスペクト比を小さくしている。

トランジスタのゲート電極はポリサイドで構成し、メモリセルの両インバータの接続にはタングステン配線層を、ビット線及びGND配線には第一アルミ配線を用いている。第二のアルミ配線は、メモリセルではグローバルワード線及びローカルワード線のシャント(裏打ち)に用いている。

基板上に負荷のPチャネルトランジスタを形成するフルCMOS型メモリセルを使い、従来の製品よりも面積の小さなメモリセルを実現するため、0.18μmルールの微細加工技術を用いた。また、より素子分離幅を小さくするためにトレンチ分離を用いた。基板上的活性領域及びポリサイド配線からタングステン配線への接続の中でもメモリセルの最も微細なところでは、セルフアライン(自己整合型)コンタクト技術を用いている。

また、トランジスタの製造条件もこの微細プロセスに対し最適化することにより、低電圧でも高い性能を持ち、チップとしての性能も非常に優れたものが実現できた。

### 5. 電気的特性

図4にアクセスタイムと電源電圧の関係を表したシミュレーションプロットを示す。また、図5にスタンバイ電流の電源電圧依存性を、図6には動作時電源電流のサイクルタイム依存性を示す。

1.8V、室温時のアクセスは70ns以下、2.7V、室温時のスタンバイ電流は1μA以下、2.7V、室温、サイクルタイム70nsにおける動作時電源電流は40mA以下となっており、極低電圧での高速動作を達成するとともに、動作時及びスタンバイ時の低消費電力化も達成できている。



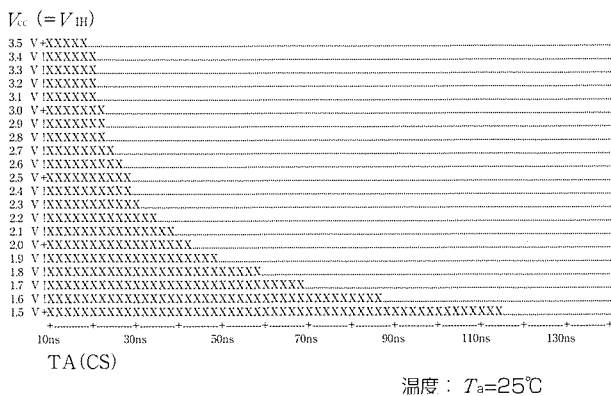


図4. アクセスタイムと電源電圧( $V_{cc}$ )の依存性

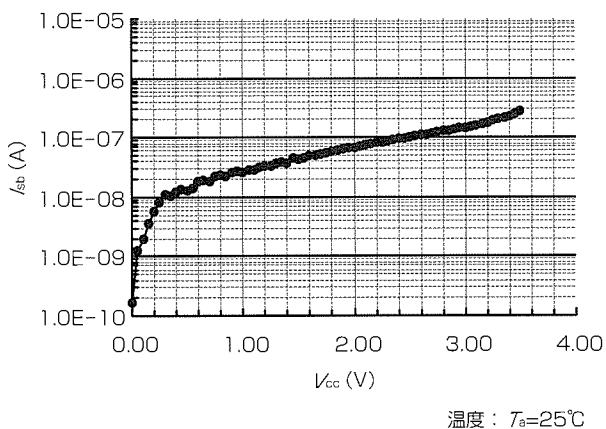


図5. スタンバイ電流の電源電圧 ( $V_{cc}$ ) 依存性

## 6. む す び

最新の回路設計技術と0.18 $\mu\text{m}$ プロセス技術を駆使し8Mビット低消費電力SRAMを開発した。最新の微細加工技術を用いることにより、フルCMOS型メモリセルでも、今一番拡大の見込まれる携帯電話市場の要求にも耐え得るパッケージに収納することが可能となった。

また、フルCMOS型メモリセルの使用により、低電圧動

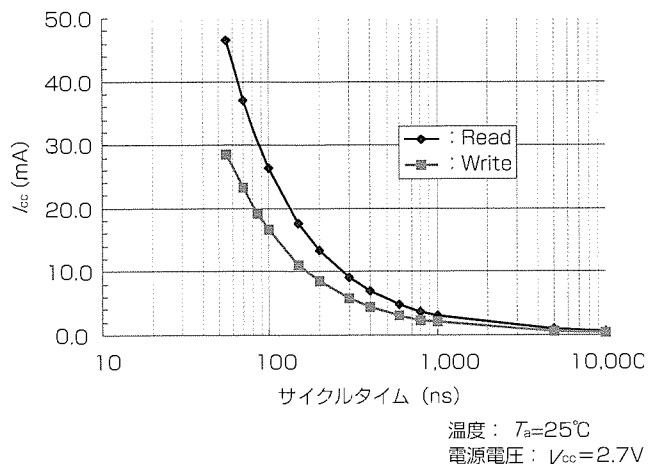


図6. 動作時電源電流のサイクルタイム依存性

作・低消費電力化を実現できた。

携帯電話の高機能化・小型化の要求に伴い、その部品である低消費電力SRAMには限られたパッケージサイズ(チップサイズ)の中で求められるメモリ容量も増大している。また、動作速度を保ったままでの一層の低電圧動作化及び低消費電力化が要求されている。

当社では、これらの市場要求に対応するため、今後も回路技術やプロセス技術における技術革新を進め、低電圧動作化・低消費電力化・大容量化を実現する低消費電力SRAMを開発していく予定である。

## 参 考 文 献

- (1) 広瀬愛彦, 芦田 基, 浮田 求, 前川繁登, 塘 一仁: 第二世代4Mビット低消費電力SRAM, 三菱電機技報, 69, No.10, 941~945 (1995)
- (2) 小久保信幸, 山下正之, 南 ふゆみ, 有馬 聡, 石川英一: 第三世代低消費電力1MビットSRAM, 三菱電機技報, 69, No.3, 304~308 (1995)

# 0.18 $\mu$ m eDRAMコアの開発による 0.18 $\mu$ m DRAM混載システムLSIコア技術の確立

林 勇\* 辰巳 隆\*\*\*  
山崎 彰\* 井上一成\*\*\*  
藤野 毅\*\*

## 要 旨

0.18 $\mu$ m HD (Hyper DRAM) 技術を使用して32Mビット eDRAMコアを開発した。

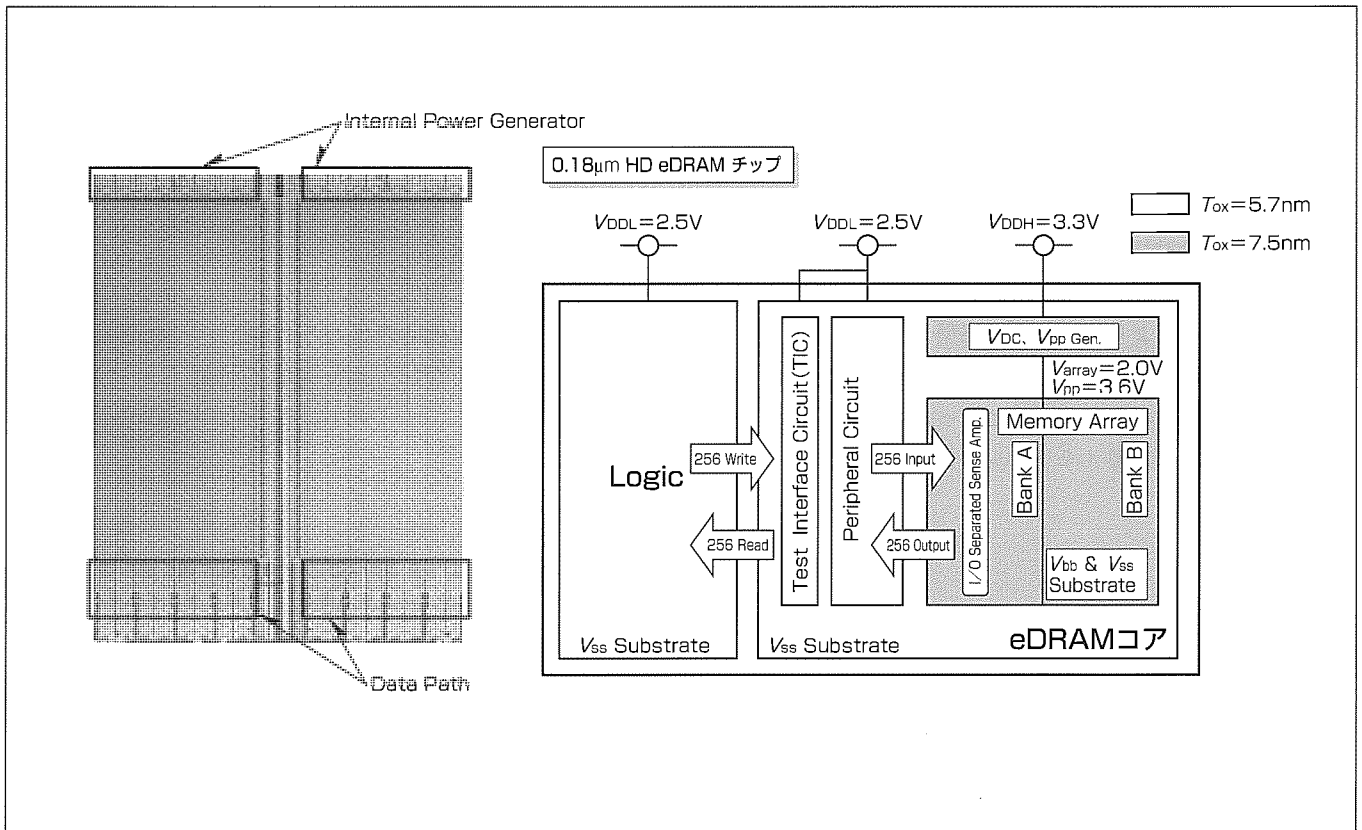
eDRAMの応用分野は、大きく分けて、グラフィック関連、ネットワーク関連、デジタルAV、パソコン周辺関連に分類することができ、特にグラフィックやネットワーク関連では大メモリ容量+高速データ転送が必要になる。最も高性能の要求される三次元グラフィックでは120Mビット、30Gバイト/秒以上の性能が要求される。今回開発したeDRAMコアは、これらの要求を十分に満たす性能を実現するものである。

高速データ転送速度を実現するために、リード/ライトデータバス分離、デュアルポートセンスアンプを採用した。これにより、256ビットリード/ライト同時で200MHz動作(=12.8Gバイト/秒)の高スループット動作を実現した。さらに、このコアを四つ搭載すると、最高51.2Gバイト/

秒のデータ転送速度が得られる。また、電源系のモジュール化などにより、バンク数：1, 2, 4バンク、データバス幅：リード/ライト各64, 128, 256ビット、の構成への対応を可能にした。

コアサイズは23.3mm<sup>2</sup>、動作電流はリード/ライト同時動作時に1.2W、スタンバイ電流は0.8mWである。動作仕様上の特長としては、一方のバンクをアクティベートしながら他のバンクをプリチャージしたり、一方のバンクをリード/ライト中に他のバンクをアクティベートすることが可能であり、見掛け上のレイテンシを小さくすることが可能である。

今回0.18 $\mu$ m HD eDRAMコアの開発を行うことで、今後ますます必要とされるDRAM混載LSI市場の要求を十分満たすことができる高速eDRAMコア設計技術の動作を実証することができた。



## 0.18 $\mu$ m eDRAMのチップ概要

0.18 $\mu$ m eDRAMコアのチップ写真と、eDRAMコアを混載したチップのイメージ図を示す。コアの周辺部はユーザーロジックと同じ2.5V電源( $V_{DDL}$ )で動作し、アレー部は3.3V電源( $V_{DDH}$ )から降圧回路及び昇圧回路によって得られる電源で動作する。周辺部はゲート酸化膜5.7nm、アレー部は7.5nmのトランジスタを使用している。

## 1. ま え が き

近年、半導体技術の進歩により、以前はハイエンドワークステーションでのみ使用されていた三次元グラフィック技術が、廉価なゲーム機及びパソコンにおいても用いられるようになってきた。この要因として、AGP (Accelerated Graphics Port) などの高速バス技術の発展、マルチメディア命令セットを持つCPU登場、グラフィックエンジンなど専用チップの進歩、シンクロナスDRAM、ラムバスDRAMなどの高速メモリ技術の進歩を挙げることができる。

eDRAMコア技術は高速メモリ技術の一つであり、特に汎用DRAMに比べて多くの入出力ピンを持つことが可能であること、すなわち高バンド幅の実現が可能であることにより、グラフィックアプリケーションを中心とした高速データ転送技術を必要とするシステムにおいて注目されている。

本稿では、まずeDRAMコアの必要性とそのターゲットスペックを述べ、次に、今回0.18 $\mu$ m HD技術を用いて開発したeDRAMの設計技術として、リード/ライトデータバス分離、スベア判定、モジュール化について述べ、最後にこのeDRAMコアの特性について述べる。

## 2. eDRAMコアに対する要求

図1にeDRAMの応用分野を示す。大きく分けて、**①**のグラフィック関連、**②**のネットワーク関連、**③**のデジタルAV、パソコン周辺関連の三つの分野がある。**①**のグラフィック関連ではメモリ容量及びユーザーロジックのゲート数、さらにはデータ転送能力のどれも高い値が要求されている。また、**③**のデジタルAV、パソコン周辺の分野では、**①**に比べて比較的少ないメモリ容量ではあるが、ユ

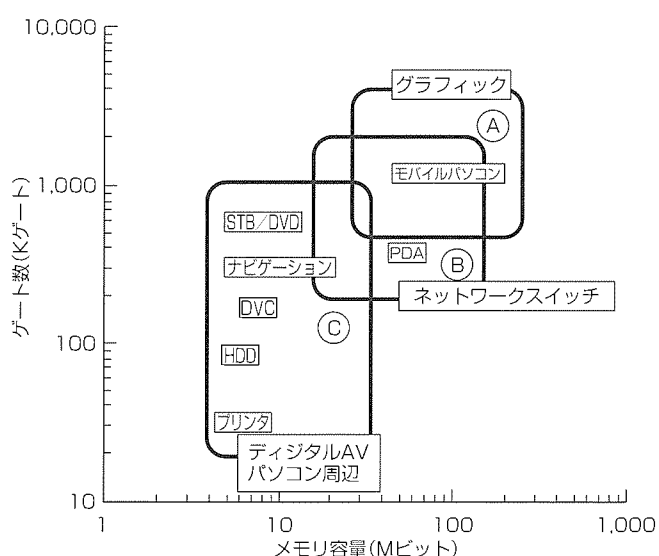


図1. eDRAMの応用分野

ーザーロジックのゲート数が広い範囲に及んでおり、様々な形態のeDRAMコアが要求されると考えられる。**①②③**すべての分野を考慮すると、eDRAMコアには、大容量、高速データ転送速度、様々な形態へ短期間での対応が求められる。

応用の中でも特に高速データ転送速度を必要とするシステムの代表的なものに、三次元グラフィックシステムが挙げられる。eDRAMコアはこの分野の要求を満たすのに最も適した解である。図2はレンダリングコントローラとeDRAMマクロを混載したチップの例である。このチップは、複数のピクセルパイプラインを持つグラフィックプロセッサ、パレットRAMデジタル/アナログコンバータ (RDAC)、フレームバッファとして用いられるeDRAMコアとで構成されている。三次元グラフィックに必要な1ピクセルはA/R/G/BカラーデータとW/S/Z-depthデータからなる。このピクセルデータは、フレームバッファからピクセルパイプラインへ読み込まれ、レンダリング計算の後、フレームバッファへ書き戻される。この動作は“リードモディファイドライト (RMW)”動作と呼ばれる。

図3に三次元グラフィックコントローラの性能トレンドを示す。現在では、パイプラインの本数は四つ以上、動作速度は200MHz、96ビット/ピクセルが要求されてきている。この構成においては、RMW動作には、平均データ速度として19.2Gバイト/秒(=96×4×200MHz×2)が要求される。ページミスとビデオリフレッシュによるペナルティを35%と仮定すると、要求されるデータ速度は29.5Gバイト/秒となる。また、1,280×1,024ピクセルサイズのスクリーンに対しては、120Mビットのフレームバッファ

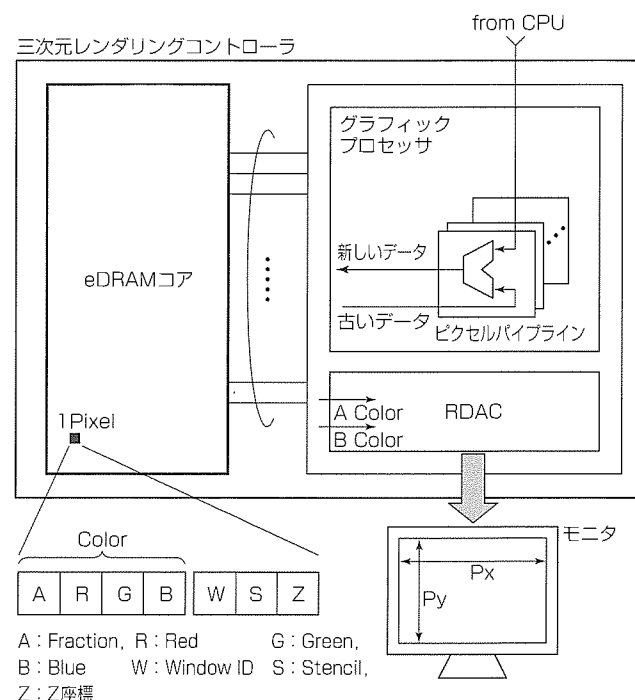


図2. eDRAM混載グラフィックコントローラ

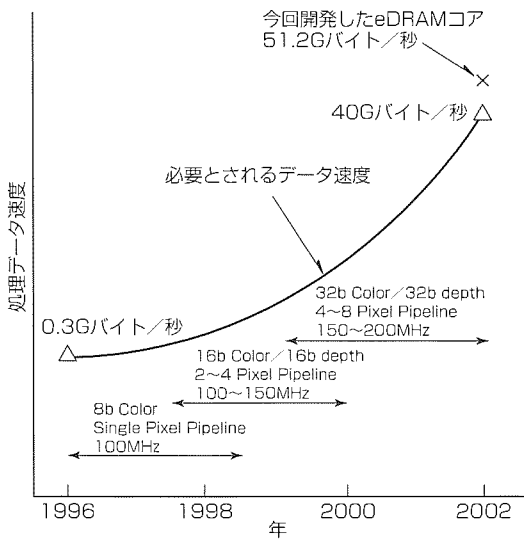


図3. グラフィックコントローラの性能トレンド

サイズが必要となる。以上のことから、データ速度が29.5Gバイト/秒以上で、かつ120Mビット以上を混載するのに十分なサイズのeDRAMコアが必要とされている。

以下では、今回開発したeDRAMコアの設計技術について述べ、その性能が上記の要求を十分に満たすものであることを示す。

### 3. 設計技術

#### 3.1 全体構成

eDRAMコアは、ユーザーロジックと組み合わせてチップ化されるので、そのメモリ容量、バンク数、I/O数などを要求に応じて短期間で開発する必要がある。今回開発したeDRAMコアは、16個の2Mビットアレー(32Mビット)、2バンク、電源モジュール部、データバス部、制御部、テストインタフェース回路からなる。また、スベア判定はロー系、コラム系共にアドレスのセットアップ時間を利用して判定する方式を採用し、さらに、コラム系はI/O置換方式を採用した。図4にその全体構成を示す。

このコアが対応可能な構成は、バンク数=1, 2, 4, メモリ容量=8~32Mビット, リードバスとライトバス数=64, 128, 256である。また、最大四つのコアまで拡張可能であり、これによって図1における①②③のアプリケーションのどの領域の要求も十分に満たすものである。

#### 3.2 リード/ライト分離データバス

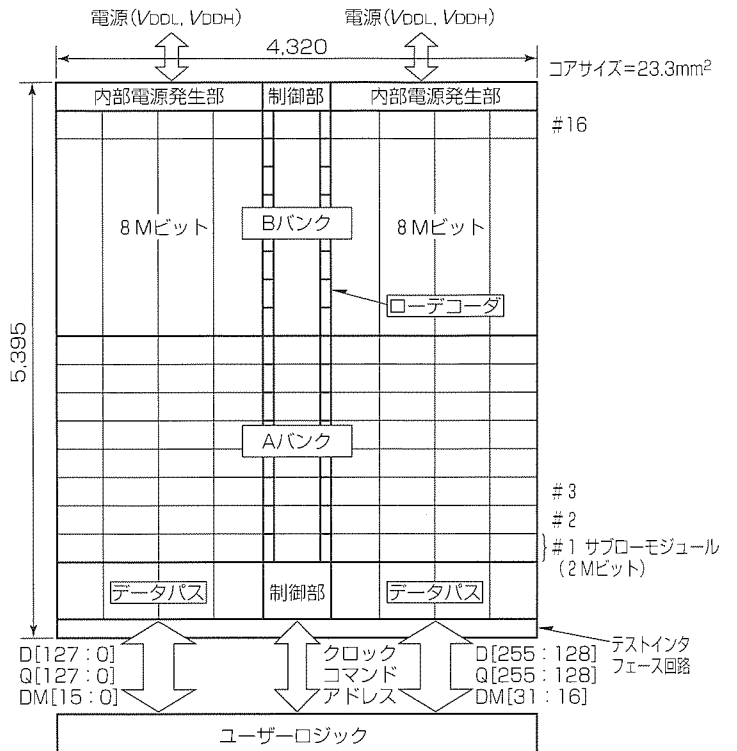


図4. eDRAMコア全体のブロック図

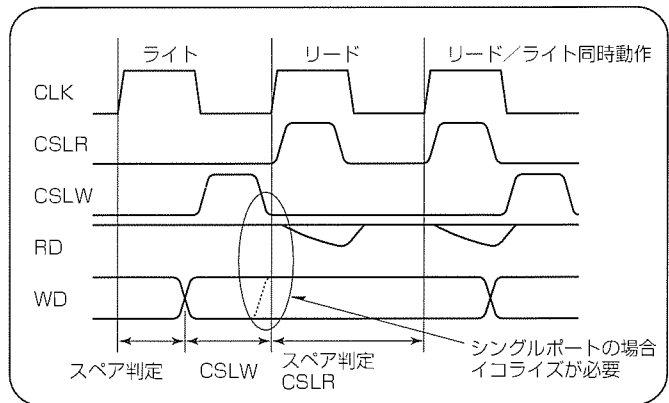
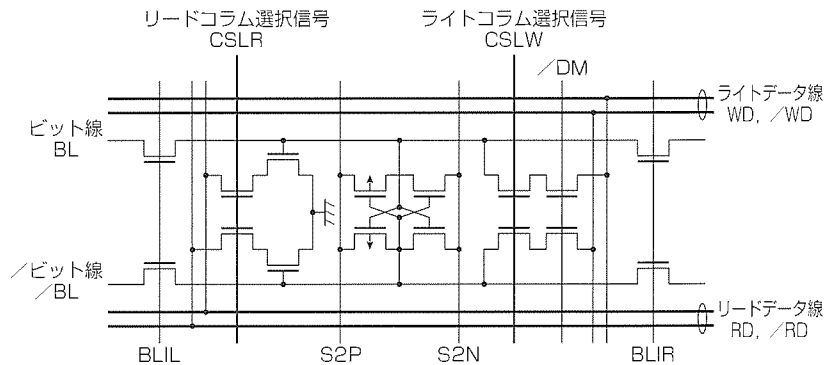


図5. デュアルポートセンスアンプの回路図と動作

eDRAMコアの最大のメリットの一つは、制御信号及びデータ信号の数を、汎用DRAMに比べ、非常に多くできることである。今回のeDRAMコアでは、リードバス/ライトバスをそれぞれ最大256ビット、さらに、制御信号も

アクティベート、プリチャージ、リード、ライトなどすべて独立ピンを設けている。制御信号を分離することによってあるバンクを活性化すると同時に他のバンクをプリチャージしたり、あるバンクのリード又はライト中に他のバンクを活性化することが可能であり、見掛け上のデータ転送レイテンシを下げることができる。さらに、リードバスとライトバスを分離しデュアルポートセンスアンプを用いることにより、リード／ライト同時動作が可能になり、高速データ転送速度が要求される三次元グラフィックなどのアプリケーションに最適なeDRAMコアを提供できる。

図5にデュアルポートセンスアンプの回路図とリード／ライト時の動作タイミングチャートを示す。I/O置換方式を用いているので、リード動作においては、リードバスへデータが到達するまでにスベア判定をすればよく、すなわち、コラム選択信号(CSL)活性化のバックグラウンドでアクセスペナルティなしにスベア判定が可能である。一方、ライトは、スベア判定が完了するまで開始できない。シングルポートセンスアンプをデータ線置換と組み合わせた場合、このライト動作の遅延により、ライト後のリード時に、データ線イコライズ時間が短くなる。この問題を解決するためにデュアルポートセンスアンプを採用した。回路図においてリード線とライト線は分離されている。この分離によってリード動作とライト動作を完全に分離することができ、動作周波数はリードコラムアクセスの最大周波数まで上げることが可能になった。

### 3.3 スベア判定

ローアクセス時間の律速要因であるローブロック選択とスベアロー判定時間を短縮するために、セットアップ時間を利用してのスベア判定方式を採用した。図6にその回路図を示す。図で示すように、スベア判定をアドレスのセットアップ時間内に完了するので、アレー動作はシステムクロックの立ち上がりエッジから最小時間でスタートできる。図ではワード線活性化のパスも示している。スベア判定後(ローアドレスRA8-2について判定)、スベア判定結果はフリップフロップにクロックの立ち上がりエッジで取り込まれる。それと同様に、活性化するワード線がどのサブローブロックに属するか(ローバンクアドレスRBSとローア

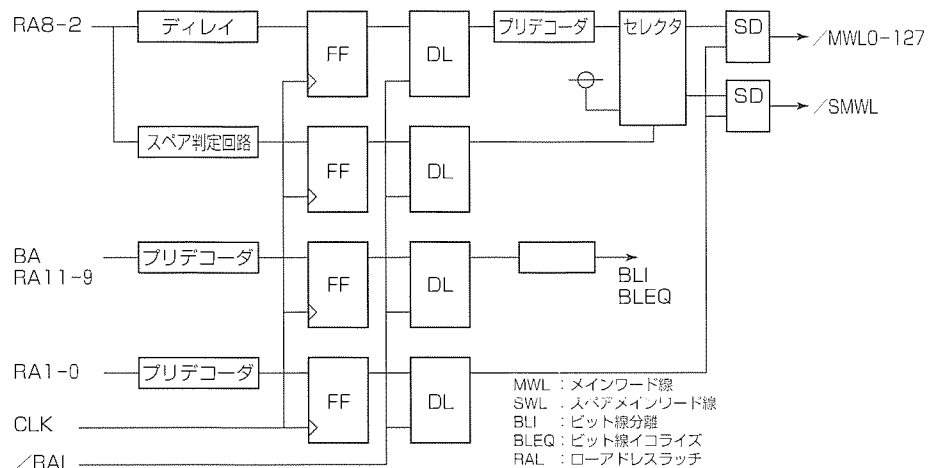


図6. ロー系スベア判定部のブロック図

表1. eDRAMコアの諸元

プロセス技術	0.18μmHyper DRAMプロセス 4メタル, デュアル酸化膜, トリプルウェル
コアサイズ	23.3mm <sup>2</sup> @32Mビット
供給電源	2.5V/3.3V
内部電源	周辺2.5V/アレー2.0V
最大クロック周波数	200MHz(@V <sub>DDL</sub> =2.2V)
メモリ容量	32Mビット (4コアで128Mビットまで拡張可能)
バンク数	1, 2, 4
I/Oバス	256ビット×2(リードバス/ライトバス)
ピークデータ速度	12.8Gバイト/秒(@リード/ライト同時動作)
消費電力	0.8mW(@スタンバイ時) 1.2W(@リード/ライト同時動作)
アクティベート時間(t <sub>act</sub> )	2クロック(10ns)
プリチャージ時間(t <sub>rp</sub> )	2クロック(10ns)
ライトリカバリー時間(t <sub>wr</sub> )	2クロック(10ns)
アクセス時間(t <sub>ac</sub> )	3.5ns
コラムアクセス時間(t <sub>ca</sub> )	8.5ns

ドレスRA11-RA9をプリデコードすることによって決まる。)を決定する。これにより、ビット線分離信号(BLI)とビット線イコライズ信号(BLEQ)がクロックの立ち上がりエッジですぐに非活性化できる。

コラム系も同様にアドレスのセットアップ時間を利用してスベア判定を行っているので、I/O置換方式によるライト時の遅延を削減することができた。

### 3.4 モジュール化

eDRAMコアは、混載するユーザーロジックに応じて様々な構成を採ることが要求され、さらに、短時間でそれらの要求に対応することが必要である。そのために、コアの各構成要素をモジュール化した。

例えば、電源モジュールは一つの基本ユニットと四つの付加ユニットからなる。基本ユニットは、同時に活性化されるサブローの数やアレーのサイズに無関係な電源制御回路、例えば、1/2 V<sub>cc</sub>発生回路、負電圧発生回路、参照

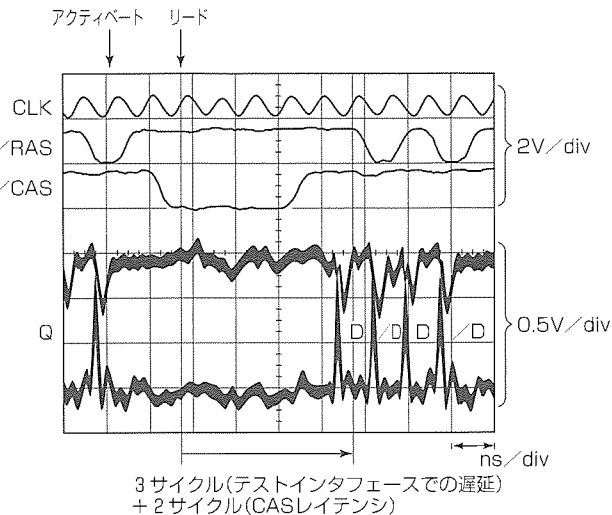
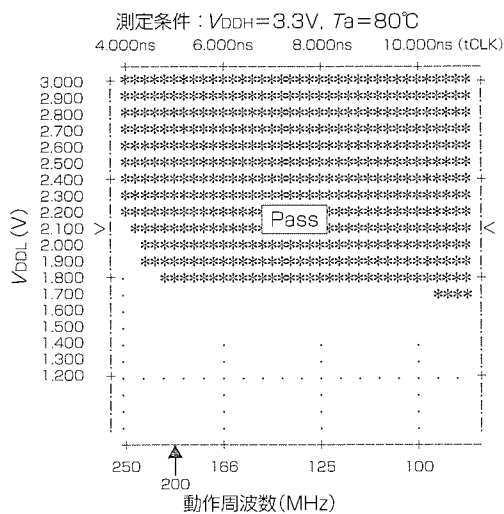


図7. リード/ライト同時動作時の周波数-電源電圧と測定波形

電圧発生回路などである。一方、付加ユニットは、メモリアレーの消費電流に応じて拡張可能な部分であり、例えば、昇圧電圧発生回路や降圧回路が含まれる。

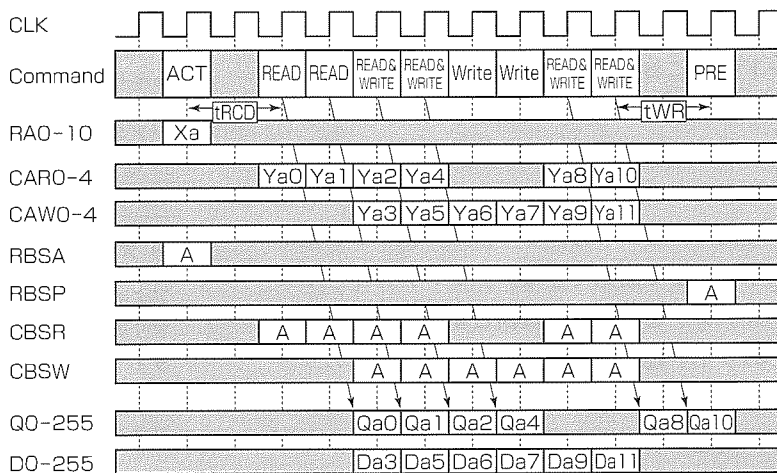
#### 4. チップの諸元

表1にチップの諸元を示す。コアサイズは32Mビットのコアに対して23.3mm<sup>2</sup>、ピーク消費電力は200MHz、V<sub>cc</sub>=2.5V、連続リード/連続ライト同時動作時に1.2Wである。また、スタンバイ時の消費電力は0.8mWである。なお、動作特性の一例として、動作速度のシュムプロットを図7に示す。このシュムプロットは、コアが周辺電源電圧V<sub>D<sub>DL</sub></sub>=2.2V(電圧下限)時に200MHz(クロック周期=5ns)で動作していることを示している。このときのデータ転送速度は12.8Gバイト/秒である。したがって、このeDRAMコアを四つ混載することによって51.2Gバイト/秒のデータ転送速度を達成可能であり、応用分野の中でも特に高いバンド幅を必要とする三次元グラフィックシステムの要求をも十分に満たすことができる。

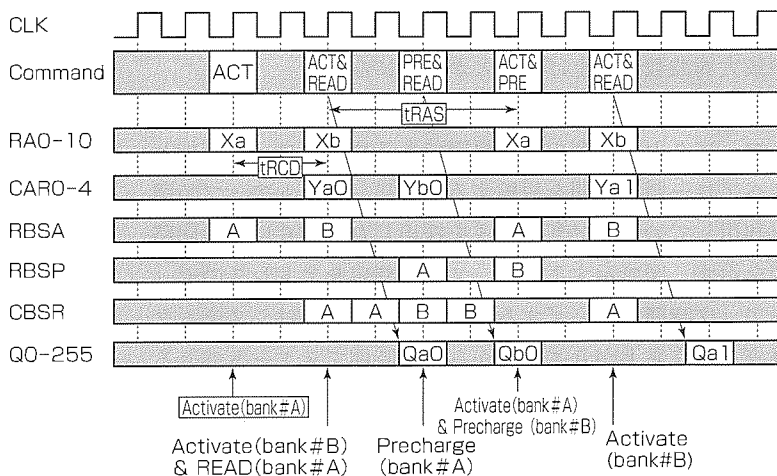
#### 5. 動作仕様

図8の(a)にシングルバンク時のリード/ライト同時動作時のタイミングチャート、図の(b)にデュアルバンク時の動作タイミングチャートを示す。図の(a)において、ライトはアクセス開始から2サイクル後、リード動作は4クロック後に動作が完了する。したがって、

RA: ローアドレス  
RBSA: ローバンクセレクト(アクティベート)  
RBSP: ローバンクセレクト(プリチャージ)  
CBSR: コラムバンクアドレス(リード)  
CBSW: コラムバンクアドレス(ライト)  
CAR: コラムアドレス(リード)  
CAW: コラムアドレス(ライト)  
Q: データ出力  
D: データ入力



(a) シングルバンクでのリード/ライト同時動作



(b) デュアルバンクでのACT&リード, PRE & リード同時動作

図8. タイミングチャート

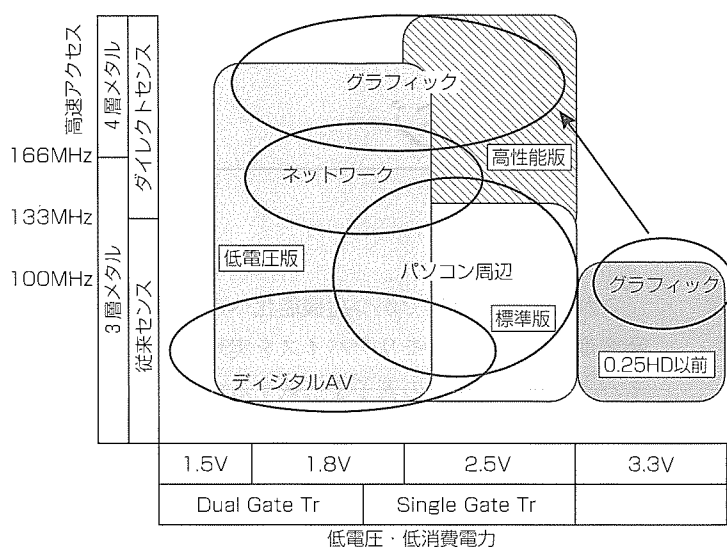


図9. 当社eDRAM適用分野

200MHz動作時には、ライトが10ns、リードが20nsで完了する。さらに、図の(b)に示すように、デュアルバンクインタリーブ動作をさせた場合、バンクAをリードしているバックグラウンドでバンクBをアクティベートしたり、バンクBをリード中にバンクAをプリチャージすることが可能で、このような場合はバンクのアクティベートやプリチャージ時間を見掛け上隠すことができ、ライトとリードのレイテンシはそれぞれ5nsと10nsになる。

### 6. eDRAMアプリケーション

システムサイドから見たeDRAMのメリットは、従来のディスクリット構成では実現し得なかった以下に示すシステム性能を実現するものである。

- (a) 高いデータ転送レートを実現(MPU及びロジックとDRAM間の動作周波数のギャップが大きくなりデータ転送速度が不足してきたことに対する解)
- (b) システムの消費電力低減(I/Oピン数の増加に伴いI/Oバスの消費電力がシステムの中で大きな割合を占めるようになってきたことに対する解)
- (c) EMI(Electro-Magnetic Interference)の低減
- (d) 機器の小型化(ボード上の小スペース化)

これらを楽しむeDRAMアプリケーションは、現状

では、大きく三つに分類される。

#### (1) タイプ1

3D-RAM, デュアルポートRAM, フレームバッファメモリ等の主にグラフィック用途向けのもので、汎用DRAMの機能を補うためにピクセルバッファはALU等の付加機能を搭載して専用化したものである。また、ラムバスDRAMのように専用のラムバスインタフェース部を搭載したのもこの範ちゅう(疇)に入る。そのほか、ゲーム機器, EWSやサーバ等への応用がある。

#### (2) タイプ2

アナログデバイスなどを含めたASICとDRAMの混載の画像/音声機器, PDA, DVD, DVC, プリンタ等に搭載されるもので、DRAMマクロとして組み込まれるものである。

#### (3) タイプ3

M32/DのようにMPU/MCUとのオンチップ化したものや、マルチプロセッシングシステムとの組合せのI-RAMやPPRAMなどがある。

### 7. 当社eDRAMコアの適用分野

今回開発したeDRAMは高性能版と呼んでいるものであり、当社ではこのほかにも標準版と低電圧版を開発している。図9にそれぞれの特長と、eDRAMと適用分野の関係を示す。

図に示すように、当社のeDRAMはすべてのアプリケーション分野を網羅しており、また、当社の提供する他のコアIPと組み合わせることによって、様々な分野のアプリケーションを短期間に開発することが可能になる。

### 8. むすび

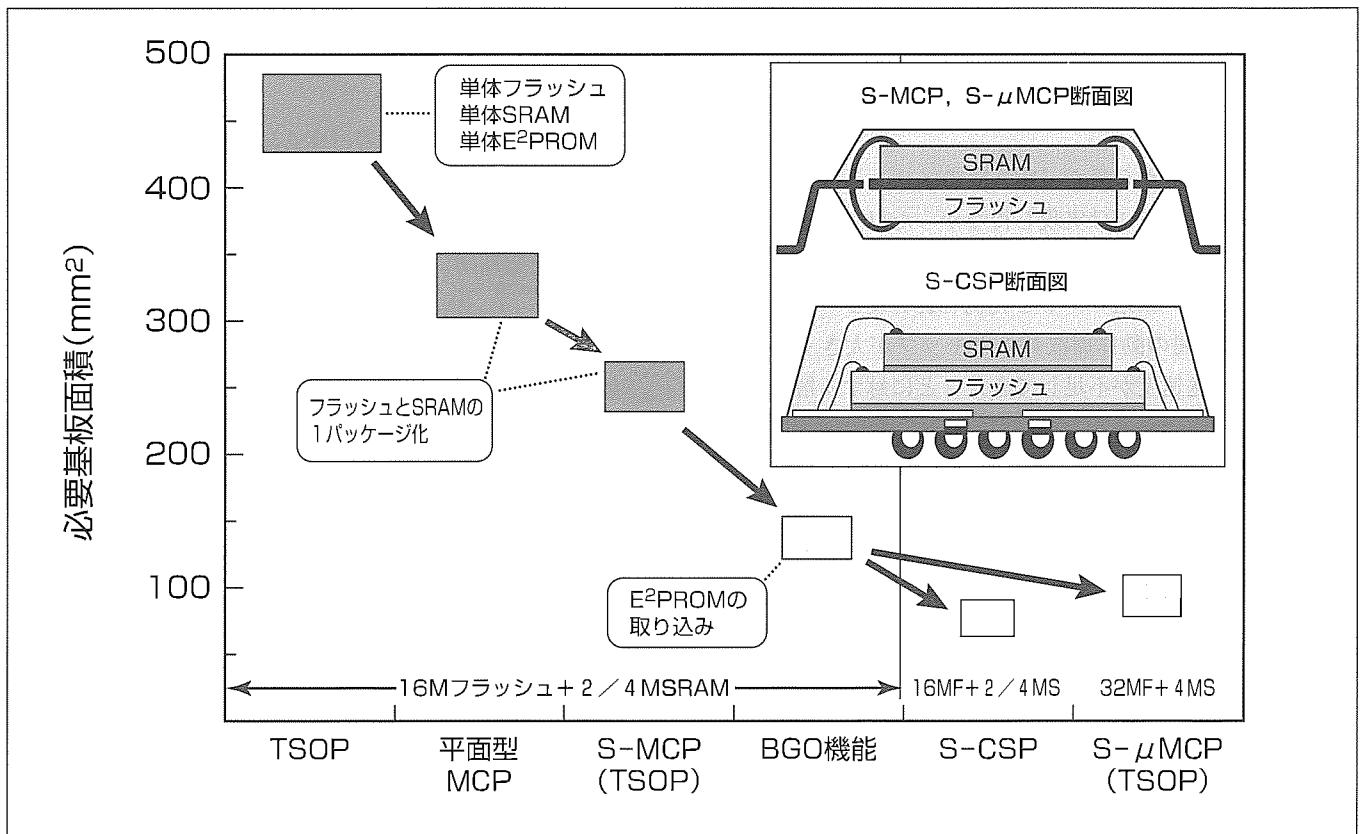
今回、0.18μm eDRAMコアの開発を行うことで、0.18μm DRAM混載システムLSIコア技術を確立した。また設計的には、グラフィック、ネットワーク、デジタルAV、パソコン周辺関連など幅広い分野でのアプリケーションの要求を十分満たすことができる高速eDRAMコア設計技術の動作を実証することができた。

# 携帯電話用高密度小型ICパッケージ

## 要旨

近年、携帯電話の普及は目覚ましいものがある。国内市場で携帯電話の累積加入数は4,000万を超えており、世界規模での加入者は3億5千万人と言われている。携帯電話端末の分野では、小型化・軽量化の激しい競争が繰り返されており、最新の端末はその質量が50g台に至っている。このため、端末内部に搭載される部品である半導体デバイスの軽量化が必ず(須)となっている。またその一方で、音声会話としての機能だけにとどまらず電子メールに代表されるようなマルチメディア情報端末として用いられるために、大量なデータを処理・蓄積するフラッシュやSRAMといったメモリ素子に対する大容量化の要求もとどまるところを知らない。

これら小型・軽量でかつ高機能化への市場要求に対し、高密度・大容量のメモリデバイスを実現可能にするため、1パッケージに複数の素子を搭載するマルチチップパッケージ技術を開発した。三菱電機では、従来からフラッシュとSRAMの両方のメモリを生産しており、フラッシュは16Mバイトから32Mバイトへ、SRAMは2Mバイトから4Mバイトへと顧客ニーズに合わせた大容量化を進めてきている。これら最新のデバイスと新規パッケージ技術を組み合わせ、携帯電話端末に最適な高密度・大容量多機能のメモリデバイスを最小パッケージで実現し、携帯電話市場で高く評価されている。



## 携帯電話端末向け半導体メモリ素子部品数、実装面積削減の推移

小型・軽量化が進む携帯端末向けのメモリは、デバイスの高機能化と複数のチップの積層パッケージによって部品点数と実装面積の大幅な削減を実現している。



### 1. ま え が き

近年、携帯電話を始めとしてビデオカメラなどの携帯電子機器が増加してきており、パッケージの小型化・軽量化のニーズはますます高まっている。当社は、従来から、パッケージの小型化で業界をリードしてきており、実装面積を更に縮小する手段として、同一パッケージ内部に複数チップを収納するマルチチップパッケージ技術を開発してきた。マルチチップパッケージには平面配置タイプと積層タイプがあり、集積度の高い積層タイプのマルチチップパッケージを現在主流に開発している。積層タイプのマルチチップパッケージには、BGAタイプのS-CSP(Stacked Chip Scale Package)と、TSOPタイプのS-MCP(Stacked Multi Chip Package)がある。図1、図2にそれぞれの基本構造図を示す。

### 2. パッケージ外形と実装面積削減効果

S-MCPはTSOPタイプのパッケージで、ピン数は48ピン

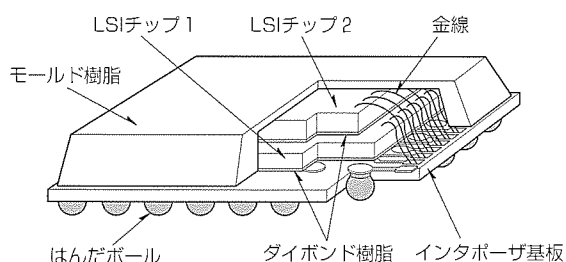


図1. S-CSPの構造図

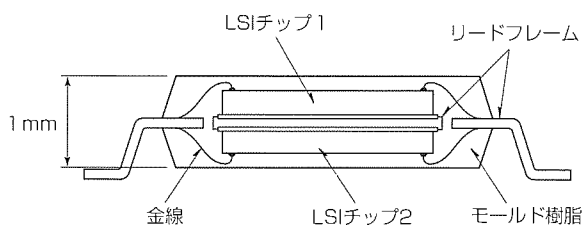
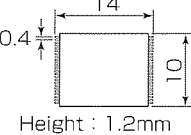
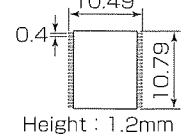
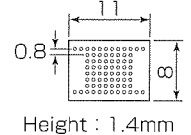


図2. S-MCPの構造図

表1. チップ積層パッケージラインアップ

Name	S-MCP Stacked Multi Chip Package	S- $\mu$ MCP Stacked micro Multi Chip Package	S-CSP Stacked Chip Scale Package
Package Type (Mitsubishi Name)	48pin TSOPtype (I) Lead pitch 0.4mm (48PTC)	52pin TSOPtype (II) Lead pitch 0.4mm (52PTC)	72pin LFBGA* Ball pitch 0.8mm (72F7H)
Outline	 Height : 1.2mm	 Height : 1.2mm	 Height : 1.4mm

注 \*LFBGA : Low profile Fine pitch Ball Grid Array

ンと52ピンのラインアップがあり、パッケージ外形寸法はそれぞれ14mm×10mmと10.49mm×10.79mm、リードピッチは0.4mm、パッケージ高さは1.2mm max.である(表1)。

S-CSPはBGAタイプのパッケージで、ボール数はダミーボールを含め72、ダミーボールを除くと64で、パッケージ外形寸法は11mm×8mm、ボールピッチは0.8mmである。また、パッケージ高さは1.4mm max.である(図3)。

従来、携帯電話では、パラメータデータ格納用としてE<sup>2</sup>PROMが用いられていた。当社のフラッシュメモリは、E<sup>2</sup>PROM機能を併せ持つBGO(Back Ground Operation)機能を搭載している。これにより、図3に示すように、従来フラッシュ、SRAM、E<sup>2</sup>PROMの3パッケージ必要だったものが1パッケージに集約され、実装面積は、従来の3パッケージ454mm<sup>2</sup>に対して、S-CSPでは88mm<sup>2</sup>(80%減)へ、最新のS-MCPでは113mm<sup>2</sup>(75%減)へと大幅な削減を達成している。

S-CSPとS-MCPではそれぞれBGAとTSOPの実装上の特長があり、S-CSPは、ピンピッチが比較的大きいことから実装時の位置決め精度に対して裕度があり、主にBGAの要求が高い欧米顧客向けに生産している。一方、S-MCPは、従来の設備を流用しやすく、リペアも容易であることから、主に国内顧客に採用されている。

### 3. S-MCPの技術開発課題と組立てフロー

S-MCPの組立ては、図4に示すように、リードフレームの表裏面に半導体チップを接合し、金線によって電氣的に接続した後に封止樹脂でモールドする。混載メモリパッケージでは、それぞれのチップのアドレスピンやデータピンを共通の OUTER ピンに接続している。使用に当たっては、電氣的に切り換えてそれぞれのチップを機能させている。

S-MCPには断面図に示したように大きく3点の技術課題があり、当社では以下のように対処している。

第一に、金属製のリードフレームの表裏面に複数の半導体チップを接合するため、それらの絶縁処置をする必要がある。これに対し、半導体チップをリードフレームに接着する材料として、絶縁性フィルムタイプの接着剤を選定した。当社では、従来からフィルムダイボンド技術をリードフレームタイプのパッケージにも使用しており、その経験から、S-MCPにもフィルムタイプを適用している。フィルムはAgペーストタイプのようにスクラブの必要がないため、チップとフレームの平行度が安定的に確保され、かつ確実な絶縁が可能となった。

第二に、約1mmのパッケージ厚の中

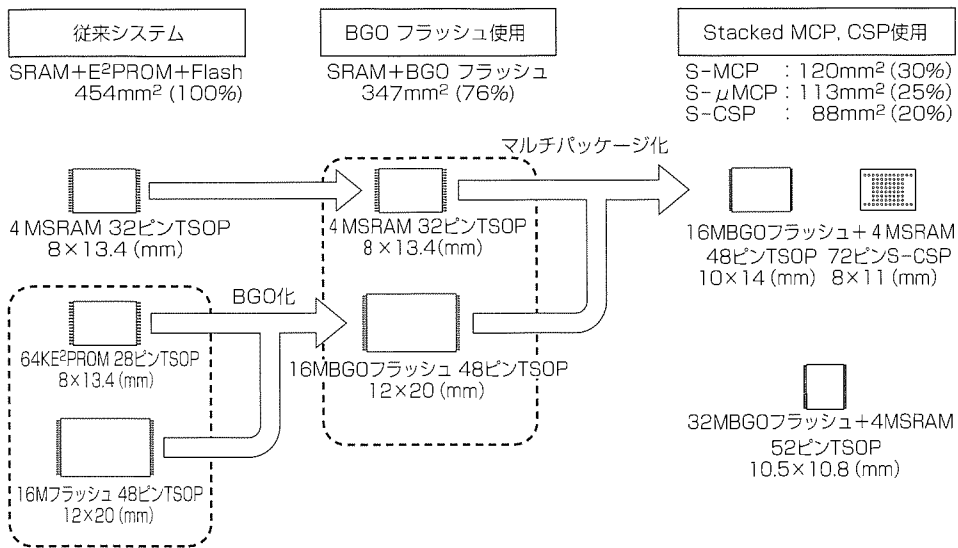


図 3. チップ積層パッケージによる実装面積削減効果

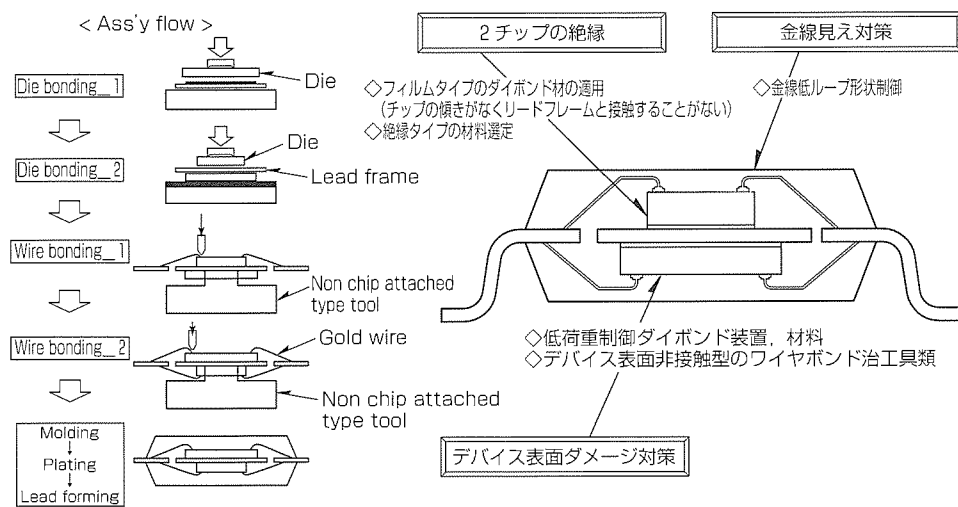


図 4. S-MCP技術課題とアセンブリフロー

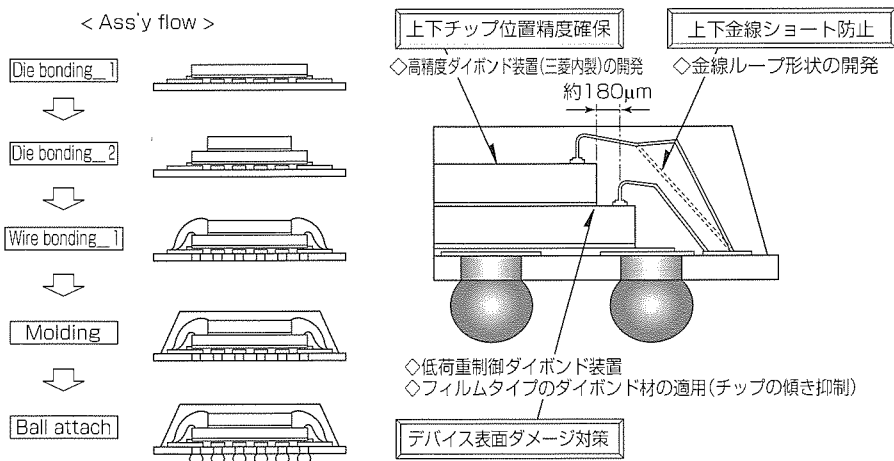


図 5. S-CSP技術課題とアセンブリフロー

に複数のチップや複数段の金線ワイヤを収納するため、従来の1パッケージ1チップの構造と比較して金線ワイヤな

位置精度が要求される。これに対し自社内で高位置精度ダイボンド装置を開発し、上下段のチップサイズの設計基準

ど内部部品がモールド樹脂から露出し信頼性を損なう危険性があった。これに対しては、自社製のワイヤボンド装置で低ルーピング技術を開発し、低プロファイル金線ループ形状の安定化を図った。

第三に、構造的に表裏面にチップ及び金線があるために、ダメージレスの組立てプロセスを構築する必要がある。この問題に対し、まずチップをリードフレームに接着するダイボンド工程では、自社製のダイボンド装置の低荷重化と、低荷重で品質上必要な接合強度を得るため熱可塑性樹脂と熱硬化性樹脂との混合タイプ接着剤を選定した。次に、チップとインナーリードを電気的に接合するワイヤボンド工程では、チップや金線に非接触でリードフレームのみ接触固定するよう固定方法を検討しダメージレスを実現している。

#### 4. S-CSPの技術開発課題と組立てフロー

S-CSPの組立ては、図5に示すように、インタポーザ基材の表面に半導体チップを積層し、金線によって電気的に接続した後、封止樹脂でモールドする。S-CSPも、S-MCPと同様に、個々のチップのアドレスピンやデータピンを共通のアウトボールに接続し電気的に切り換わる機能を装備している。

S-CSPには、断面図に示したように、3点の技術課題がある。

第一に、半導体チップを積層するためそれぞれの相対的位置精度が要求される。これに対し自社内で高位置精度ダイボンド装置を開発し、上下段のチップサイズの設計基準

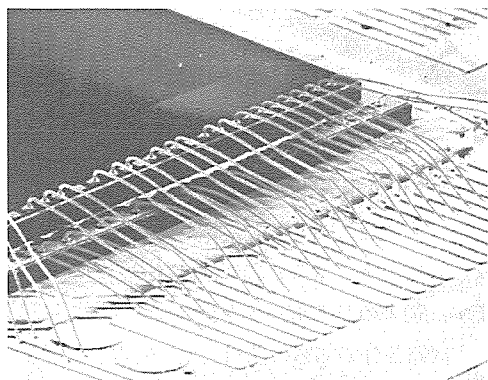


図 6. S-CSPワイヤリング

として上段チップエッジから下段チップの金線ワイヤまでの距離を約180 $\mu$ mまでとし、つまりほぼ同サイズのチップを積層した製品を安定生産することが可能になった(図5)。

積層タイプのマルチチップパッケージに搭載するチップの組合せ自由度の高さは他社に例を見ない。

第二に、積層した半導体チップに接続した上下の金線ワイヤのショートを防止する必要がある。

そのために、金線ワイヤのルーピング形状を見直し、図5にあるような形状で生産している。これにより、上下の金線間のクリアランスは100 $\mu$ m前後に確保されている。製品実物の写真を図6に示す。

第三に、チップを積層する工程で下段のチップ表面に対するダメージレス化である。これに対し、S-MCPで培った技術を応用し、接着材料としてS-MCPと同様の絶縁性フィルムタイプの接着剤を選定した。これによって上下チップの平行度を安定的に確保し、上段のチップを接合する際に、傾きによってチップエッジが下段チップの表面に接触することを防止すると同時に、上段チップ接合時の衝撃緩和機能も持っている。

### 5. パッケージの信頼性

表2及び表3にS-MCPとS-CSPのパッケージ信頼性評価結果を示す。共にパッケージ信頼性上十分なレベルを達

表 2. 52ピンS-MCPパッケージ信頼性評価結果

試験項目	条件	試験数	故障数
高温保存	150 $^{\circ}$ C, 1,000h ※1	32 $\times$ 3	0
耐湿バイアス	85 $^{\circ}$ C/85%/3.6V/1,000h ※2	45 $\times$ 3	0
PCT	121 $^{\circ}$ C/100%/240h ※2	45	0
HAST	130 $^{\circ}$ C/85%/3.6V/240h ※2	22 $\times$ 3	0
温度サイクル	-65 $^{\circ}$ C/150 $^{\circ}$ C/1,000cyc. ※2	45	0
熱衝撃	-55 $^{\circ}$ C/125 $^{\circ}$ C/200cyc. ※2	45	0

注 ※1 前処理条件 125 $^{\circ}$ C/24h $\rightarrow$ 85 $^{\circ}$ C/65%/168h $\rightarrow$ IRリフロー3回  
 $\rightarrow$ 消去/書き込み1万回/Ta=25 $^{\circ}$ C

※2 前処理条件 125 $^{\circ}$ C/24h $\rightarrow$ 85 $^{\circ}$ C/65%/168h $\rightarrow$ IRリフロー3回

表 3. 72ピンS-CSPパッケージ信頼性評価結果

試験項目	条件	試験数	故障数
高温保存	150 $^{\circ}$ C, 1,000h ※1	96	0
耐湿バイアス	85 $^{\circ}$ C/85%/3.6V/1,000h ※1	135	0
PCT	121 $^{\circ}$ C/100%/240h ※1	45	0
HAST	130 $^{\circ}$ C/85%/3.6V/240h ※1	66	0
温度サイクル	-65 $^{\circ}$ C/150 $^{\circ}$ C/300cyc. ※1	45	0
熱衝撃	-55 $^{\circ}$ C/125 $^{\circ}$ C/100cyc. ※1	45	0
実装温度サイクル	-40 $^{\circ}$ C/100 $^{\circ}$ C/1,000cyc.	32	0

注 ※1 前処理条件 125 $^{\circ}$ C/24h $\rightarrow$ 85 $^{\circ}$ C/65%/168h $\rightarrow$ IRリフロー3回

成している。

### 6. むすび

携帯電話端末の業界は、世代交代が頻繁であり、ほぼ半年ごとに仕様が更新される。今後更に高機能化が進み、音声情報だけでなくカラーの画像や文字情報の処理が普及するに付随して、半導体素子への機能要求も更に高くなる。具体的には、次期 i-modeで必要とされるメモリ容量としては48Mビットフラッシュ+10MビットSRAMが必要とされており、W-CDMAでは80Mビットフラッシュ+24MビットSRAMが要求される。

今後、必要とされる容量と機能は更に大容量化・多機能化が進むことは確実である。当社では、チップ単体の大容量化と3チップ、4チップも視野に入れたマルチチップパッケージ技術を組み合わせ、タイムリーに多様な市場要求にこたえていく所存である。

# スポットライト

# 家電インバータ用DIP-IPM

## Ver.2シリーズ

近年、産業・民生等の分野で省エネルギー、省電力を推し進めるため、製品のインバータ化が急速に進んでいます。このような動きの中で、特にエアコン、冷蔵庫、洗濯機等の小容量モータ駆動のインバータの応用分野では、インバータのコンパクト化と更なるコストパフォーマンスの追求、及び信頼性の向上が望まれています。

さらに、省エネルギー法の改正に伴い、家電製品のインバータ化の促進とインバータ自身の低損失化が望まれています。

今回、このような要求にこたえるため、従来のDIP-IPMのオールシリコンソリューションのコンセプトを継承し、さらに、最先端の微細加工技術を用いて第四世代プレーナ構造IGBTを搭載し、これまでのDIP-IPMよりも低損失化を実現しました。また用途に応じ、高速・低速の2タイプと電流容量に応じ2パッケージを用意しました。

### 特長

#### 1. 家電インバータの低損失化を実現

第四世代プレーナ構造IGBTを搭載し、飽和電圧を当社第三世代品と比較して10%下げることにより、インバータの低損失化にこたえます。従来のバイポーラトランジスタモジュールとの比較では、主回路部分で35%の低損失化を実現しています。

#### 2. トランスファームロードパッケージの採用で小型化を実現

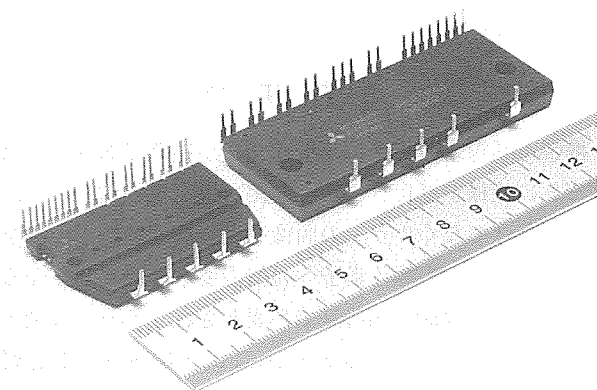
三相インバータ回路を構成するIGBTとFWD、これらの駆動・保護・診断をつかさどるHVICとLVIC、及び絶縁・放熱の各機能をトランスファームロード技術によって一体化してIPM化することで、小型化と信頼性の向上を追求しています。

#### 3. HVIC内蔵によってフォトカプラレス化・単電源化を実現

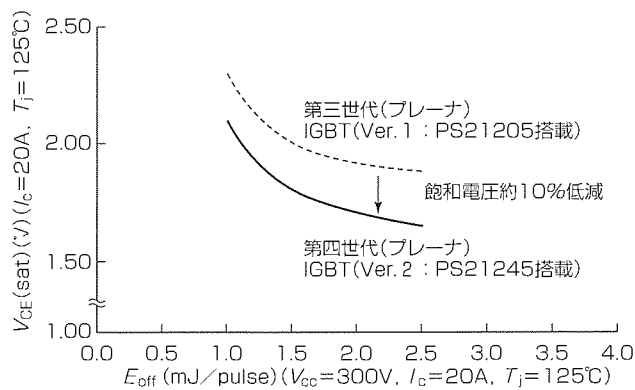
従来のIPMではマイコン等の制御回路との絶縁にフォトカプラが必要でしたが、HVICを搭載しレベルシフト機能を内蔵することで、フォトカプラレス化を実現しました。また、HVICのCMOS構造化による消費電力の低減とブートストラップ電源方式採用により、従来の三相インバータ回路では最低4電源必要であった制御電源の単電源化を可能としました。

#### 4. 保護回路の内蔵

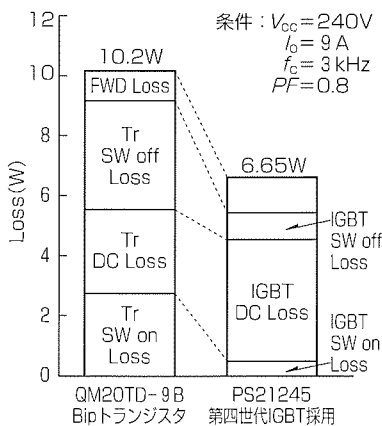
過電流や制御電源の低下など異常動作に対する保護回路を内蔵し自己保護を図ることで、システムの信頼性向上に貢献します。



家電インバータ用 DIP-IPM Ver. 2 の外観  
 左：小型パッケージ(5A, 10A)  
 右：大型パッケージ(15A, 20A)



第三世代及び第四世代のIGBTトレードオフ比較



エアコン用IPM/DIP-IPMの電力損失の低減

### 家電インバータ用DIP-IPM Ver. 2の主な定格・特性

形名	主な用途	スイッチング周波数	パッケージ	IGBT定格電流/電圧	飽和電圧 ( $T_s=25^\circ C$ , 定格電流)
PS21352	冷蔵庫	高速	小型	5A/600V	1.8V
PS21353	洗濯機	高速	小型	10A/600V	1.8V
PS21244	エアコン	低速	大型	15A/600V	1.65V
PS21245	エアコン	低速	大型	20A/600V	1.65V



# 特許と新案 \* \* \*

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは  
三菱電機株式会社 知的財産渉外部  
電話(03)3218-9192(ダイヤルイン)

## データ処理装置 (特許 第2931890号, 特開平 7-26878号)

発明者 吉田豊彦

この発明は一つの命令語で複数のサブ命令を指定し、複数のサブ命令を並列に実行するVLIW (Very Long Instruction Word)型データ処理装置に関するものである。

従来のVLIW型データ処理装置は、命令語で一定数のサブ命令を指定し、各サブ命令を常に並列に実行する。このため、並列実行可能なサブ命令が一つしかない場合でも1個の命令語を使用してしまい、無効演算を指定するサブ命令が多数存在して、命令のコード効率が悪くなるという問題があった。

この発明は、上記の問題点を解消するためになされたものである。図はこの発明の実施例を示す。図1のVLIW型命令語(1, 2)は、FMフィールド(10)とサブ命令を格納する演算フィールド(11~15)を備え、FMフィールド(10)の値に依存して、図2に示す順序で演算フ

ィールド(11~15)で指定されたサブ命令を実行する。

このため、1命令語中の演算フィールド(11~15)の数と各演算フィールドに格納されたサブ命令を並列に実行するか逐次に行うかを柔軟に制御でき、並列実行可能なサブ命令の数が演算フィールドの数よりも少ない場合でも残りの演算フィールドを無効演算によって満たす必要がなく、命令のコード効率を高めたVLIW型データ処理装置が得られる。

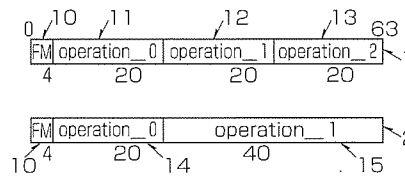


図1

code : format	orders to be issued		
	operation_0	operation_1	operation_2
PW=0000 : 2-ops.	1st	1st	---
PW=0001 : 2-ops.	1st	2nd	---
PW=0010 : 2-ops.	2nd	1st	---
PW=0011 : 3-ops.	1st	1st	1st
PW=0100 : 3-ops.	1st	1st	2nd
PW=0101 : 3-ops.	1st	2nd	1st
PW=0110 : 3-ops.	1st	2nd	2nd
PW=0111 : 3-ops.	1st	2nd	3rd
PW=1000 : 3-ops.	1st	3rd	2nd
PW=1001 : 3-ops.	2nd	1st	1st
PW=1010 : 3-ops.	2nd	1st	2nd
PW=1011 : 3-ops.	2nd	1st	3rd
PW=1100 : 3-ops.	2nd	2nd	1st
PW=1101 : 3-ops.	2nd	3rd	1st
PW=1110 : 3-ops.	3rd	1st	2nd
PW=1111 : 3-ops.	3rd	2nd	1st

図2

## PLL回路 (特許 第2918754号, 特開平 6-164377号)

発明者 野谷宏美, 近藤晴房

この発明は、可変遅延回路を用いて構成されたPLL回路に関するものである。

PLL回路を搭載した半導体集積回路において位相の異なる多相クロックを生成する場合、発振器又は可変遅延回路を構成するインバータの任意の段の出力を用いるが、可変遅延回路の場合には、1周期よりも遅れてロックすると所望の多相クロックが得られないという問題があった。

この発明はこの問題を解決するためになされたもので、図1に示すように、複数のSR-FFからなる多相クロック

生成回路と論理回路からなる多周期遅れ検出回路を設け、多相クロック生成回路において各SR-FFの出力が重ならないよう可変遅延回路の任意の段から入力を選択し、多周期遅れ検出回路でその重なりを検出する。図2に示すように、1周期遅れでロックしている場合は多相クロックは重ならないのでUP信号は出力されず、2周期以上遅れてロックしている場合には重なりを検出してUP信号を出力するため、可変遅延回路が必ず1周期遅れでロックするよう制御することができる。

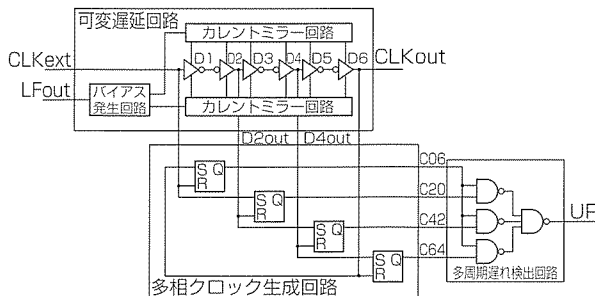


図1

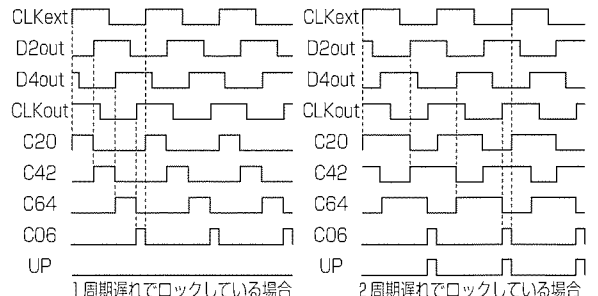


図2



# 特許と新案\*\*\*

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは  
三菱電機株式会社 知的財産渉外部  
電話(03)3218-9192(ダイヤルイン)

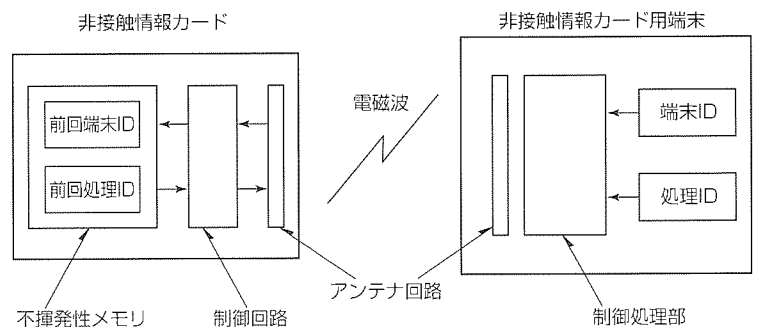
## 非接触型情報カード (特許 第2935471号, 特開平4-118792号)

発明者 高比良賢一

非接触情報カードとはIC等を内蔵して端末との信号授受を電磁波等で行う電子記憶媒体であるが、近年、この電子記憶媒体を用いた様々な応用システムが開発されている。

このような非接触情報カードは、一般に、端末からの上記信号授受での要求信号に応じて処理内容を解読し、ICメモリ内に記憶している情報の書き込みや読み出しを行い、応答信号を端末に送信するようになっている。この場合、非接触情報カードは、端末が連続して送信する電磁波等の要求信号の到達範囲にとどまった場合、幾度となく要求信号に応じて上記処理を行うこととなる。このため、迅速に要求信号を一時的に停止したり、到達エリアから非接触情報カードを退避させたり、非接触情報カードでの処理を一時的に停止させたりする方法が考えられるが、非接触情報カードの携帯方法の制約や処理速度の低下が懸念される。

この発明は、非接触情報カードが直前に処理を行った端末を識別する第一の識別情報とその処理の内容を識別する第二の識別情報を内蔵するICメモリに格納し、次に端末の要求信号とともに送付された上記情報の双方を解読して一致するかどうかの識別手段を設けて、すべて一致する場合は処理を行わないようにすることで、重複した処理の繰り返しを処理速度を低下させずに行うことが可能である。



### <次号予定> 三菱電機技報 Vol.74 No. 4 特集「三菱情報システムソリューション“Co. Solution”」

#### 特集論文

- 三菱情報システムソリューション“Co. Solution”特集に寄せて
- 三菱情報システムソリューション“Co. Solution”のねらいと展望
- 金融システムソリューション
- 流通システムソリューション
- 製造業システムソリューション
- 官公・自治体システムソリューション
- 医療・ウエルネスシステムソリューション
- ECセキュリティソリューション

- データウェアハウスソリューションとエンタープライズデータインテグレーションハブ
- 三菱CTIソリューションとコールビジネスアセスメント
- モバイルソリューションの現状と将来展望
- 統合業務システム“HYPER SOLUTION”
- マルチメディア衛星情報システム“MEDIABIRD”の適用事例
- 三菱クライアント・サーバコンピュータ apricot FT8000と可用性を高めるWindows NT構築技法

<p>三菱電機技報編集委員</p> <p>委員長 鈴木 新</p> <p>委員 中村 治樹 永 峰 隆 宇 治 資 正 河 内 浩 明 奥 山 雅 和 茅 嶋 宏 佐々木和則 梶 山 浩 二 畑 谷 正 雄 津 金 常 夫 村 松 洋 松 本 修 章 鎌 田 裕 猪 熊 章 本 庄 正 司</p> <p>幹 事 鈴木 隆 二 3月号特集担当 中 屋 雅 夫</p> <p>URL <a href="http://www.melco.co.jp/giho/">http://www.melco.co.jp/giho/</a></p>	<p>三菱電機技報 74巻 3号 2000年 3月22日 印刷 (無断転載・複製を禁ず) 2000年 3月25日 発行</p> <p>編 集 人 鈴木 新</p> <p>発 行 人 鈴木 隆 二</p> <p>発 行 所 三菱電機エンジニアリング株式会社 ドキュメント事業部 〒105-0011 東京都港区芝公園二丁目4番1号 秀和芝パークビルA館9階 電話 (03) 3437局2692</p> <p>印 刷 所 菱電印刷株式会社</p> <p>発 売 元 株式会社 オーム社 〒101-0054 東京都千代田区神田錦町三丁目1番地 電話 (03) 3233局0641</p> <p>定 価 1部735円(本体700円) 送料別</p> <p>お問い合わせ先 cep.giho@ml.hq.melco.co.jp</p>
--	---

# スポットライト 人工網膜LSI

人工網膜LSIは、三菱電機独自の概念に基づく新規画像センサで、画像検出だけでなく、人間の目のように画像の特徴を抽出したり、物の動きをリアルタイムでとらえたりすることができます。人工網膜LSIを用いることで、複雑化の一途をたどる画像処理システムの簡略化が図れます。

当社では、これまでのモノクロ版人工網膜LSIに加え、高性能カラー版人工網膜LSIも開発し、量産を開始しました。カラー版人工網膜LSIは、超小型レンズ一体型パッケージに収納されているため、モバイル機器への応用に最適です。

## 特長

### 1. 多彩な画像処理機能

モノクロ版人工網膜LSIは、画像検出、エッジ検出、解像度可変、行／列方向射影演算、ランダムアクセスなどの画像処理機能を持っているため、安価な汎用マイコンだけでインテリジェントな画像処理システムが構成できます。

また、カラー版人工網膜LSIは、カラー画像処理回路を内蔵しているため、カラー画像検出が簡単に行えます。

### 2. 低消費電力

人工網膜LSIは、単一電源(モノクロ版：5V、カラー版：2.8～3.3V)で駆動できます。消費電力はモノクロ版が15mW、カラー版が25～35mW(CCDの1／5～1／10程度)のため、バッテリー駆動が要求されるモバイル機器に最適です。

### 3. 超小型レンズ一体型パッケージ

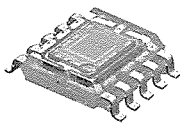
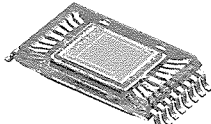
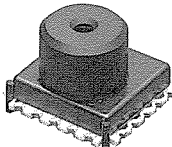
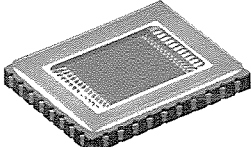
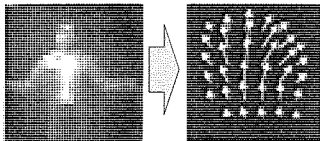
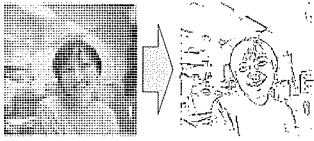
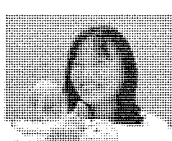

カラー版人工網膜LSI(M64270G、画素数：160×3(R, G, B)×144)は、容積0.9ccの超小型レンズ一体型パッケージ品です。M64270Gは、色調補正やガンマ補正などのカラー画像処理回路とともにノイズ低減回路やADコンバータを内蔵しており、これ単体でカラー画像の検出が行えます。このため、小型、低消費電力、低コストが要求されるモバイル機器に最適です。容積0.5ccのM64271G(画素数：352×288)も開発中です。

## 応用分野

モノクロ版人工網膜LSIは、セキュリティやゲームなどのセンサとして又はモバイル機器用のモノクロカメラとして使用されています。

カラー版レンズ一体型人工網膜LSIは、モバイル機器用のカラーカメラとして使用されています。

人工網膜LSI／レンズ一体型人工網膜LSIラインアップ

種別	モノクロ	モノクロ	カラー	カラー／モノクロ
製品型名	M64285FP(透明モールドPKG) M64285K(セラミックPKG)	M64283FP(透明モールドPKG) M64283K(セラミックPKG)	M64270G (レンズ一体型PKG)	M64287U(モノクロ) M64271G(カラー、 レンズ一体型PKG)
画素数	32×32	128×128	160×3(R, G, B)×144	352×288
製品写真	 M64285FP	 M64283FP	 M64270G	 M64287U
サイズ	6.13mm×5.3mm	11.1mm×6.9mm	10.6mm×10.8mm×7.5mm	11.0mm×14.0mm
撮像／ 画像処理例	 ジャンプ → 動きベクトル	 原画像 → 2値化		
消費電力	15mW(@5V)	15mW(@5V)	35mW(@3.3V)	25mW(@2.8V)
用途	センサ	カメラ、センサ	モバイル用カメラ(PDC, PDA, ゲーム等)	