

基地局用高出力FET

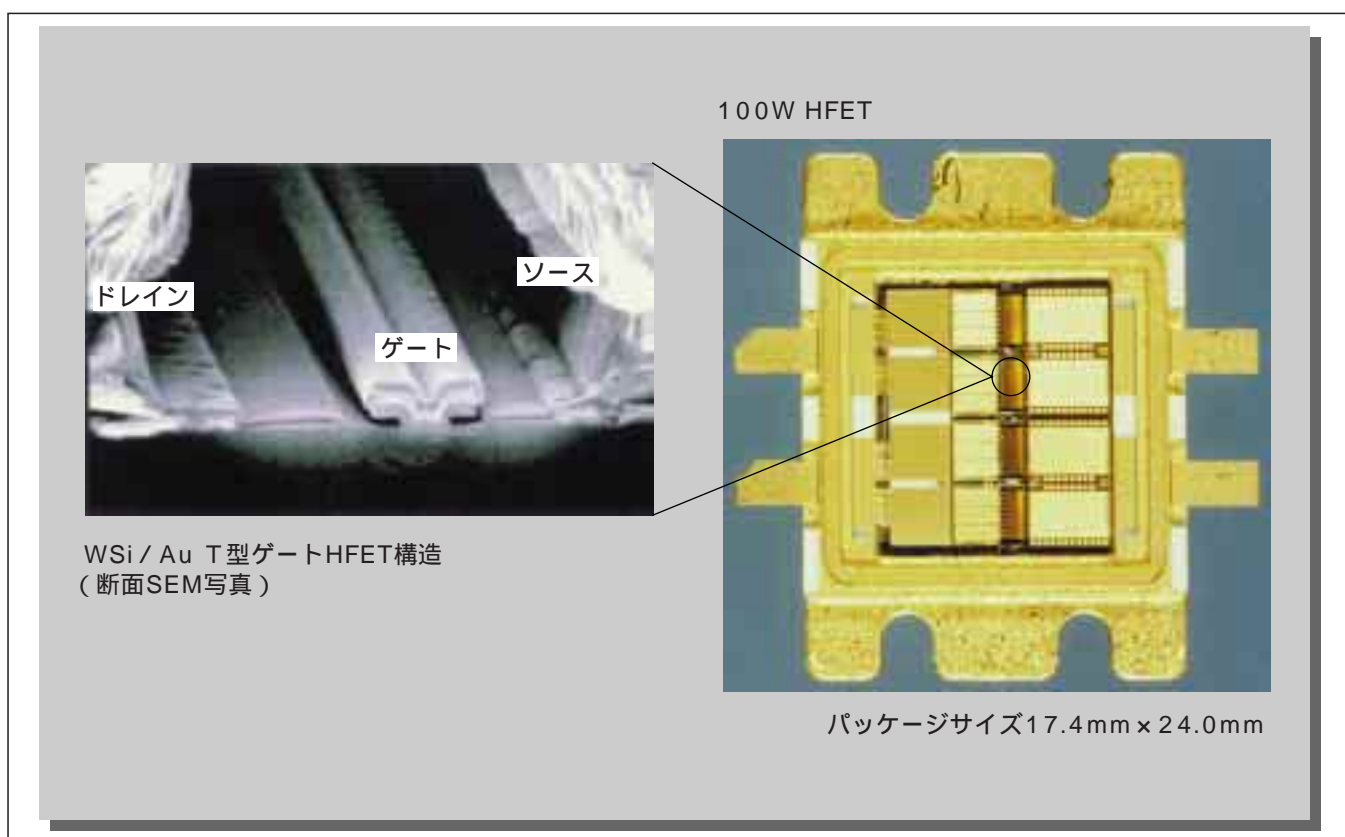
要旨

近年、携帯電話等の移動体通信の普及は目覚ましく、その通信の核となる基地局の整備が急速に進められている。これら移動体通信基地局に用いられる固体増幅器用トランジスタには、高出力化、低ひずみ・高効率動作が強く求められている。このような背景の下、三菱電機では、携帯端末基地局向けに100Wの出力を持つ高出力FET(Field Effect Transistor)を開発した。

トランジスタ構造として、従来のMESFETに比べ高出力化に有利なHFET(Hetero-structure FET)構造を採用している。また、WSi / Au 2層からなるT型ゲート構造を採用してゲート抵抗の低抵抗化を図ることで、チップサイズ縮小に必要なゲートフィンガ長の長尺化を実現している。

このHFET構造を用いた総ゲート幅86.4mmのチップによって、周波数2.1GHz、動作電圧10Vの条件で、飽和出力44.6dBm(28.8W)、線形利得13.4dBの特性を実現している。このチップは、現在までに報告されている30W級チップとして最小のチップサイズ(1.24mm × 2.6mm)である。

開発したFETは、このチップを4合成することで100Wの出力を実現しており、電力付加効率24%、3次相互変調ひずみ - 35dBc(@ $P_{out}=42dBm$)の高効率、低ひずみ特性を持っている。またこのFETは、チップサイズの縮小化を図ることにより、従来の30~50W級FETと同一のパッケージの採用が可能となり、固体増幅器の小型化に有効である。



100W HFETの写真、及びHFETチップのゲート近傍断面SEM(Scanning Electron Microscope)写真

トランジスタ構造として、高出力化に有利なHFET構造、ゲート抵抗低減のためのWSi / Au T型ゲート構造を採用し、チップサイズの縮小化を実現した。4チップ構成の高出力HFETは、飽和出力100W、42dBm出力時の3次相互変調ひずみ - 35dBc、電力付加効率24%の優れた特性を持っている。また、100W級のFETとしてこれまでに報告されている中で最小サイズのパッケージを適用している。