微細化・高速メモリ設計による 128MSDRAM，64MSDRAM

濱本武史*　豆谷智治**
朝倉幹雄**　石井敦司*
鈴木富夫**

要　旨

0.20μmCMOSプロセスを用いて，×４／×８／×16構成の128MビットSDRAM(Synchronous DRAM)の第一世代品，及び64MビットSDRAMの第四世代品の開発を行った。

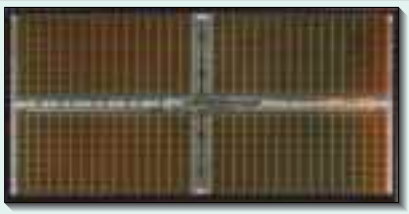
微細加工プロセスの適用によるメモリアレー面積の縮小，チップアーキテクチャ及び回路の最適化による周辺制御回路の削減により，チップ面積を大幅に縮小し，コスト低減を実現した。一方で，メモリアレー用の電源電位を制御することで，ロー系回路の動作を高速化した。また，メモリアレーとデータ入出力回路を結ぶデータバスの最適化及び制御回路の分散配置化により，周辺回路面積を削減するとともに，コラム系回路動作の高速化と低消費電力化を実現した。

今回開発した製品は，パソコン，ワークステーション等のメインメモリで主流となりつつある外部バス周波数100MHz対応のPC100スペックをCASレイテンシ(Column Address Strobe Latancy)２で満足し，さらに，内部データパスのパイプライン化と高速化で外部バス周波数133MHzにも対応可能である。高性能，低コストというメインメモリに対する市場の要求に十分こたえ得るものと考える。

語構成	32M×4	16M×8	8M×16
パッケージ	54ピン 400 mil TSOP		
型名	M2V28S20TP	M2V28S30TP	M2V28S40TP

128MSDRAM第一世代品

語構成	16M×4	8M×8	4M×16
パッケージ	54ピン 400 mil TSOP		
型名	M2V64S20CTP	M2V64S30CTP	M2V64S40CTP



64MSDRAM第四世代品

0.2μmプロセス使用の128MビットSDRAM，64MビットSDRAM

128MビットSDRAM第一世代品，64MビットSDRAM第四世代品の製品型名とチップ写真を示す。
両製品ともデザインルール0.2μmの同一プロセスを使用している。

*ULSI技術開発センター　**メモリ事業統括部