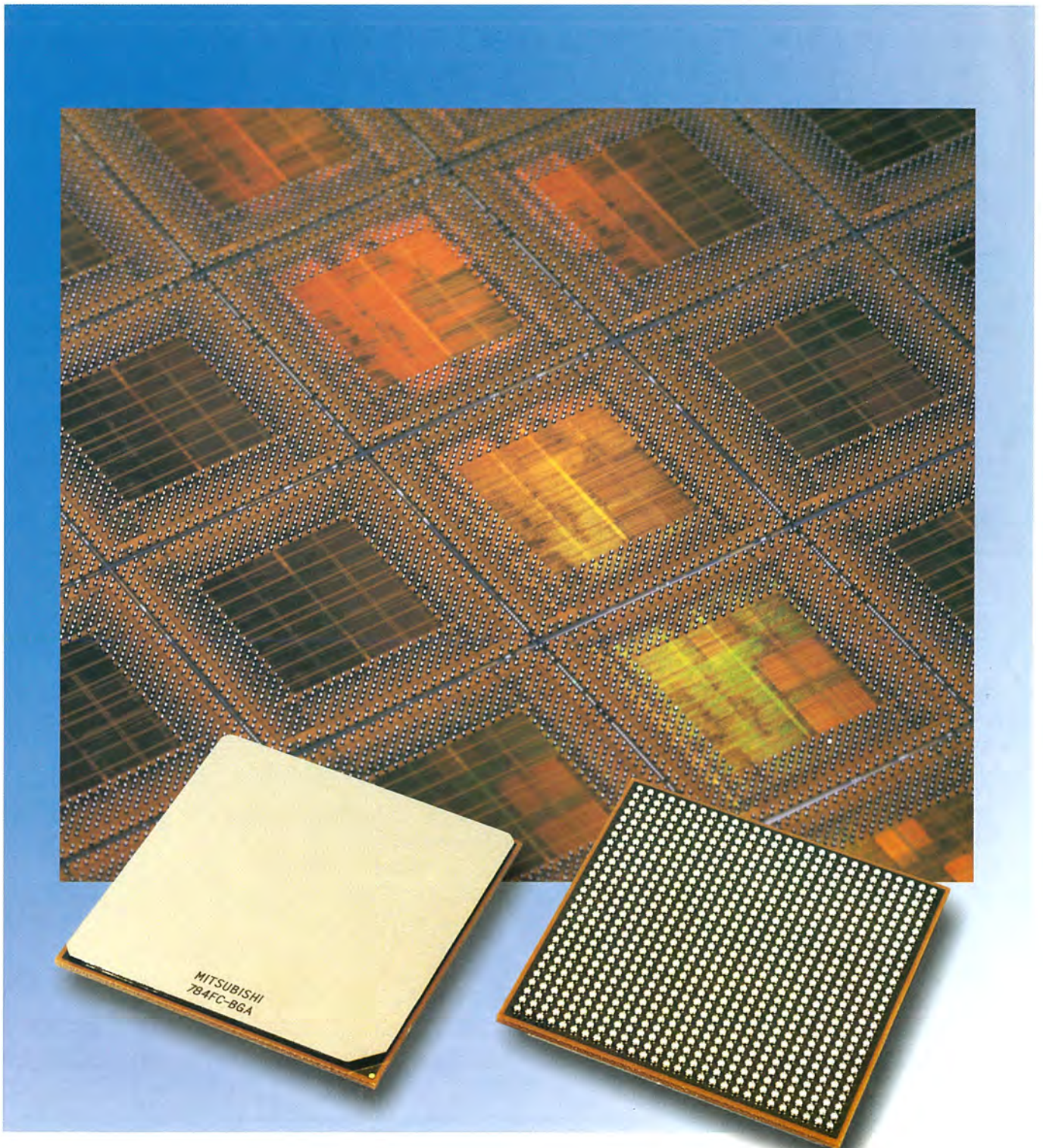


# MITSUBISHI

## 三菱電機技報 Vol.73 No.3

特集 “システムLSI”

'99 **3**



## 特集 “システムLSI”

### 目次

#### 特集論文

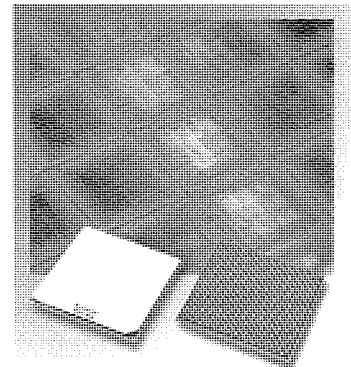
“システムLSI”特集に寄せて 長澤絃一	1
システムLSIの現状と展望 土橋宏二	2
システムオンチップ	
4MバイトDRAM内蔵32ビットRISCマイクロコントローラ“M32Rx/D” 高田浩和・近藤弘郁・清水 徹	8
単一電源フラッシュメモリ内蔵16ビットマイコン“M37920FGMHP/CGP” 井上尚起・小浦正人・樋口光誠・今村 昭・網 康裕	12
人工網膜モジュール 近藤由和・田村俊之・三宅康也・田中健一・田井修市・久間和生	17
システムLSI開発環境 安藤智子・石川淳士・東田基樹	21
メモリLSI(先端メモリコア)	
微細化・高速メモリ設計による128MSDRAM, 64MSDRAM 濱本武史・朝倉幹雄・鈴木富夫・豆谷智治・石井敦司	25
2.7V単一電源動作の70ns 16MビットBGO機能付きフラッシュメモリ 早坂 隆・石崎 統・稲葉 努・木村広嗣・楨本ひろみ	29
高速メモリバス対応モジュール 武 正行・福永英樹	33
マイコン/ASIC	
高性能16ビットマイコンM16Cシリーズ 中村和夫・藤高繁明・北上尚一・山崎貴志・林 直人・榎 浩彰	37
フリップチップBGAを採用した高速ECA ASIC 植田昌弘・真金光雄・高木亮一・馬場伸治・齊藤 健 藤原隆成	41
165GOPs MPEG 2 対応広範囲, 全探索動き検出LSI 花見充雄・石原和哉・ステファン スコツニオフスキー・松村哲哉・風山雅裕・鈴木弘一	45
プリンタ及びPPC用パルス幅変調LSI 長野英生・菅 庸拓・谷口正治・坂本 淳	50
基盤技術	
高速システムLSI対応Cu配線技術 大崎明彦・林出吉生・東谷恵一・三上 登	55
ディープサブミクロン対応トランジスタモデルパラメータ技術 越智麗仁・中村旨生・谷沢元昭・木寺真琴	59
2,000ピン級超多ピンパッケージ技術 馬場伸治・富田至洋・松嶋弘倫・竹本好孝	63
特許と新案	
「半導体装置及びその製造法」「半導体記憶装置」	67
「半導体装置」	68
スポットライト	
三菱16ビットマイコンM16C/80のご紹介	(表3)

#### 表紙

##### 高密度実装のフリップチップASIC

写真は、はんだバンプをチップ上に載せたフリップチップ方式のASICの例である。LSI上のはんだバンプの最小ピッチは220 $\mu$ mで、千鳥構成で実用レベルでは世界最高水準の狭ピッチ化を実現しており、5層配線のCMOSプロセスを用いた11.93mm角のチップ上に834個のバンプを配置している。信号数は504ピンで、150MHz動作の高速I/Oバッファ及びPLL(Phase Lock Loop:位相同期回路)、クロックドライバ、温度センサ等を内蔵している。

1999年中には、更にピッチを狭くし2,000ピン級の高密度実装パッケージを実用化し、0.25 $\mu$ m/0.18 $\mu$ mのASICに適用される。



## “システムLSI”特集に寄せて

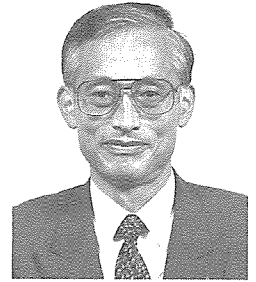
1998年は、アジアからロシア・中南米まで経済危機のあらし(嵐)が吹き荒れ、元凶である日本も依然景気低迷に沈む苦しい年であった。半導体分野も'97年から続くメモリの世界的供給能力過剰が価格下落を呼び、それが全分野に波及した。事業存続をかけてDRAM製造からの撤退、工場閉鎖、部門の売却などの処置が各社で採られたことは記憶に新しい。

当社においても例外ではなく、半導体事業の低迷が全社の業績に影響を与える結果を招いた。しかし、今後当社が情報処理や情報通信事業へ新たな展開を得ていくためにはキーデバイスを受け持つ次の半導体事業の貢献が不可欠であることから、これまでの事態を厳しく受け止め、昨年1年をかけて事業を根底から変える対策を打ってきた。

それらは①システムLSI事業の強化、②コスト意識の徹底、③デザインオリエンテッド企業への転進である。①のシステムLSI事業は先端システムLSIと基幹デバイス群(マイコン/ASIC、パワーなど個別半導体素子)からなるが、当社の顔である先端システムLSIでは“eRAM”をコアコンピタンス(強み)とし、他社と明確に差別化できる技術をベースに事業を展開していく。このために0.18 $\mu$ mルール化を加速し、生産能力も増強する。開発費はeRAMに加え、同じ技術でコスト競争力のある高性能DRAMも生産し、回収を図る。その後は速やかに基幹デバイス群に技術を展開していく。②のコスト意識は従来からの運動を更に徹底したもの、③はエンジニアを大幅にシステムLSI設計にシフトさせ、社内構造から変革を図っているところである。システムLSIはシステム知識をチップ化するものである。

取締役  
半導体事業本部長  
理学博士

長澤 紘一



システムLSIを必要とする応用分野は幅広く、すべてを扱うことはリソース分散となるため、当社の扱うシステム応用分野を取捨選択した上で当社のIP開発と整備も集中する方針である。

これらに加えて、次世代0.15 $\mu$ m以降の技術開発と来るべきデジタル情報家電時代への布石として松下電器/松下電子工業(株)との開発協業を3社合意の下にスタートさせた。相互技術の補完によって市場競争力を持つ技術を迅速に確立すること、また、IP開発・保有に関しても協力していく考えである。他の社外協業とも併せて開発費の削減と効率化も追求する。

最も大事なことは、これらを成し遂げるスピードとコストだと思っている。顧客の要望・要求に間に合って始めて次の展開がある。そして利益の上がる体質(費用構造)を作り上げなければならない。

- 間に合ってなんぼ(Time to Market)
- もう(儲)かってなんぼ(Cost Competitive Manufacturing)

の精神で着実に成果を上げていきたい。

今回の三菱電機技報半導体特集号“システムLSI特集”では、先端システムLSI、基幹デバイス製品、銅配線に代表される重要プロセス技術など、当社が自信を持って取り組むシステムLSI製品とその技術の論文を集めており、お客様の御要求を満たす技術、お客様の役に立つチップの情報をお届けするものです。御一読、御参照いただければ幸いです。

# システムLSIの現状と展望

土橋宏二\*

## 要旨

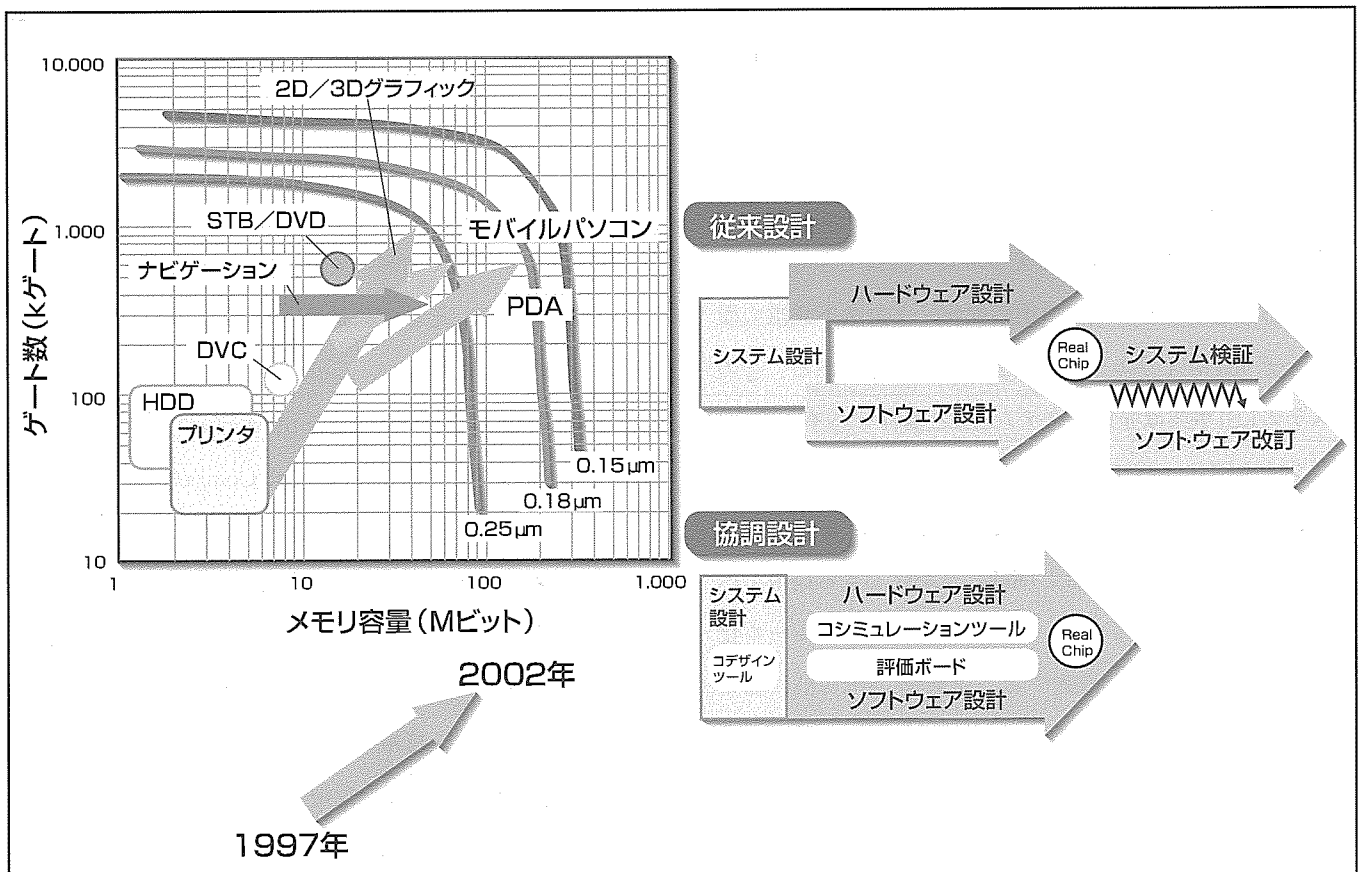
デジタル化の進む電子機器には高性能化と低消費電力化の両立が要求されるが、これを実現するためには、従来ディスクリットに構成されていたメモリ、ロジック、CPUを1チップに集積し、システムトータルでの性能を発揮させる必要がある。これを可能にするのがシステムLSIである。近年の半導体プロセスの微細加工技術の飛躍的な進展により、システムを1チップに搭載するシステムオンチップが現実のものとなってきた。三菱電機は、システムLSIの分野にフォーカスした新技術の開発に注力し、電子機器の付加価値の創出に寄与していく。

本稿では、まずシステムLSI市場の分野別動向予測を述

べる。次に、当社が他社に先駆けて開発を進めてきたeRAM(embedded RAM)のキーテクノロジーと動向を紹介する。最先端プロセス技術は業界の先端を走る0.18 $\mu$ m技術である。

システムLSI開発環境として、当社ではハードウェアとソフトウェアの協調設計・検証環境の構築、またIP(Intellectual Property)リユース体制として高付加価値IPの整備や、IPを用いたLSI設計手法の確立を加速している。

さらにシステム機器メーカーとの共同開発によってシステム技術と半導体技術の融合を図り、応用分野に特化したシステムソリューションを提供していく。



## DRAM混載LSIの応用分野と協調設計

1997年から2002年へのメモリ混載LSIの各市場のメモリ容量とロジック規模を示す。半導体プロセスの微細加工技術の飛躍的な進展により、システムオンチップが現実化してきた。三菱電機が開発を進めてきたeRAMは、業界の先頭を走る0.18 $\mu$ m技術である。当社では、システムLSI開発環境として、ハードウェアとソフトウェアの協調設計環境の構築に取り組み、性能向上と開発工期短縮をも実現させている。

## 1. ま え が き

デジタル技術の進展は、情報、通信、映像・音声の複合を加速し、高機能をうたう新しい電子機器が市場に投入されては、目まぐるしく世代交代を重ねている。半導体デバイスは、急激に変動する電子機器の技術革新を促し、支えてきた。

近年の半導体プロセスの微細加工技術の飛躍的な進展により、システムを1チップに搭載するシステムオンチップが現実のものとなってきた。次世代の電子機器を実現する手段として、システムオンチップが今後のLSIの潮流となるであろう。

当社は、システムLSIの分野にフォーカスした新技術の開発に注力し、電子機器の付加価値の創出に寄与していく。

本稿では、当社が他社に先駆けて開発を進めてきたeRAMを中心に、システムLSIに対する取組を紹介する。

## 2. 半導体市場の現状と動向

世界の主要半導体メーカーが加盟する統計機関WSTS (World Semiconductor Trade Statistics)による半導体市場実績と予測を図1に示す。1998年の半導体市場は、世界的なパソコンの供給過多と低価格化、日本及び東南アジア経済の低迷などにより、半導体需要が低調になったこと、メモリを含め半導体全体の価格が低下したことなどにより、マイナス成長を記録し、'86年以来最悪の半導体不況に陥っている。電子機器市場の回復により、現在を底にして、'99年以降は徐々に回復すると予測されているが、急激な回復をけん(牽)引する要因は見当たらず、'99年は成長率も6.6%と1けた台にとどまる見込みである。

市況が低迷するメモリに代わる主力事業として、マイコン、ロジック、メモリの機能を複合したシステムLSIに半導体メーカー各社が注力している。同時に、電子機器メーカーも、マルチメディア時代の電子機器を支えるキーデバイスとして、システムLSIに期待を寄せている。現在、シ

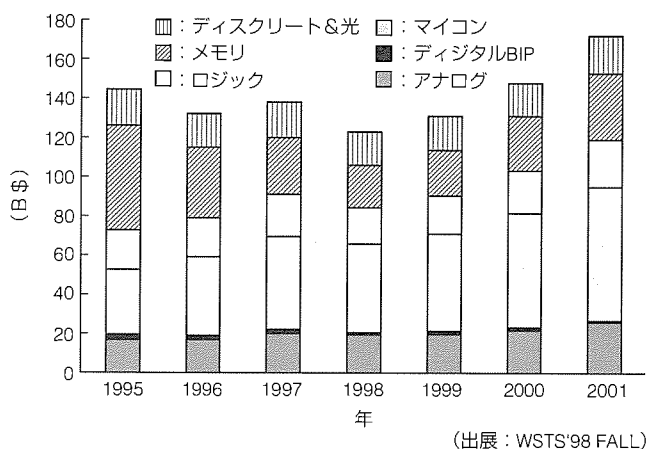


図1. 世界半導体市場動向(実績・予測)

ステムLSIの定義は各社各様ではあるが、図2に示すデータクエスト社の予測によるシステムレベルインテグレーションASIC市場動向からその傾向が読み取れる。高い成長率で従来型ASICにきつ(拮)抗し、2002年には比率が逆転すると予測されている。

では、なぜシステムLSIか。

今、デジタル化の進む電子機器には、高性能化と低消費電力化の両立が要求されている。これを実現するためには、従来ディスクリートに構成されていたメモリ、ロジック、CPUを1チップに集積し、システムトータルでの性能を発揮させる必要がある。そのため、システムLSIの需要が拡大している。

以下、システムLSIの市場として期待される分野の動向を述べる。

### (1) パソコン及びパソコン周辺機器

パソコン市場は、一時期のような急激な拡大は望めないものの、インターネットの普及、低価格化や高機能化の進展により、安定した成長率を維持すると思われる。特に携帯性に優れたノートパソコンは、CPU性能の向上や液晶の低価格化を背景として、ビジネスユースを中心に順調に拡大すると予測される。

周辺機器もパソコン市場の推移に追随する。データストレージ分野では、音声や映像・画像データの扱いを可能とするための大容量化とCD-ROMからDVD-ROM、CD-R/RW、DVD-RAMなどの光記憶装置の世代交代が進む。プリンタは、マルチメディア機器に対応する高画質化、印刷速度の高速化が進む。表示装置には、高解像度化、パソコンへの3Dグラフィックス導入に伴い、高性能化が要求されている。

### (2) デジタルAV

AV機器は、デジタルをキーワードに大きく変容した。コンピュータと通信の融合やネットワーク化が推進し、映像・画像・音声処理などの高機能化が加速した。特に、デジタルビデオカメラやデジタルスチールカメラ、

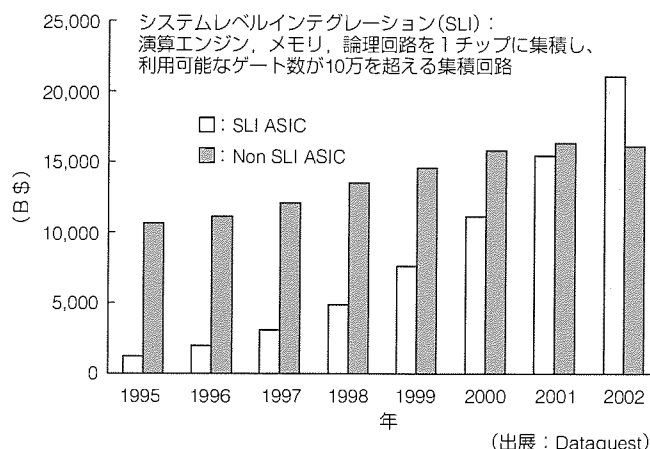


図2. システムレベルインテグレーション市場動向

DVDプレーヤーなどの需要は急激な拡大傾向にある。

また、日本・欧州・米国で、テレビ放送をアナログからデジタルに移行する動きが進んでいる。特に米国では、2002年にデジタル地上波放送が始まり、2006年にはアナログ放送が打ち切られる予定である。

これらの機器では、高度なデジタル信号処理のための高性能化、携帯化に伴う低消費電力化や小型化・軽量化などが求められている。また、この市場の傾向として、製品のサイクルが短いことが挙げられる。新製品が次々に市場に投入され、競争が激化している。

### (3) 移動体通信

移動体通信端末の累積加入数が2億人を超え、世界需要も前年比150.5%の1.1億台になった。デジタル化の進展、ITU(国際電気通信連合)を中心に標準化が進められている次世代移動体通信システムIMT-2000(International Mobile Telecommunication 2000)の導入、移動体衛星通信の実用化など、需要を喚起する要因も多い。また、ワイドバンドCDMA方式の登場により、映像データを取り込んだマルチメディア通信が可能になるとしている。

移動体通信端末の中で93%を占めるデジタルセルラの半導体需要は、電子機器の中でもパソコンに次ぐ規模になっている。半導体へのインパクトとしては、フラッシュメモリの大容量化やDSPの高性能化が挙げられる。また、低電圧・低消費電力への要求がますます高まり、1チップ化が進むものと思われる。

## 3. システムLSIを支えるキーテクノロジー

システムLSIは技術の融合体である。つまり、異なった最適化の道を進んできた異種デバイス同士の混載、社内外から調達した設計資産(Intellectual Property: IP)の流用、さらに、ハードウェアとソフトウェアの最適な組合せがシステムLSIを実現する。半導体メーカーには、こうした技術を総動員した総合的なソリューションを電子機器メーカーに提供することが期待され始めている。

この章では、システムLSIを実現するキーテクノロジーについて、その技術動向と当社の展開について述べる。

### 3.1 大容量メモリ混載技術(eRAM)

メモリとロジックを1チップに集積するメリットは、今や言をまたない。メモリとロジック間での高速データ転送、消費電力やEMI(Electro-Magnetic Interference)の低減、部品点数削減による実装面積の縮小、そして、アーキテクチャの自由度向上などの利点を挙げることができる。

当社では、大容量メモリとロジックを混載したデバイスをeRAMと呼び、強力に開発を

推進してきた。ノートパソコンやデジタルスチールカメラ、デジタルビデオカメラなどの身近な製品に当社のeRAMは既に組み込まれており、これらの機器に新しい付加価値を提供している。

混載用メモリとして、DRAM, SRAM, フラッシュメモリがある。この中でDRAM混載LSIは、画像処理などの高性能機器の市場を中心に急速な立ち上がりを見せてきた(図3)。高性能化要求の高いプリンタやデータストレージなどのパソコン周辺機器分野への市場拡大も期待できる。また、低コスト重視の民生機器にもパソコン並みの処理性能が求められるようになり、メモリ混載LSIの新しい市場として育ってきた。図4にメモリ混載LSIの市場として期待される分野を示す。矢印は、1997年から2002年への各市場の要求するメモリ容量とロジック規模の推移を表す。囲んであるものは、要求に大きな変動のないことを示す。これらの市場では、高速性能指向と低消費電力指向の二極化が進んでいる。また、プログラマビリティという別種の要求もある。当社では、各々の分野の要求に適した多様なコ

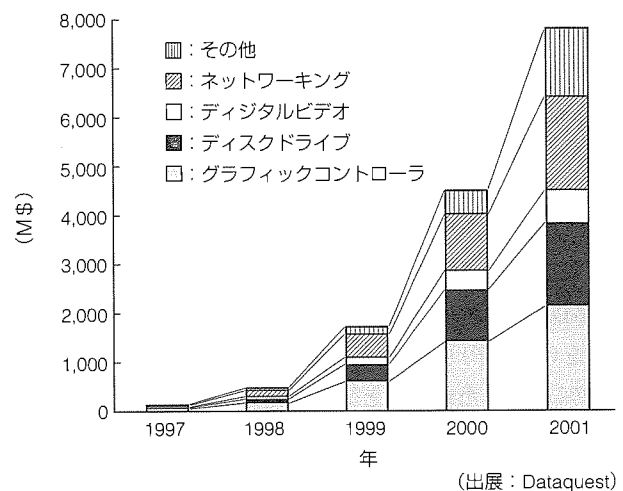


図3. DRAM混載ASIC市場動向

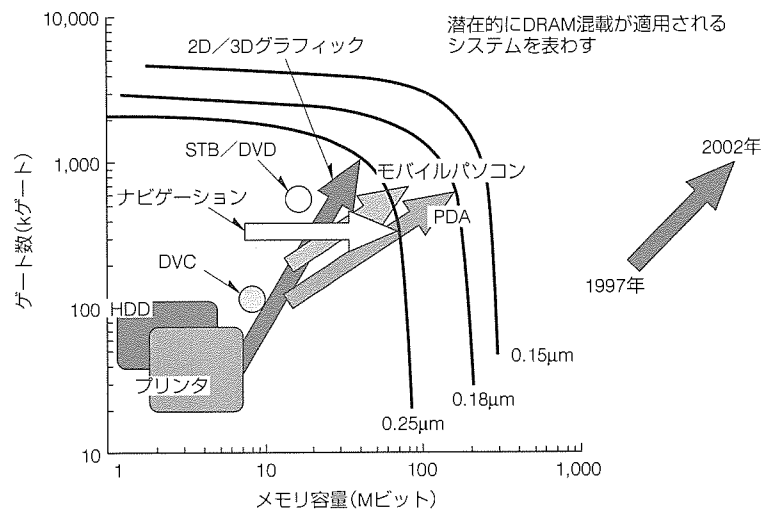


図4. DRAM混載LSIの応用分野

アの混載を実現していく。

(1) DRAM混載

高性能の面では、DRAM混載が有利である。0.18 $\mu$ mルールでは、100Mビットを超えるDRAMの搭載が可能である。このDRAMとロジック間を256ビット幅のバスでつなぎ、100MHzで動作させれば、3.2Gバイト/秒ものバスバンドを実現する。

当社独自のDRAM混載専用プロセスは、ロジックの高速動作とDRAMの高集積性を兼ね備えたデバイスを形成する。これを実現するために、図5に示すようなプロセス技術の課題、つまり、DRAMとロジック間の干渉の除去、DRAMとロジックで用いられるトランジスタ性能差の克服、ゲート集積密度の確保などを克服してきた。

混載における第一の課題、つまりDRAMとロジック間の干渉の除去については、ロジック部とDRAM部の基板(ウェル)構造を分離することによって実現している。当社では、高エネルギーイオン注入を用いたトリプルウェル構造を開発し、DRAM部への干渉を阻止している。

次に、トランジスタ性能を向上する上で、DRAM部とロジック部でゲート酸化膜厚が異なることが障害になる。ロジックデバイスのゲート酸化膜厚は高性能化を図るために薄膜化が進んでいるが、DRAMはメモリセル動作に高い電圧を用いる必要性から、ロジックデバイスほど薄くできない。当社では、両者のゲート酸化膜厚を作り分けるDual Oxide Processを採用することにより、ロジックプロセスで形成するトランジスタと同等の性能を達成している。

さらに、多層配線プロセスとしてCMP (Chemical Mechanical Polish)を用いた平坦(坦)化構造を採用し、同世代のロジックデバイスと同じ層数の狭ピッチ多層配線を実現し、集積密度を高めた。

今後、更に微細化を進めるためには、記憶容量を構成する絶縁膜によって高誘電率の材料に変更する必要がある、BSTやTaO<sub>x</sub>の採用が検討されており、0.13 $\mu$ m世代に向け

実用化のレベルに入ってきた。

また、モジュールジェネレータによって応用機器に最適構成のコアを短期間で供給し、開発サイクルの短い応用分野での市場競争力を支える。

(2) SRAM混載

プロセスの微細加工技術により、SRAMのセル面積の縮小化が進んでいる。ロジックプロセスと同様のプレーナ方式でメモリセルを形成するSRAMは集積度が低く、現実的な面積で1Mビットを超える容量のコアを搭載することはできなかった。当社では、大容量SRAM混載を目的としたCMOSプロセスのチューニングを行った。トレンチ分離技術や転写技術にKrFリソグラフィ技術を採用することにより、0.18 $\mu$ mルールでは、0.25 $\mu$ mルールと比べてSRAMの面積が1/3になり、最大8MビットのSRAMが搭載可能になる。

スタンバイ電流の低いSRAM混載は、携帯機器の100mW以下という低消費電力要求にこたえることができるほか、アクセス時間が早いことを生かした通信用LSIへの応用が期待できる。従来、DRAM混載を訴求してきた分野に対して、ソリューションの枠を新しく広げたことになる。

(3) フラッシュメモリ混載

フラッシュメモリ混載は、プログラマビリティ、つまり仕様変更をプログラムの変更で行えること、機器の製造時の特性ばらつきをプログラムでチューニングできること、出荷後のバージョンアップが可能なが利点である。

当社は、'94年に16ビットマイコンにフラッシュメモリを内蔵した2電源タイプを量産開始した。'97年には当社オリジナル技術であるDINOR (Divided Bit Line NOR)型フラッシュメモリを内蔵した単一電源タイプの開発に成功し、品種展開も7900シリーズ、M32R/Eシリーズに加え、M16Cシリーズ、M16C/ASSPシリーズのラインアップをそろえている。

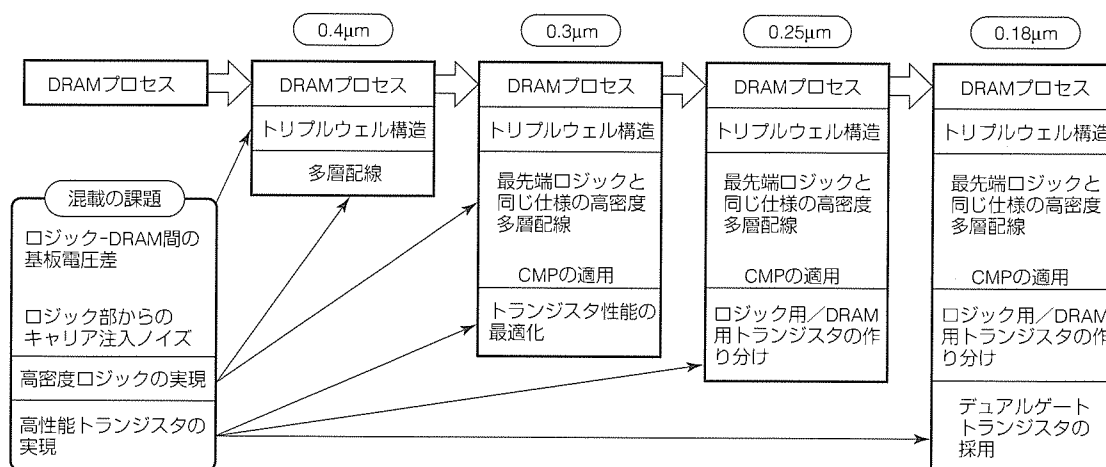


図5. DRAM混載LSIの技術的課題

当社のフラッシュメモリ内蔵マイコンは、コマンド制御による書換え動作、高速での書換え、低電圧単一電源動作といった特長を強味に、データストレージ分野やエンジン制御などの車載機器分野で実績がある。さらに、パソコン周辺機器や通信携帯機器分野にも用途が拡大している。

図6に当社フラッシュメモリ内蔵マイコンのロードマップを示す。現在、小容量内蔵フラッシュメモリに最適なNew DINORアーキテクチャの開発も進めている。また、DINOR/New DINOR共に、書換え時間の短縮、低電圧、低消費電力化、書換え保証回数の向上などを進めている。

### 3.2 システムLSI開発環境

システムオンチップでは、アーキテクチャの自由度が向上する。一方で設計は複雑になり、システムLSIに対応した新しい設計手法が求められており、ハードウェアとソフトウェアの協調設計・検証が注目を集めている。

協調設計とは、ハードウェアとソフトウェアの最適化設計手法である。この目的は、設計の早期段階でのハードウェアとソフトウェアの最適分割と設計期間短縮にある。

従来のシステムLSIの開発では、ハードウェア試作後にソフトウェアを含めたシステム検証が行われる。この段階で不具合が検出されても、ハードウェアへのフィードバックは困難であり、ソフトウェアの工夫だけでは品質改善に限界がある。

当社は、協調設計環境の構築に積極的に取り組んでいる。現状は、設計者の経験でハードウェアとソフトウェアの機能分割を行い、コシミュレーションや評価ボードなどの協調検証ツールによって配分を評価している。ハードウェア製造前にシステム上の不具合が検出できるので、品質改善のみならず開発期間短縮も実現する(図7)。

しかし、協調検証ではある程度設計が進んだ状態でないと検証が意味を持たない。システムの仕様をC言語で記述しておき、インタラクティブに機能分割の結果を評価し、この記述からのHDLとオブジェクトコードを

自動生成するといったことを実現する方向に向かうものと思われる。

### 3.3 IP(Intellectual Property)リユース

システムレベルのLSI開発を迅速に行うためには、すべてのモジュールを新規に開発することはもはや現実的ではない。過去に設計・検証された設計資産を有効に活用する手法が中心になってきた。

当社でも、高付加価値IPの整備やIPを用いたLSI設計手法の確立を加速している。メモリコア、アナログコア、CPUコアに加え、マルチメディアや情報通信分野に焦点を当て、IEEE1394、IEEE1284、USB(Universal Serial Bus)、IrDA(Infrared Data Association)などの標準バスインタフェース(図8)や、JPEG、NTSC/PALビデオエンコーダなどの画像処理関連のハードウェアIPとミドルウェアを中心にレパートリーの拡充を進めている。

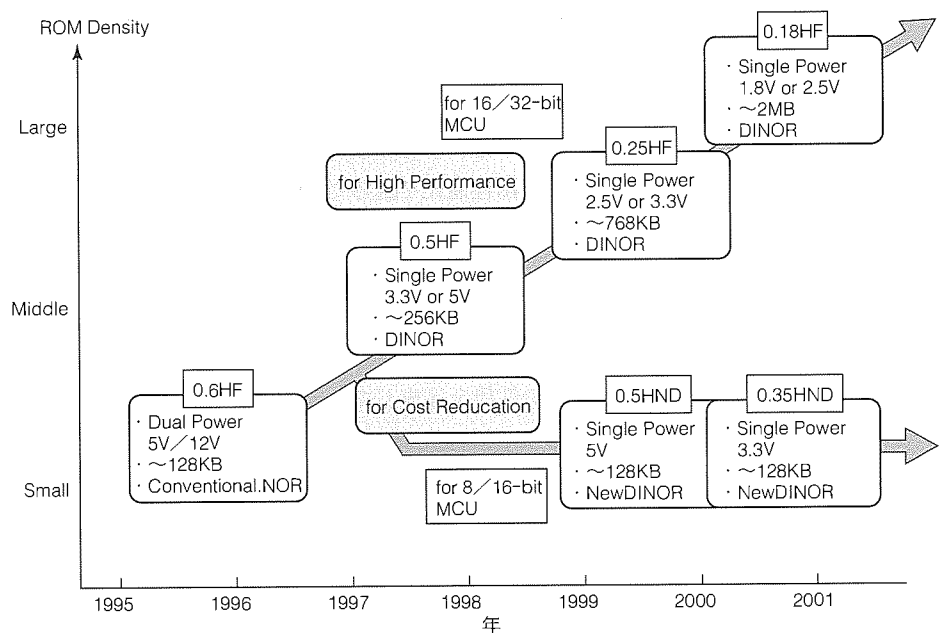


図6. フラッシュメモリ内蔵MCUロードマップ

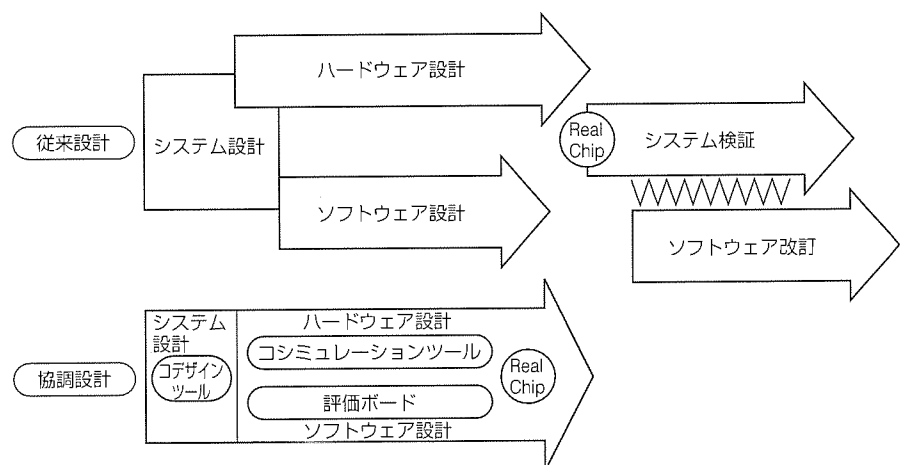


図7. 協調設計





# 4 MバイトDRAM内蔵32ビットRISC マイクロコントローラ“M32Rx/D”

高田浩和\*  
近藤弘都\*\*  
清水 徹\*\*\*

## 要 旨

M32Rアーキテクチャ完全上位互換のM32Rx CPUコアを搭載するとともに、世界最大の4 Mバイトという大容量のDRAMを内蔵した、三菱電機オリジナルの32ビットRISCマイクロコントローラM32Rx/Dを開発した。

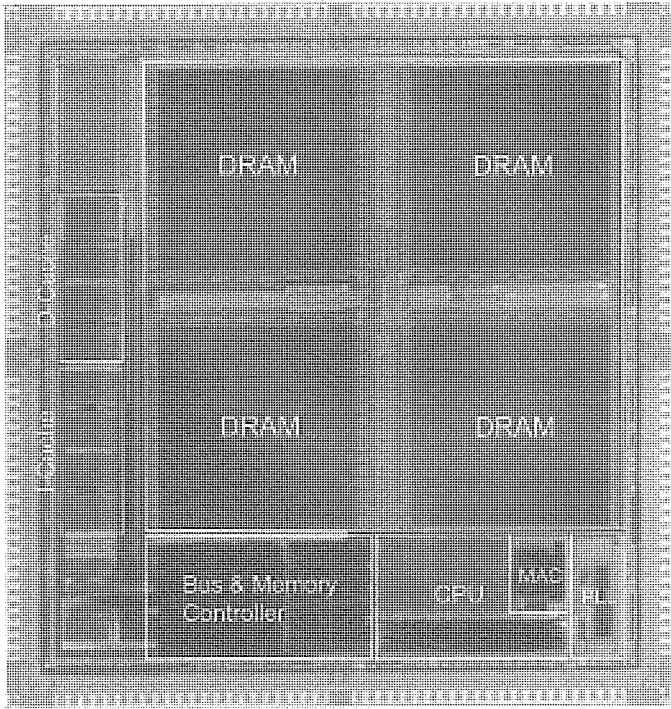
M32Rx/Dでは、内蔵DRAMとキャッシュの容量をM32R/Dに比べて倍増させており、動作周波数や外部バス転送レートの向上ともあいまって、データ処理性能が向上している。

M32Rx/Dの主な特長を次に示す。

- (1) 4 Mバイトの大容量DRAMを搭載
- (2) M32R/Dと上位互換なアーキテクチャ
- (3) 2命令並列実行可能なM32Rx CPUコア
- (4) 外部バス転送レートの向上(～100Mバイト/s)

M32Rx CPUコアでは、M32Rに対し、5個のDSP機能命令を含む12個の命令を追加し、命令セットを強化した。また、2個の32ビットALUの内蔵によって、DSP機能命令を含む2命令の並列実行が可能となっている。さらに、高速積和演算器と2本の56ビットアキュムレータを内蔵しており、32ビット×16ビット+56ビットの積和演算が1サイクルのスループットで実行でき、信号処理にも適したアーキテクチャとなっている。

M32Rx/Dは、機器組み込み向けに設計されたマイクロコントローラであり、高性能かつ低消費電力が求められる携帯情報端末やインターネット端末、及び情報家電機器へのマルチメディア応用に適している。



M32Rx/Dの諸元	
CPUコア	M32R上位互換アーキテクチャ
パイプライン	2命令並列実行, 6ステージ
命令セット	95命令/6アドレッシングモード 16/32ビット命令形式
DSP機能	積和演算(32ビット×16ビット+56ビット) 1サイクル実行
レジスタ	汎用レジスタ 32ビット×16本, アキュムレータ 56ビット×2本
アドレス空間	4Gバイトリニア
命令キュー	128ビット×2段
キャッシュ	命令: 4Kバイト, データ: 4Kバイト
外部バス	アドレス: 27ビット, データ: 16/32ビット 25MHz(max.)
内蔵DRAM	4Mバイト, x128ビット構成
周辺機能	JTAGインタフェース/デバッグ機能
動作周波数	100MHz(内部), クロック通倍比: ×3, ×4, ×5, ×6
作製プロセス	0.25μmHDプロセス
パッケージ	144ピンLQFP, 175ピンFBGA
電源電圧	2.5V(内部), 3.3V(I/O)

## 32ビットRISCマイクロコントローラM32Rx/D

M32Rx/Dは、DRAMとロジックを1チップに混載する三菱電機のeRAM(embedded RAM)技術によって大容量DRAMを内蔵した高性能32ビットRISCマイクロコントローラである。M32Rx/Dは、DRAM混載用のeRAM専用プロセスである0.25μmHD(Hyper DRAM)プロセスを用いて作製され、内部電源電圧2.5Vにおいて最高100MHzの周波数で動作する。

## 1. ま え が き

デジタルカメラ、携帯電話等の携帯情報機器、インターネット端末、セットトップボックス等の、いわゆる情報家電と呼ばれるデジタル民生機器の登場によって、機器組み込み向けのマイクロコントローラに対しても、デジタル化された情報の加工／伝達を高速に処理するための高いデータ処理性能が要求されてきている。

一方、バッテリー駆動されるような携帯情報機器においては、小型でかつ低消費電力なシステムを実現するため、高性能でありながらも低消費電力な組み込み用マイクロコントローラが求められている。

三菱電機では、これらのニーズにこたえるため、メモリとロジックを1チップに混載する当社独自のeRAM技術を駆使することにより、マルチメディア応用に最適な高性能マイクロコントローラ製品の開発と製品化を推進している。

本稿では、このたび当社が開発したDRAM内蔵32ビットRISCマイクロコントローラであるM32Rx/Dについて、そのアーキテクチャと主な特長について述べる。

## 2. DRAM内蔵アーキテクチャ

CPUコアとDRAMをワンチップ化することによってCPUとメモリ間を広いバンド幅のバスで接続することを可能にしたDRAM内蔵アーキテクチャは、メモリアクセスのボトルネックを解消しCPUの性能を今後更に増大させることが可能なアーキテクチャとして、現在大いに注目を集めている(図1)。

マルチメディア処理では特に、取り扱うデータ量が非常に膨大であるため、CPUの処理能力向上だけでなく、大量のデータに効率良くアクセスするための高いメモリシステム性能が要求されてくる。DRAM内蔵アーキテクチャでは、大容量のDRAMを内蔵することによって、大量のデータに対するアクセス性能を高めることが可能である。

さらに、このようなメモリ内蔵方式によれば、メモリほど頻繁にはアクセスされない周辺回路をチップの外部に置き、これらを内部よりも低い周波数で動作する外部バスで接続することで、外部ピンの充放電電流を低減し、システ

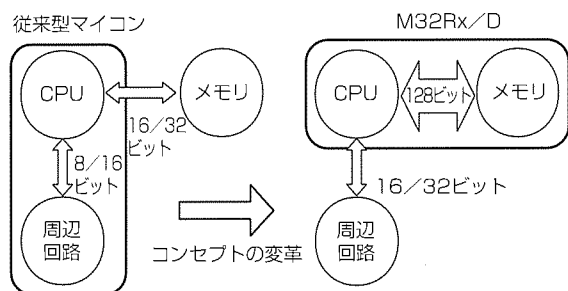


図1. DRAM内蔵アーキテクチャ

ム全体の消費電力を大幅に削減できる。

また、高速なメモリシステムを内蔵することによって、性能向上のために高価な高速メモリを外部に接続するコストを削減できるメリットも大きい。

## 3. M32Rx/Dの概要

M32Rx/Dシリーズは、世界で初めて大容量DRAMを内蔵した32ビットRISCマイクロコントローラである当社M32R/Dシリーズの上位機種として位置付けられる。

M32Rx/Dは、M32R/Dと同様、DRAM内蔵アーキテクチャを採用しており、高速CPUの性能をフルに発揮できるように、CPUとメモリをワンチップ化し、これらの間を128ビット幅の高速な内部バスで接続することによってメモリシステムの性能を大幅に向上させている。

今回開発したM32Rx/Dでは、大量のデータに効率良くアクセスできるように、内蔵DRAMの容量を倍増するとともに、新規開発のM32Rx CPUコアを採用し、さらに外部-内蔵DRAM間のデータ転送能力を強化することによって、より大規模なデータ処理を効率良く実行することを可能にした。

M32Rx/Dの主な特長を以下に示す。

- (1) 4 Mバイトの大容量DRAMを搭載
- (2) M32R/Dと上位互換なアーキテクチャ
- (3) 2命令並列実行可能なM32Rx CPUコア
- (4) 外部バス転送レートの向上(~100Mバイト/s)

## 4. M32Rxアーキテクチャ

### 4.1 命令セットアーキテクチャ

M32Rxアーキテクチャは、M32Rアーキテクチャに完全上位互換な当社オリジナルの32ビットRISCアーキテクチャである。

M32Rx CPUコアは、M32R/Dと上位互換を保ちながら2命令並列実行を可能にしたRISCコアであり、5個のDSP機能命令を含む12個の命令が追加されている。ただし、レジスタ構成は、アキュムレータが1本追加された以外、M32Rと同じ構成となっており、互換性を維持している(図2)。

M32Rx CPUは、ワード境界内に配置された二つの16ビット命令の組を並列に実行する機構を備えている。ここで、この並列実行の検出は、動的には行われずに、命令コード生成時に静的にスケジューリングされる。

M32Rxの命令フォーマットは大きく分けて2種類あり、一つは32ビットワード境界内に格納された二つの16ビット命令、もう一つは単一の32ビット命令である(図3)。

具体的には、16ビット命令と32ビット命令とはMSB(Most Significant Bit)の値で識別することができ、16ビット命令はMSBが0で、32ビット命令はMSBが1となって

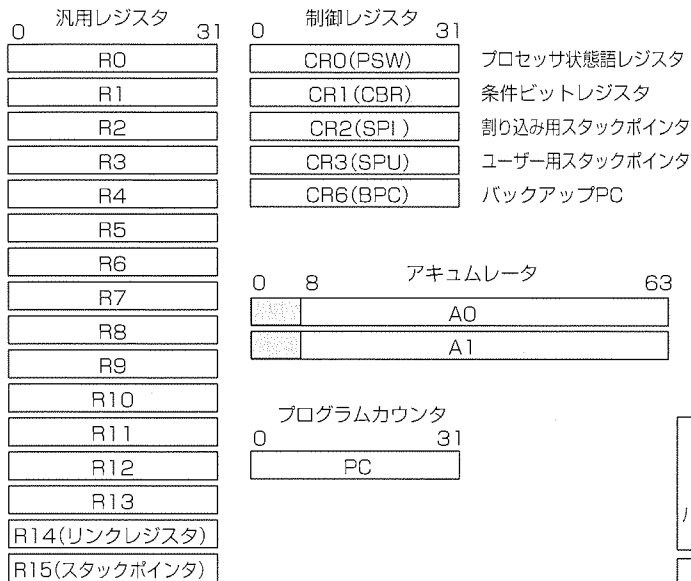


図 2. M32Rxの内蔵レジスタ

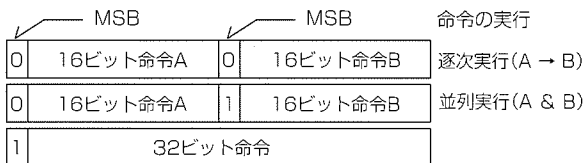


図 3. M32Rxの命令フォーマット

いる。いま、二つの16ビット命令のMSBが共に0の場合、これら二つの命令はシーケンシャルに実行される。また、下位のハーフワード境界に配置された16ビット命令のMSBが1の場合、二つの命令は並列に実行される。

#### 4.2 M32Rxのパイプライン構成

M32Rx CPUは、二つの16ビット命令を2本のパイプラインで並列実行を行う(図4)。これら2本のパイプラインは、それぞれ六つのステージで構成されている(図5)。

パイプライン1では、算術論理演算命令、ロードストア命令、分岐命令を実行することができ、パイプライン2では、算術論理演算、DSP機能用命令を実行する。したがって、並列実行できる組合せは、それぞれのパイプラインで実行できる命令の組合せとなる。

また、M32Rxは、パイプライン2の側に高速積和演算器(32ビット×16ビット演算器 + 56ビットアキュムレータ)を内蔵しており、16ビット×16ビット+40ビット→40ビット、32ビット×16ビット+56ビット→56ビットの積和演算命令を1クロックサイクルで実行できる。また、32ビット×32ビットの積和演算も平均2クロックサイクルで実行可能となっている。

これらのDSP機能命令とロードストア&アドレス更新命令を並列実行させることで、信号処理のような、従来DSPが必要とされてきた応用分野にもM32Rxを適用することが可能である。

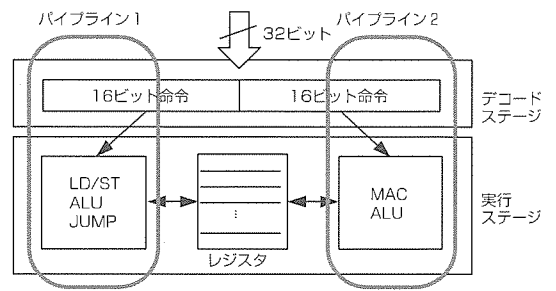


図 4. 命令の並列実行

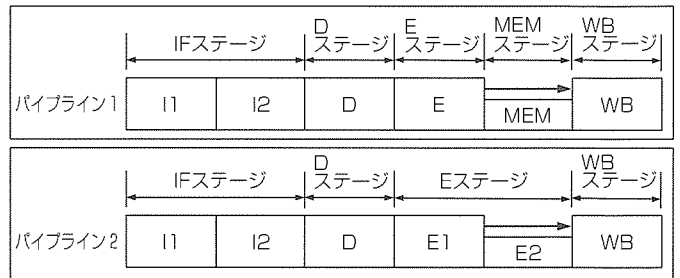


図 5. M32Rxのパイプライン構成

### 5. M32Rx/Dマイクロコントローラ

M32Rx/Dは、4Mバイトという大容量DRAMを内蔵し、内部を128ビット幅、100MHz(max.)という広いバンド幅を持つ内部バスで接続している。キャッシュとしては、4Kバイト+4Kバイトの命令/データ分離のキャッシュを搭載した。外部バスは32ビット幅であり、バースト転送により、最大100Mバイト/sという高いデータ転送能力を持っている。

また、M32Rx/DのDRAM内蔵アーキテクチャの特長として、この内部バスでCPUから内蔵DRAMへ高速にアクセス可能であるのに加え、バースト転送(DMA転送)によって外部デバイスから内蔵DRAMに高速なアクセスを行うことが可能である。

このように、M32Rx/Dでは、CPU単体性能を向上させているだけでなく、外部バスのバンド幅向上により、CPUと外部とのデータ転送や、外部からの内蔵DRAMアクセスの速度を大幅に向上させている。

そのほか、M32Rx/Dでは、デバッグ機能としてJTAG準拠インタフェースによるバウンダリスキャン機能及び内部リソースへのアクセス機能を備えた。M32Rx/Dは、0.25μmHDプロセスで作製され、電源電圧2.5Vにおいて、最高100MHzで動作する。

#### 5.1 M32Rx/Dの内部ブロック構成

M32Rx/Dの内部構成を図6に示す。128ビット幅の内部バスにはDRAM(4Mバイト)、キャッシュ(8Kバイト)、外部バスインタフェースが繋がっており、CPUはキャッシュによって、また外部バスは外部バスインタフェース

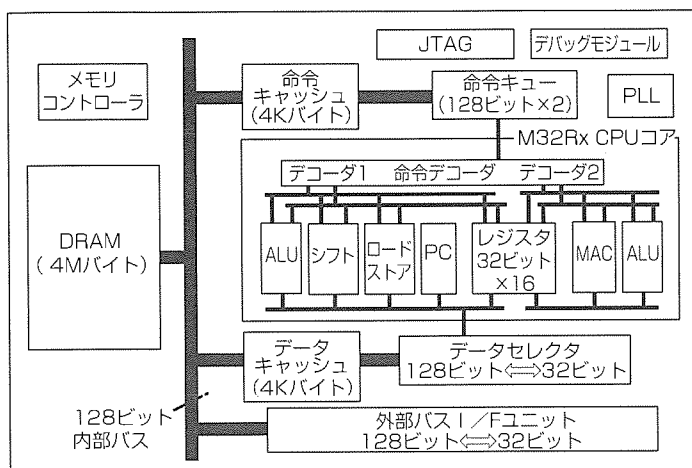


図6. M32Rx/Dの内部ブロック図

によって内部バスと分離されている。外部バスインタフェースは128ビット-32ビット変換用のバッファを複数備えており、キャッシュとともに、CPU及び外部バスからの内蔵DRAMへのアクセスの競合を緩和する役目を果たしている。

### 5.2 キャッシュ方式

内蔵キャッシュとして、命令/データ分離のダイレクトマップ方式のキャッシュを搭載している。キャッシュサイズは、命令4Kバイト、データ4Kバイトとなっている。命令キャッシュは、内蔵DRAM領域、外部領域に関係なく全ユーザー空間に対してキャッシングを行うようになっている。また、データキャッシュは、内蔵DRAMを対象とし、内蔵DRAMに格納されたデータに対してキャッシングを行うようになっている。データキャッシュは、コピーバック方式のキャッシュであり、キャッシュメモリとDRAM間のデータトラフィックを最小限に抑えている。

データキャッシュは、CPUからのアクセスのほか、外部から内蔵DRAMへのデータアクセスがあった場合(外部バスマスタアクセス)にもアクセスされる。外部から内蔵DRAMへのアクセス時にキャッシュヒットしたとき、キャッシュに対しリード/ライトすることで、アクセスの高速化を図るとともにデータの coherence を保つ構成となっている。

このようなキャッシュ構成を採用することにより、CPU動作中においても外部バスから内蔵DRAMへの非常に高速なアクセスが可能となる。プログラム実行中に外部からのバースト読み出しを実行した場合のシミュレーション結果では、CPUの実行にほとんど影響を与えることなく、高速な外部バスマスタアクセスが実現できていることが分かる(図7)。

### 5.3 128ビット外部バスアクセス用ダブルバッファ

外部バスマスタアクセスを高速化するため、外部バスインタフェース部には、内蔵DRAMのリード及びライト用

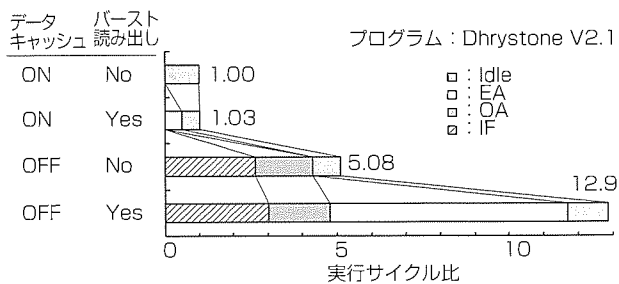


図7. 外部バスマスタアクセスに対するキャッシュの効果

に128ビットの外部バスバッファをそれぞれ2本ずつ備えている。そのため、内部バスからバッファに128ビット単位でデータを転送した後は、外部バスへ32ビット単位で4回に分けて転送している間、内部バスはCPUからのアクセス要求にも対応できる。

また、2本のバッファを使用して、片方のバッファと外部との間でデータ転送を行いながら、並行して内蔵DRAMともう一方のバッファとの間でデータ転送を行うことができる。これら2本のバッファを切り換えながら転送を行うことで、内蔵DRAMと外部とのシームレスなデータ転送を実現している。

## 6. むすび

三菱電機オリジナルのDRAM内蔵32ビットRISCマイクロコントローラであるM32R/Dシリーズの上位機種として、2命令並列実行の可能なM32Rx CPUコアを搭載し、4Mバイトという大容量のDRAMを内蔵したマイクロコントローラM32Rx/Dを開発した。

今後はM32R/Dシリーズ同様、M32Rx/Dシリーズとして、内蔵DRAM容量の大容量化や実行性能の向上を図りながら、M32Rxコアを採用したDRAM内蔵マイクロコントローラ製品群のシリーズ展開を行っていく予定である。

## 参考文献

- (1) Shimizu, T., Korematu, J., Satou, M., Kondo, H., Iwata, S., Sawai, K., Okumura, N., Ishimi, K., Nakamoto, Y., Kumanoya, M., Dosaka, K., Yamazaki, A., Ajioka, Y., Tsubota, H., Nunomura, Y., Urabe, T., Hinata, J., Saitoh, K. : A Multimedia 32b RISC Microprocessor with 16Mb DRAM, ISSCC Digest of Technical Papers, 216~217 (1996-2)
- (2) Nunomura, Y., Shimizu, T., Tomisawa, O. : M32R/D Integrating DRAM and Microprocessor, IEEE Micro, 40~48 (1997-11/12)
- (3) Shimizu, T. : M32Rx/D-A Single Chip Microcontroller with A High Capacity 4MB Internal DRAM, Proceedings of HotChips10 Conference, 37~48 (1998-8)

# 単一電源フラッシュメモリ内蔵 16ビットマイコン“M37920FGMHP/CGP”

井上尚起\* 今村 昭\*\*  
小浦正人\* 網 康裕\*\*\*  
樋口光誠\*

## 要 旨

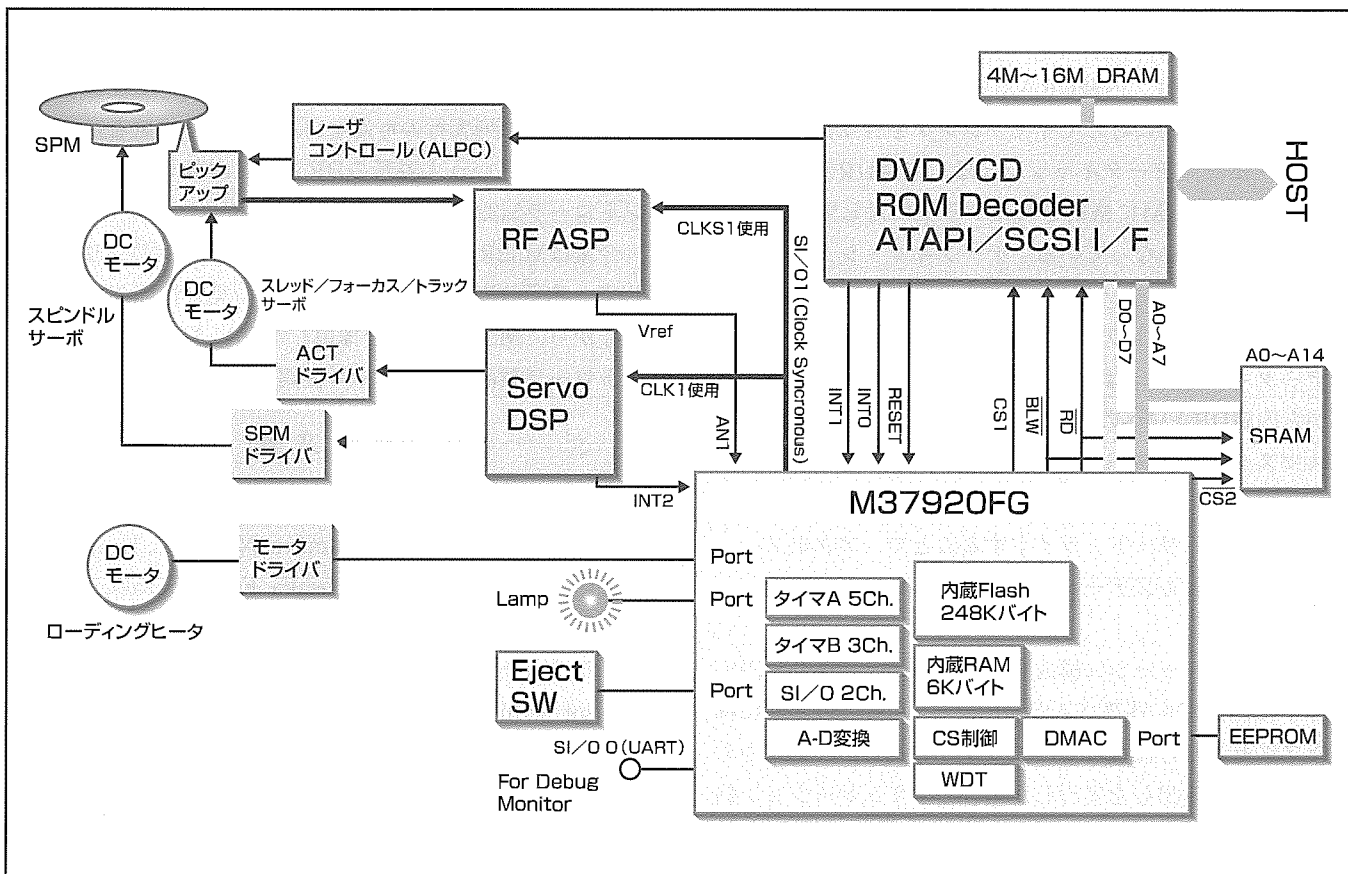
近年、CD-ROM、DVD-ROM、HDDなどのディスク分野を中心に、単一電源大容量フラッシュメモリを内蔵しかつ高速処理の行えるマイコンの要求が高まってきた。

CD-ROM、DVD-ROM、HDDなどのディスク分野では、仕向け先や製品のバージョンアップなどによるソフトウェアの変更が多いため、システム基板に実装した状態での書換えが必ず(須)となっている。

このような市場のニーズにこたえるために、フラッシュメモリを248Kバイト内蔵した16ビットシングルチップマイコンM37920FGMHP/CGPの開発を行った。今回開発を行った16ビットマイコンM37920FGMHP/CGPでは、このような書換えにも応じられるため、応用システム基板の小型化、低消費電力化、高速化を実現できる。

M37920FGMHP/CGPの特長及び機能は次のとおりである。

- (1) 低電圧高速動作  
3.3Vでの最短命令実行時間は50ns(外部クロック入力周波数20MHz時)
- (2) DMA(ダイレクトメモリアクセス)制御装置とDRAM制御装置内蔵
- (3) 単一電源フラッシュメモリ内蔵
- (4) 電源電圧と書き込み電圧が同一
- (5) 自動書き込み/自動消去
- (6) 高速書換え  
248Kバイトへの書き込み時間は約8秒以下
- (7) データ保護機能



## DVD-ROM、CD-ROMシステムへの応用例

このシステムでは、フラッシュメモリをマイコンに搭載したことにより、システム基板の小型化、低消費電力化、高速化が実現できている。さらに、内蔵のフラッシュメモリが単一電源での書換えが可能であるため、製品のバージョンアップなどによるソフトウェアの変更が容易に行える。

## 1. ま え が き

三菱電機㈱では、16ビットシングルチップマイコン7700ファミリーのCPUコアの性能を強化した7900シリーズの開発及び製品展開を行っている。この7900シリーズの第一弾として7920グループの開発を行った。7920グループは、DMA制御装置やDRAM制御装置などを内蔵し、さらに単一電源大容量フラッシュメモリを搭載した製品も開発しており、CD-ROM、DVD-ROM、HDDなどのパソコン周辺装置の機器制御に適している。

近年、CD-ROM、DVD-ROM、HDDなどのディスク分野を中心に、単一電源大容量フラッシュメモリを内蔵しかつ高速処理の行えるマイコンの要求が高まってきている。このような市場のニーズにこたえるために、フラッシュメモリを248Kバイト内蔵した16ビットシングルチップマイコンM37920FGMHP/CGPの開発を行った。

本稿では、単一電源フラッシュメモリを内蔵したこの製品の概要、及び内蔵フラッシュメモリの特長について紹介する。

## 2. M37920FGMHPの製品概要

7900シリーズの一つの製品グループである7920グループとして、ROMレス版(M37920S4CGP)に、5V単一電源フラッシュメモリ内蔵版(M37920FGCGP)及び3.3V単一電源フラッシュメモリ内蔵版(M37920FGMHP)を開発した。表1にM37920FGMHPの性能概要を、また図1にピン接続図、図2にM37920FGMHP/CGPの外観、表2に製品展開を示す。

### (1) 中央演算処理装置

中央演算処理装置は、既存の7700シリーズの命令セットと上位互換性を維持し、更に強化・拡張された7900シリーズの命令セットを持っている。メモリ空間は16Mバイトの

表1. M37920FGMHPの性能概要

項 目	性 能	
基本命令数	203	
命令実行時間	50ns(最短命令, $f(X_{IN}) = 20\text{MHz}$ 時)	
外部クロック入力周波数 $f(X_{IN})$	20MHz(最大)	
メモリ容量	フラッシュメモリ	248Kバイト
	RAM	6,144バイト
入出力ポート	P0~P2, P5, P10, P11	8ビット×6
	P3, P7	4ビット×2
	P4	5ビット×1
	P6, P8, P9	7ビット×3
	P12	3ビット×1
多機能タイマ	TA0, TA1, TA2, TA3, TA4	16ビット×5
	TB0, TB1, TB2	16ビット×3
シリアルI/O	(UART又はクロック同期型)×2	
A-D変換器	10ビット×1(4チャンネル)	
監視タイマ	12ビット×1	
DMA制御装置	4チャンネル 最高転送速度 20Mバイト/秒 ( $f(X_{IN})20\text{MHz}$ 時, 0ウェート, 1バスサイクル転送時)	
DRAM制御装置	1チャンネル 高速アクセスモード対応 8ビットリフレッシュタイマ内蔵	
チップセレクトウェート制御装置	チップセレクト×4(CS0~CS3) 各チップセレクト領域ごとにウェート数及びバス幅の設定が可能	
リアルタイム出力	4ビット×2チャンネル, 又は6ビット, 2ビット各1チャンネル	
割り込み	外部6要因, 内部17要因 NMIを除く各割り込みごとにレベル0~7までの割り込み優先レベルをソフトウェアで設定可能	
クロック発生回路	内蔵(セラミック共振子又は水晶共振子外付け)	
電源電圧	3.3V±0.3V	
消費電力	39.6mW( $f(X_{IN})20\text{MHz}$ 時)	
入出力特性	入出力耐電圧	3.3V
	出力電流	5mA
動作周囲温度	-20~85°C	
素子構造	CMOSシリコンゲート	
パッケージ	100ピンプラスチックモールドQFP(100P6Q-A)	





マを内蔵している。

(4) チップセレクトウェイト制御装置

16Mバイトのアドレス空間に対し、最大4ブロックのチップセレクト領域を設定できる。チップセレクト領域ごとに四つのウェイトモードが選択でき、外部デバイスに適したバスサイクルでのアクセスが可能である。

(5) タイマ

16ビット構成の強力なタイマを8本内蔵している。入出力機能を持つタイマA 5本、入力機能を持つタイマB 3本の2種類ある。タイマAのモードは、①タイマモード、②イベントカウンタモード、③ワンショットパルスモード、④パルス幅変調モードの4種類が選択できる。タイマBのモードは、①タイマモード、②イベントカウンタモード、③パルス周期測定/パルス幅測定モードの3種類が選択できる。また、タイマAのうち3本については、イベントカウンタモードの中で、位相が90°ずれた二相パルスを生じさせる二相パルス信号処理機能を持っている。

(6) リアルタイム出力

リアルタイム出力モードでは、内蔵しているタイマAを組み合わせて使用することにより、パルスモータ駆動波形を発生させることが可能である。4ビットのリアルタイム出力ポートを二組、又は、6ビット+2ビットのリアルタイム出力ポートを持っている。4ビット二組のときは、一組のみの動作、又は二組とも動作させるのかを選択できる。

(7) シリアルI/O

シリアルI/Oを2本内蔵しており、それぞれ非同期形(UART)とクロック同期形の二つのモードが選択できる。

(8) A-D変換器

10ビット逐次比較方式のA-D変換器を内蔵している。入力4チャンネルで、変換結果は4チャンネルに対応したレジスタに各々格納される。動作モードは、単発、繰り返し、単掃引、繰り返し掃引の4種類ある。このうち単掃引、繰り返し掃引においては、チャンネルの選択が可能である。スタートトリガーは、ソフトウェアによる内部トリガーと外部トリガーの選択ができる。

このようにM37920FGMHPは、パフォーマンスが高く、高速処理が可能な7900シリーズのCPUコアにDMA制御装置、DRAM制御装置、チップセレクトウェイト制御装置などを内蔵し、外部デバイスとの接続を容易にしている。さらに、単一電源大容量のフラッシュメモリを内蔵したことによって用途が広がった。

次に、内蔵フラッシュメモリの特長について述べる。

3. 内蔵フラッシュメモリ

7920グループに内蔵した単一電源大容量フラッシュメモリは、表2に示すように、248Kバイト、120Kバイトの2種類がある。フラッシュメモリ内蔵マイコンの特長を以下に示す。

(1) 電源電圧と書き込み電圧が同一

5V又は3.3Vの単一電圧で書き込み及び消去ができる。動作電圧と同一のため電源回路が1系統で済み、基板サイズの縮小化、低コスト化に有効である。

(2) 自動書き込み/自動消去

書き込みは256バイト単位、消去はブロック単位又は全領域を一括して行う。書き込み/消去いずれも、一つのコマンドで自動的に書き込み/消去とベリファイができる。

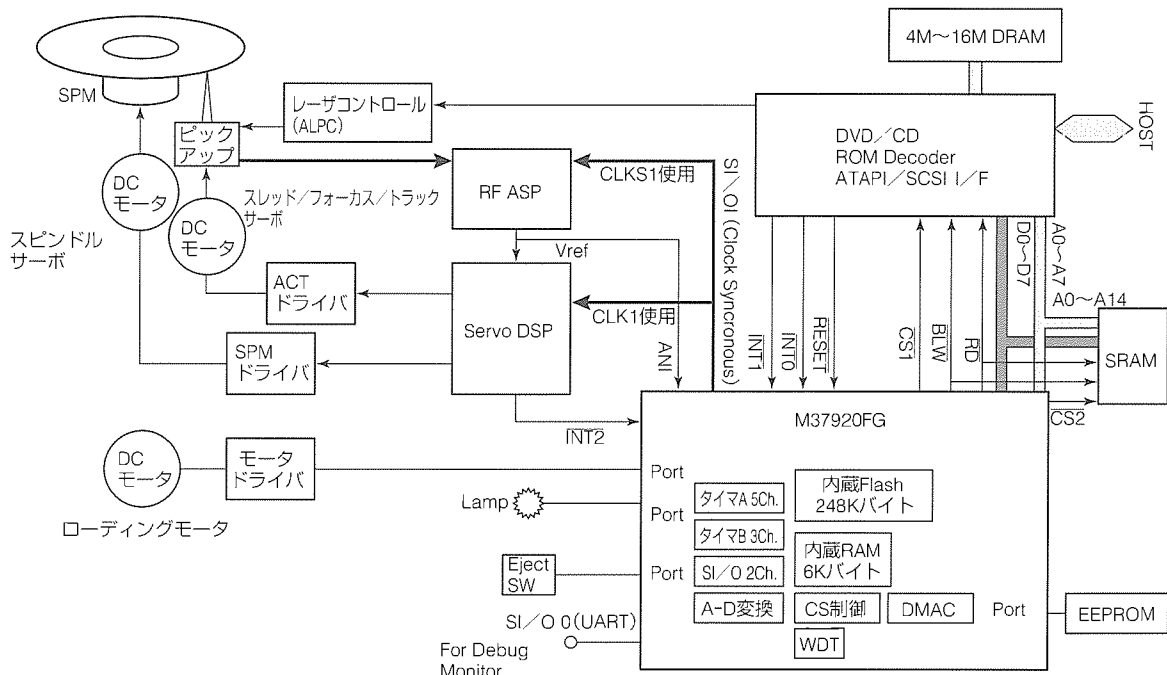


図3. CD-ROM, DVD-ROMシステムへの応用例

したがって、フラッシュメモリを書き換えるための制御プログラムの開発が容易である。

### (3) 高速書換え

248 Kバイト全領域への書き込み時間は約 8 秒以下で、高速に書き込みが行える。

### (4) データ保護機能

ブロックごとにロックビットを持ち、書き込み/消去をブロック単位で禁止できる。

### (5) 3 種類の書換えモード

- 基板実装前にパラレルライターで書き込むパラレル入出力モード
- 基板実装後にシリアルライターで書き込むシリアル入出力モード
- 基板実装後にソフトウェアによって書き換えられる CPU 書換えモード

## 4. 応 用

図 3 に DVD-ROM, CD-ROM システムへの応用例を示す。このシステムでは、フラッシュメモリをマイコンに搭載したことにより、システム基板の小型化、低消費電力化、高速化が実現できている。さらに、内蔵のフラッシュメモ

リが単一電源での書換え可能であるため、製品のバージョンアップなどによるソフトウェアの変更が容易に行える。

CD-ROM, DVD-ROM, HDD などのパソコン周辺装置は、仕向け先や製品のバージョンアップなどによるソフトウェアの変更が多いため、システム基板に実装した状態での書換えが必須となっている。今回開発を行った 16 ビットマイコン M37920FGMHP では、このような書換えにも応じられるため、応用システムの小型化、低消費電力化、高速化を実現できる。

## 5. む す び

単一電源の大容量フラッシュメモリを搭載した 16 ビットシングルチップマイコン M37920FGMHP を開発した。今後は、この製品をベースに産業用・高機能民生用市場の幅広い分野への一層の拡大を目指し、高速化、内蔵メモリ容量の展開、広動作電源電圧化、さらにフラッシュメモリ書換え回数向上など、用途に合ったマイコンの展開を図る予定である。特に使い勝手の良さを追求したフラッシュ内蔵マイコンの開発を強力に推進して、7900 シリーズのラインアップを拡充させる所存である。

# 人工網膜モジュール

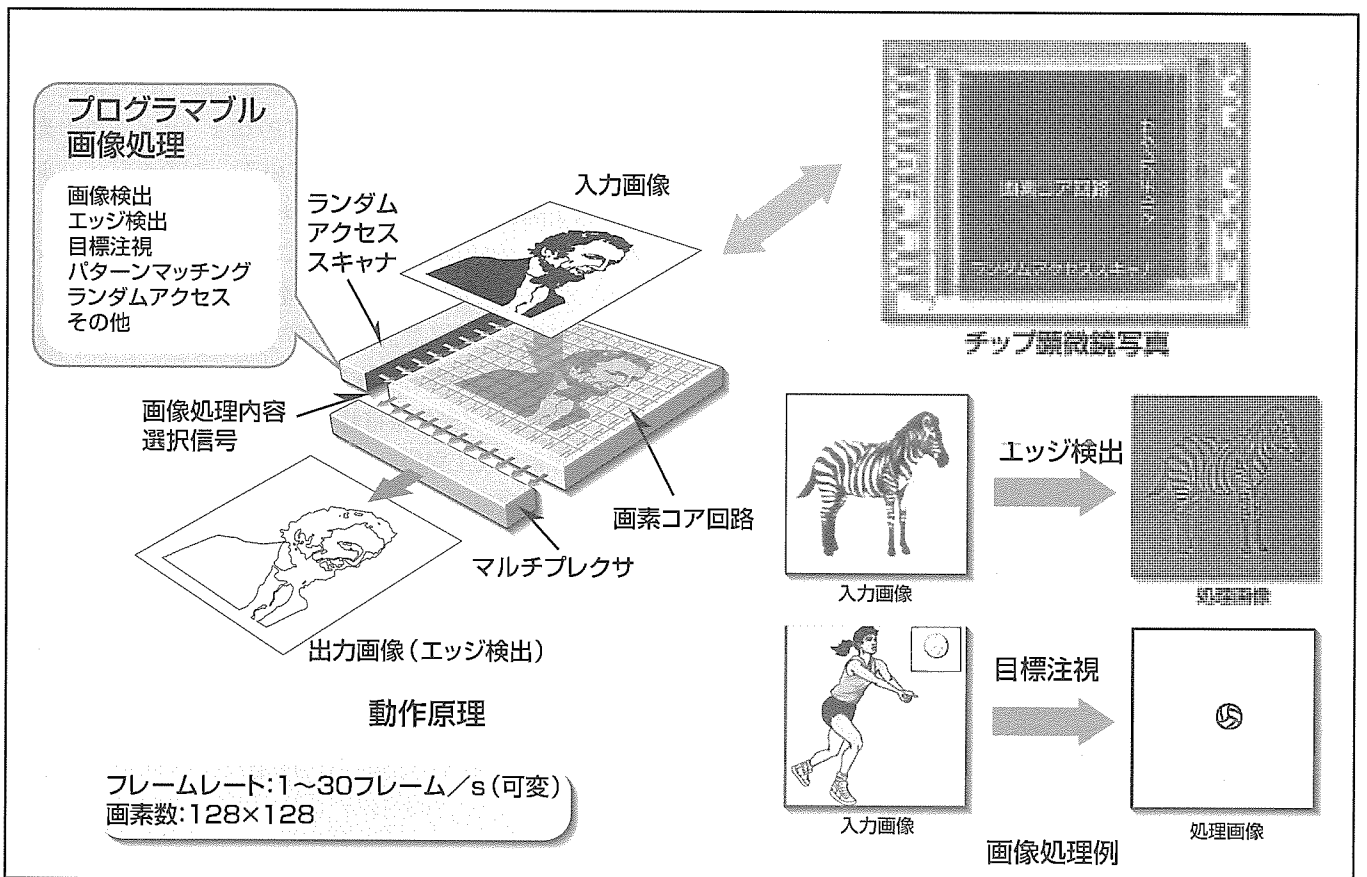
近藤由和\* 田中健一\*\*  
 田村俊之\*\* 田井修市\*\*  
 三宅康也\* 久間和生\*\*\*

## 要旨

人工網膜LSIは、人間の目のように画像を高速かつ柔軟に処理できる三菱電機独自の撮像デバイスである。画像検出に加えて様々な画像処理機能が一つのチップ上で実現されるため、従来のCCDカメラ単体では果たし得なかったインテリジェントな画像入力機能を、低コスト、低消費電力、高速、小型に実現することができる。

このような人工網膜LSIの優れた特長を広く活用するためには、LSI以外にレンズなどの光学系、制御用マイコン及び各種アルゴリズム(ファームウェア)をタイムリーに提供していくことが必要である。当社では、システムの実現

に不可欠なこれらの要素を一体化した人工網膜カメラモジュールの開発を進めている。その一例として、レンズ系を搭載した“光学系搭載モジュール”，さらに制御用マイコンを搭載した“マイコン／光学系搭載モジュール”について述べる。このモジュールによって、面倒な光学系の設計が不要となり、人工網膜LSIをゲーム、セキュリティシステム、携帯機器などのシステムへより容易に導入できるようになる。また、将来のカメラモジュールとして、“ネットワークカメラ”“スーパーネットカメラ”の開発例とその応用例についても解説する。



## 人工網膜LSIの動作原理と画像処理例

人工網膜LSIは、単なる画像検出に加えて、エッジ検出、目標注視、一次元射影といった様々な画像処理機能をワンチップ化した新しい撮像デバイスであり、従来のCCDに比べて低コスト、低消費電力、高速、単一電源駆動といった特長を持っている。

## 1. ま え が き

人工網膜LSIは、画像検出機能に加えて、エッジ検出、目標注視、パターンマッチング、ランダムアクセス、二次元→一次元射影などの様々な画像処理機能をワンチップ化した新しい撮像デバイスである。このLSIは、現在主流のCMOSプロセスで作成できるため、従来のCCDに比べて低コスト、低消費電力、高速、単一電源駆動といった特長を持ち、同じくCMOSプロセスで製造されたマイコンやメモリなどとの親和性も高い。その反面、人工網膜LSIの機能を十分に引き出すためには、レンズなどの光学系の設計から、制御用マイコンのファームウェア又は制御用LSIの開発、画像認識アルゴリズムの開発などユーザー側で数多くの作業をこなす必要があった。

このような作業を減らして、より容易にシステムを構成できるようにするため、当社では、人工網膜LSI、光学系、マイコンなどを小基板上に実装したオールインワンの人工網膜モジュールの開発を進めている。

本稿では、人工網膜LSIの概要、今回開発した人工網膜モジュールの構成について述べる。また、将来のカメラモジュールとして、“ネットワークカメラ”“スーパーネットワークカメラ”の開発例についても解説する。

## 2. 人工網膜LSI “M64283FP”

M64283FPは、CMOSプロセス技術により、約1万6千個の画素コア回路(有効画素128×128ピクセル)と制御回路を集積しており、透明樹脂の小型プラスチックフラットパッケージに封入されている。動作電圧は単一5V、消費電力は15mWと低消費電力を達成した。

M64283FPには先行品種(M64282FP)の輪郭抽出機能(画像の輪郭部を抽出する。)と輪郭強調機能(画像の輪郭を強調する。)などに加え、射影機能(二次元の画像データをX又はY軸方向の一次元に圧縮して画像の位置と形を高速に検出する。)、ランダムアクセス機能(必要とする部分の画像データだけをアクセスしデータ量を少なくして出力す

る。)を新たに内蔵した。例えば、従来の動き検出の場合、通常は128×128(総データ量16,384バイト)個の画素で構成される画像を連続して2枚撮像し、これらの2枚の画像データを比較することによって動きの情報を抽出していた。これに対し、M64283FPの射影機能を使用すると、原画像を128×2(X及びY軸方向)個のデータにあらかじめ圧縮できるため、時間のかかるデータ読み出しを約64倍高速化することができる。さらに、ランダムアクセス機能を用いると、1ブロック8×8画素単位での撮像が可能となるため、1ブロックの読み出しで済む応用では全画素読み出しに比べて256倍の高速化が可能になる。これらの画像処理機能を組み合わせることで、より高速で機能的な画像処理を容易に行うことができる(表1)。

なお、当社では、M64283FPのほかに低解像度版(32×32ピクセル)及び高解像度版(358×288ピクセル)の開発も進めており、多種多様なアプリケーションによってマッチした製品を提供していく予定である。

## 3. カメラモジュール

### 3.1 光学系搭載モジュール

人工網膜LSIを始めとする撮像デバイス一般の採用に当たっては、レンズなど光学系の提供を求められることが多い。このニーズにこたえるため、当社では、人工網膜LSIと光学系を一体化した“光学系搭載モジュール”を開発した(図1)。人工網膜LSI(M64282FP)に1/4インチの光学系(レンズユニット)を搭載している。このモジュールには、人工網膜LSI制御用のマイコンが搭載されていないため、システムのスペックに応じてユーザー側でマイコンを選択したり、ASICを設計して撮像システムを最適化することが可能である。設計自由度が大きいので、主にゲームや携帯機器などの機器組み込み用途に適している。

### 3.2 マイコン/光学系搭載モジュール

より容易に人工網膜LSIを使えるようにするため、光学系に加えて制御用マイコンも集積した“マイコン/光学系搭載モジュール”を開発した(図2)。人工網膜LSI

表1. M64283FPの仕様

●画素数	: 128×128(有効画素)
●画像処理機能	: 正画像/反転画像/エッジ強調画像出力機能 エッジ抽出機能 X軸/Y軸射影機能 ランダムアクセス機能 ゲイン/オフセット調整機能
●光学サイズ	: 1/4インチフォーマット
●撮像可能照度	: 1~10,000 lx(撮像面, ハロゲン光使用時)
●蓄積時間範囲	: 16µs~1s
●クロック周波数	: 1MHz(max.)
●フレームレート	: 1~30フレーム/s
●電源電圧	: 5V
●消費電力	: 15mW(typ.)

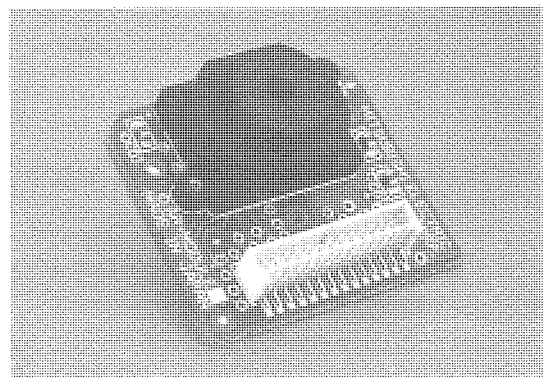


図1. 光学系搭載モジュール

(M64283FP)のほかに、光学系(レンズユニット)、マイコン(当社製16ビットマイコン:M16C/62)を搭載することにより、面倒な光学系設計をすることなしに、直ちに人工網膜LSIのオンチップ画像処理機能を活用することができる。マイコンから人工網膜LSIの全動作を制御するため、人工網膜LSIの制御入力端子がマイコンのプログラマブルポートに直結され、逆に人工網膜LSIから出力される画像データ(アナログ出力)はマイコン内蔵のA/D変換器に取り込まれる構成となっている(図3)。このモジュールでは、システムの処理内容に応じてSRAMやフラッシュメモリを搭載することも可能である。さらに、モジュールの外部インタフェースとして標準シリアルインタフェース(RS-485, RS-232C)が搭載されており、パソコン用カメ

ラシステム、セキュリティネットワークシステムなどを容易に構成できる(表2)。なお、データ転送の高速化のニーズに対応するため、標準パラレルインタフェース、USB(Universal Serial Bus)などの高速インタフェースの採用も検討中である。

ファームウェアの開発に当たっては、人工網膜LSIの基本的な操作(撮像やオンチップ画像処理機能の選択など)を行うための、当社製マイコン(M16C)向け制御ライブラリが利用できる。このライブラリを使えば、人工網膜LSIの初期化や撮像、画像処理機能の選択などが外部関数化されるため、ユーザーが開発したアルゴリズムのファームウェア化が簡単になる。

#### 4. 応用システム向けカメラモジュールの開発例

##### 4.1 ネットワークカメラ

人工網膜LSIの低コスト性・低消費電力性を生かすと、従来よりも1~2けた多い台数のカメラを使った応用システムが構成できる。例えば、駐車場の車両監視や倉庫の在庫管理、建物のセキュリティシステムなど、監視ポイントが多数ある応用である。このような応用に最適な人工網膜モジュールとして、小型ネットワークカメラを開発した。

このカメラは、3章で紹介したマイコン/光学系搭載モジュールを用いて小型に構成したもので、大きさはタバコ箱ほど(65mm×45mm×24mm)である。図4にその外観を示す。このカメラはRS-485規格のネットワークインタフェースを持ち、パソコンなどのホスト計算機に多数接続できるように作られている。一つのネットワークには最大で128台までのカメラを接続でき、パソコンからのプログラムの転送やパラメータの設定も可能なので、周囲の状況に即した撮像特性や画像処理機能を選択することもできる。

以上の特長を生かした応用システム例として、図5に示すように、各カメラが認識機能を持つ分散処理型のセキュリティネットワークシステムが考えられる。これまでのセキュリティ用モニタシステムでは、CCDからの画像を集中管理室に伝送し、警備員による目視監視やVTRへの録

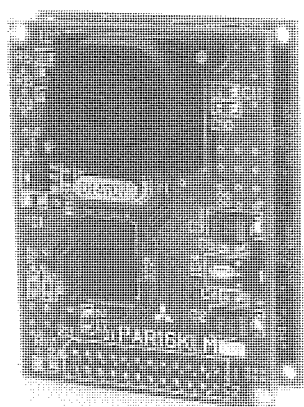


図2. マイコン/光学系搭載モジュール

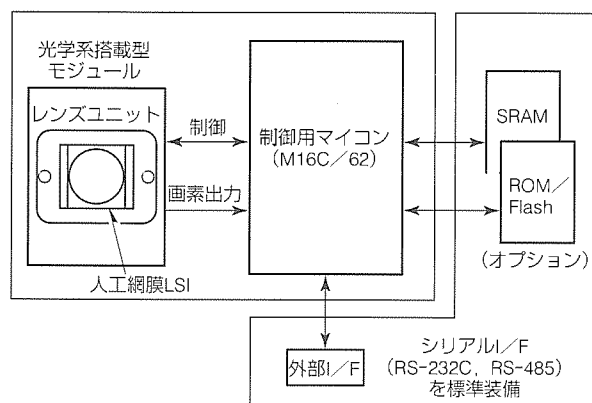


図3. マイコン/光学系搭載モジュールの構成

表2. マイコン/光学系搭載モジュールの仕様

●人工網膜LSI	: M64283FP(画素数: 128×128)
●マイコン	: M16C/62(クロック周波数: 14.7456MHz)
●メモリ	: 2MビットSRAM, 1Mビットフラッシュ(オプション)
●インタフェース	: RS-485(921.6kbps), RS-232C
●光学系	: 水平/垂直画角42°(プラスチックレンズ)
●基板サイズ	: 40mm×55mm
●電源電圧	: 9V

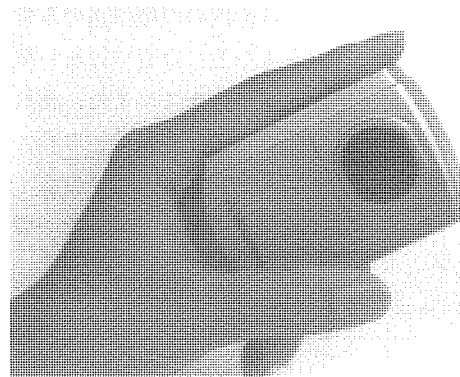


図4. 小型ネットワークカメラ

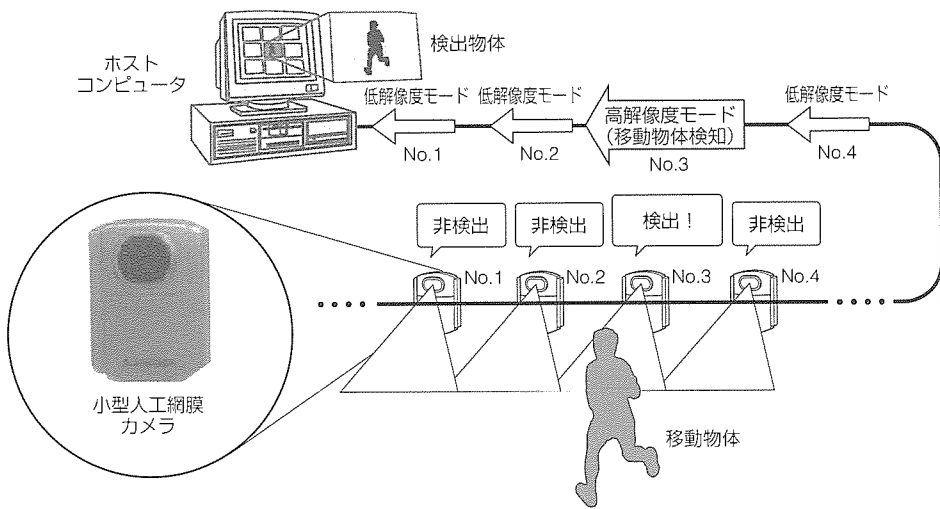


図5. セキュリティネットワークシステムの構成例

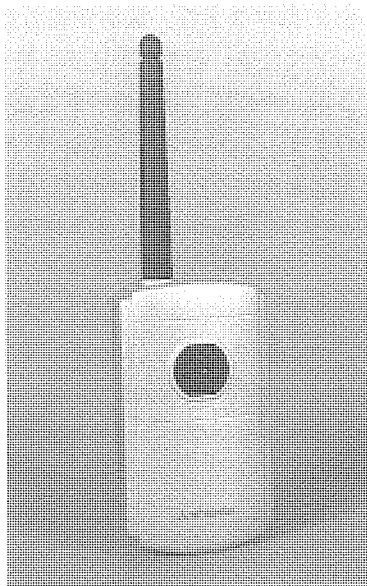


図6. スーパーネットカメラ

画など、画像そのものを見たり、記録することが中心であった。一方、今回開発したカメラを用いることで、単純な画像伝送機能に加えて、不審者などの移動物体を検出したときのみ集中管理室にアラーム信号や画像を伝送したり、移動物体がない場合には低解像度の画像伝送のみを行ってデータ転送量の削減を行えるなど、今までにない機能を持つセキュリティシステムが実現できる。また、複数のカメラがネットワークケーブル上に接続されているので、カメラと集中管理室の間を1対1で接続しなくてもよく、ケーブルコストや設置費用が削減できるなどシステム価格を低減できる効果もある。

#### 4.2 スーパーネットカメラ

ところで、一般家庭や文化財など、ネットワークケーブルの配線が難しい場所も多い。このような状況に対応するカメラとして、無線による接続が可能なスーパーネットカメラを開発した(図6)。マイコン/光学系搭載モジュールに無線通信モジュールを接続し、撮像や通信の制御をモジュール上のマイコンで行うように構成している。通信にはスペクトラム拡散方式(スーパーネット)を採用し、通常の狭帯域無線通信と比較してより

広い周波数帯域(20MHz以上)にデータを拡散させることで、雑音の多い環境下でも安定に動作するようにした。この方式はデータの拡散・再生に特殊な符号(拡散符号)を用いるため、情報が盗まれにくく秘匿性が高いというセキュリティシステムに必ず(須)な特長も同時に実現できた。また、安価なマイコンで動作する通信制御ファームウェアを開発したこと、不要なモジュールの電源を制御するパワーマネジメント機能を搭載することにより、カメラのコストと待機電力を削減した。

### 5. むすび

人工網膜LSIは、従来のCCDに比べて、画像処理機能を兼ね備えているばかりでなく、柔軟性、高速性、低消費電力、低コストなどの特長を持つ新規のデバイスである。これらの特長を生かした各種人工網膜モジュールを利用することにより、ゲーム機器、セキュリティシステムでの実用化が開始された、今後、モジュールとしての機能及び信頼性の向上、各種ファームウェアの開発によるソリューションの提供を進める予定である。また、人工網膜カメラのより一層の小型化・低消費電力化・低コスト化を進めるため、人工網膜LSIやマイコンを中心としたシステムLSI化を展開する予定である。例えば、マイコン、画像メモリ、有線/無線インタフェースを1チップ化できれば、人工網膜LSIと合わせてわずか2チップ構成の“超小型人工網膜カメラモジュール”が実現される。これにより、システムレベルの低価格化ができるだけでなく、今まで部品点数や消費電力の点でCCDカメラが入り込めなかった市場(例えば、携帯電話などの超小型携帯機器)への撮像機能や認識機能の付加が可能になると期待される。

安藤智子\*  
石川淳士\*  
東田基樹\*

# システムLSI開発環境

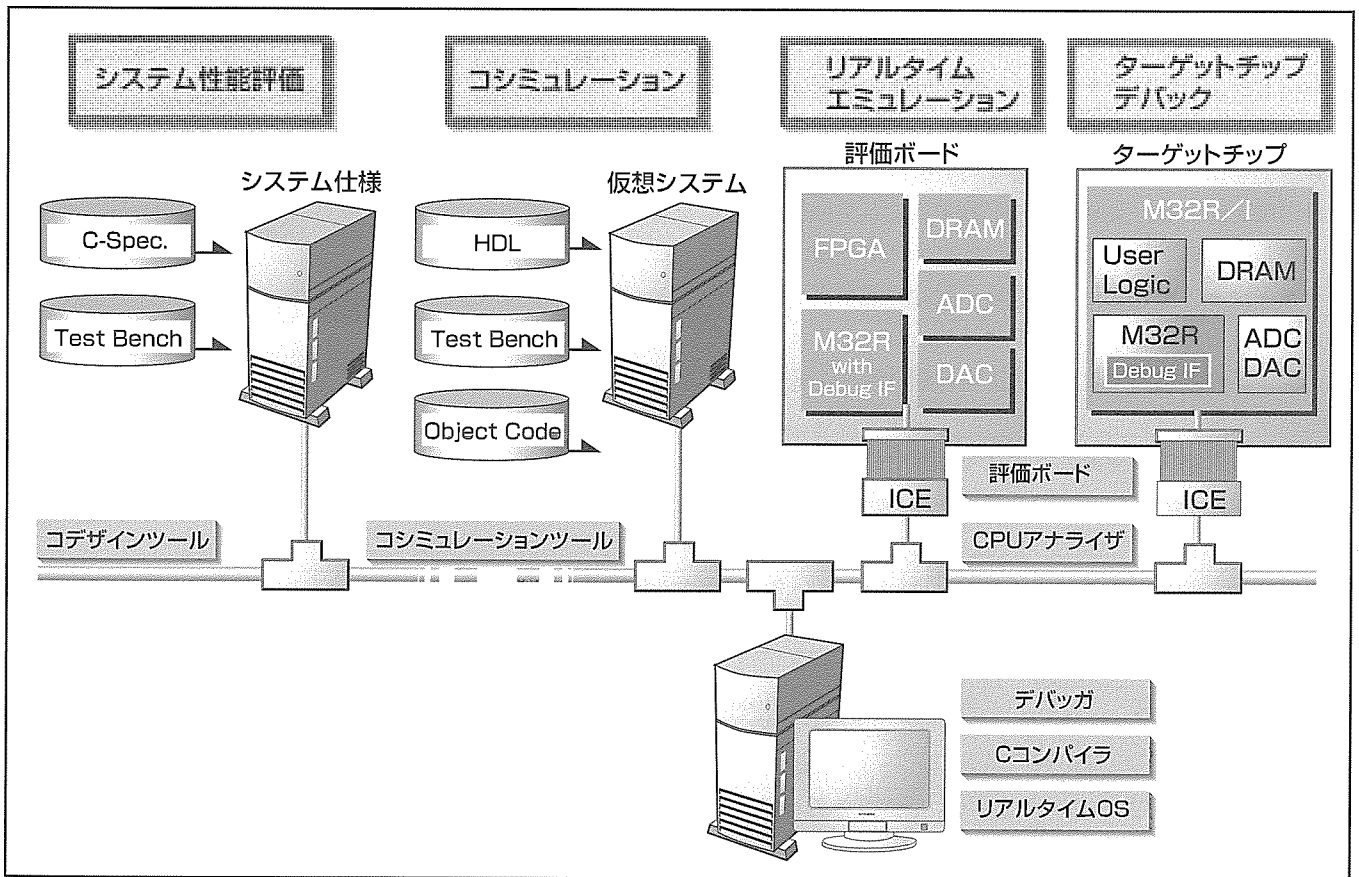
## 要旨

システムLSIでは、アーキテクチャの自由度が向上するため、ハードウェアとソフトウェアの並行開発を支援する協調設計の役割が大きくなる。設計の早期段階からのシステムレベルでの検証には、開発期間短縮と設計コスト削減に大きな効果が期待できる。また、従来できなかったハードウェア設計へのフィードバックが可能になり、システム全体の品質を向上することができる。

三菱電機では、ハードウェア製造前段階からハードウェアとソフトウェアの協調動作が検証できる環境を構築した。仮想システム段階の検証にコシミュレーションツールを導入し、その得失を考慮して適用している。

コシミュレーションの短所である処理時間の問題につい

ては、FPGA(Field Programmable Gate Array)でユーザーロジックを実現した評価ボードを併用してリアルタイム性を補う。また、当社eRAM技術を採用したDRAM内蔵のトレース機能付きCPU評価チップを提供する。チップ内部のワイドバスにより、外部バス、周辺バス、さらにキャッシュに接続したCPU内部バスの動作をモニタすることが可能で、コシミュレーションツール並みのトレース機能をリアルタイムで実現する。さらに、当社製IP(Intellectual Property)についてHDL(Hardware Description Language)モデルに加えて検証精度の異なる2種類のCモデルを提供するとともに、それを支える環境を整備していく。



## システムLSI開発環境

システムLSI開発では、ハードウェアとソフトウェアの並行開発を支援する協調設計の役割が大きくなる。当社では、システムの仕様検討段階からハードウェアとソフトウェアの詳細設計段階及び実チップ検証段階まで、システムレベルの検証環境を構築している。今後、C言語レベルでのハードウェアとソフトウェアの機能配分評価環境も実現していく。

1. ま え が き

プロセスの超微細加工技術と異種デバイス混載技術により、従来複数のデバイスで構成されていたシステムを1チップに集積するシステムオンチップが現実のものとなった。当社では、システムLSIを支える基盤技術として、大規模メモリとロジックを1チップに混載するeRAM技術の開発を推進し、他社に先駆けて量産を開始している。

システムオンチップは、従来のデバイスをりょうが(凌駕)する高速化、低消費電力、ふく(幅)射ノイズ低減、部品数削減によるシステムの小型化を実現する。これに加えて、ハードウェア設計の自由度向上により、新しいアーキテクチャの実現が可能になる。その一方で、設計は複雑かつ長期化し、新しい設計手法や開発環境が求められている。

当社では、設計の難易度緩和と期間短縮を目的に、ハードウェアとソフトウェアの協調検証環境を構築し、仮想システム段階の検証にコシミュレーションツールを導入している。

本稿では、コシミュレーションツールの適用を中心に、当社で構築しているシステムLSI開発環境を紹介し、現状の課題とそれに対する取組について述べる。

2. システムLSI開発環境

ハードウェアとソフトウェアの機能分割の成否は、システムの性能に大きく影響する。実装上の制約に阻害されないシステムLSIでは、ディスクリートな構成と比べて設計の自由度が向上し、より最適に配分することが可能になる。

しかし、システムLSIでは、アーキテクチャ設計の時点でハードウェアが存在しないため、配分の効果が評価できない。設計の柔軟性を生かすためには、ハードウェアとソフトウェアの並行開発を支援する協調設計環境が必要である。開発早期段階からのシステムレベル検証には、開発期間短縮と設計コスト削減にも大きな効果が期待できる。

当社では、ハードウェアの製造前からハードウェアとソ

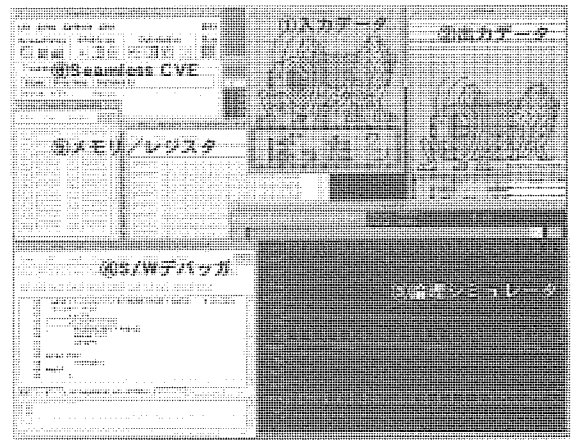
フトウェアの協調動作が検証できる環境を、当社製32ビットRISC CPU(M32R)コア内蔵システムLSI向けに構築した。コシミュレーションによる仮想システム検証から評価ボードでの検証及び実チップを搭載したターゲットボードでの検証まで、システムレベルの検証を可能としている。ツールの特長を表1に示す。各々のツールの得失、つまりシミュレーションの精度と処理速度とのトレードオフを勘案しながら適用している。また、すべてのツールが一貫性のあるGUIで操作できるよう、デバッグ環境を統合した。

(1) コシミュレーション環境

ハードウェア部はHDLで、ソフトウェア部はC言語又はアセンブリ言語で記述する。ハードウェア部は論理シミュレータによって、一方、ソフトウェア部は命令セットシミュレータによって動作が模擬される。コシミュレーションツールが両方のシミュレータとの同期を制御する(図1)。

(2) リアルタイムエミュレーション環境

実デバイスとの接続やユーザーインターフェースの応答性は、評価ボードを用いてリアルタイムで検証する。当社が



・ハードウェア(H/W)は論理シミュレータのウィンドウ③で、ソフトウェア(S/W)はウィンドウ④でデバッグする。この例では、パソコンからプリンタへの入出力機構をモデル化し、ウィンドウ①と②に実現している。

図1. H/W-S/Wコシミュレーション実行例 (プリンタシステム)

表1. ツールの特長

	コシミュレーションツール	評価ボード	ターゲットボード
H/W動作	模擬動作	実動作	実動作
実行速度	低速(1/1,000~1/100,000倍)	高速(1~1/100倍)	実速
テストデータ	テストベンチ	実デバイス、IOエミュレーション	実デバイス
観測ポイント / タイミング	H/W	任意ポイント/ 随時	ボード上のピン/ 随時
	S/W	メモリ、レジスタ/ 随時	チップの外部ピン/ 随時
修正可能部	すべて(S/W, H/W, テストデータ)	メモリ、レジスタ/ CPUアナライザを介して観測可能なタイミング	メモリ、レジスタ/ CPUアナライザを介して観測可能なタイミング
適用目的	すべて(S/W, H/W, テストデータ)	S/W, H/W (FPGA部)	S/Wのみ
適用目的	プロトタイプ評価 H/W開発 (S/W開発)	外部との接続試験 S/W開発 テストベンチ開発	S/Wデバッグ システムチューン



ら提供する標準評価ボードには、CPU評価チップとFPGAで実現したCPU周辺回路を搭載している。このボードにシステム固有の機能と入出力機構を備えた拡張基板を接続することにより、システムに適した評価が可能になる。

(3) ターゲットチップデバッグ環境

チップ完成後、ターゲットボードに実装し、実動作でのデバッグを行う。従来、この段階のデバッグには、ICEとロジックアナライザが使われていた。しかし、システムLSIではCPUコアの動作がLSI内部に隠れてしまい、外部ピンでの観測が困難になる。また、動作速度の高速化に伴うIF電圧の低下により、実動作に影響を与えないようにプローブを当てるのが困難になっている。

こうした問題を回避するために、CPUコアにデバッグ専用回路を内蔵し、この回路とJTAGピンでインタフェースするCPUアナライザを提供している(図2)。

3. コシミュレーションツールの利用法

この章では、プロトタイプ設計と詳細設計におけるコシミュレーションツールの適用方法について述べる。

3.1 プロトタイプ設計

プロトタイプ設計において、ハードウェアとソフトウェアの配分は、現在、設計者が経験に基づいて決定している。この後、ハードウェアはHDLで、ソフトウェアはC言語でモデルを開発する。この段階では、モデルは十分に検証されている必要はなく、精度もさほど要求されない。また、ボトルネックにならないとあらかじめ分かっている箇所はモデルを省略又は簡略化できる。

3.1.1 利用法(1): システムのボトルネック検出

このモデルに対してコシミュレーションを実行し、各ブロックからバスへのアクセス頻度やキャッシュのヒット率を観測することにより、アーキテクチャのボトルネックを抽出することができる。

3.1.2 利用法(2): ハードウェアとソフトウェアの配分確認

システム全体の性能(例えば、あるソフトウェアブロックの処理に何命令要したか。)やCPUの負荷状況から、ハ

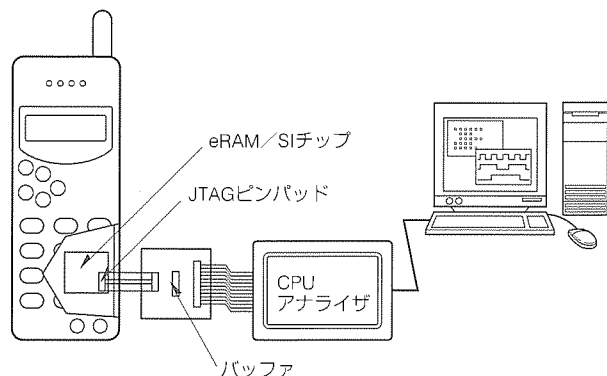


図2. ターゲットチップデバッグ

ードウェアとソフトウェアの配分を定量的に評価できる。

3.2 詳細設計

この段階における協調検証は、コシミュレーションツールと評価ボードを併用する。

3.2.1 利用法(3): CPUに制御されるハードウェア部の検証

CPUからの制御を可能とするために、ハードウェア部はメモリマップされたIOレジスタを持つ。従来は、CPUのバスプロトコルに従い、メモリマップアクセス用のテストパターンを準備する必要があった。コシミュレーションツールを用いれば、メモリウィンドウの内容をダイナミックに更新するだけで、ツールがパターンを自動生成する。

3.2.2 利用法(4): ドライバソフトウェアの検証

ドライバソフトウェアは、ハードウェア部との同期が必要である。従来、ハードウェアとソフトウェアが独立に開発されているため、インタフェース仕様のそご(齟齬)からドライバソフトウェアの改修が必要となることが多々あり、これが設計期間を延ばす一因になっていた。コシミュレーションにより、開発の早期段階でドライバソフトウェアのクロックサイクルレベルの検証を行うことができる。

3.2.3 利用法(5): 不具合箇所の高精度解析

評価ボードを用いた検証で不具合が発生した場合、その詳細解析にコシミュレーションを利用する。コシミュレーションでは、ソフトウェアとハードウェアを完全に同期して(ソフトウェアを止めればハードウェアも止まる。)デバッグでき、またハードウェアのすべての信号が観測可能なので、不具合箇所の特定が容易である。

4. 現状の協調検証環境における問題

4.1 シミュレーションの処理速度

コシミュレーション適用上、最大の問題は処理速度である。アプリケーションソフトウェアすべてをコシミュレーションで検証するのは事実上不可能である。一部のソフト

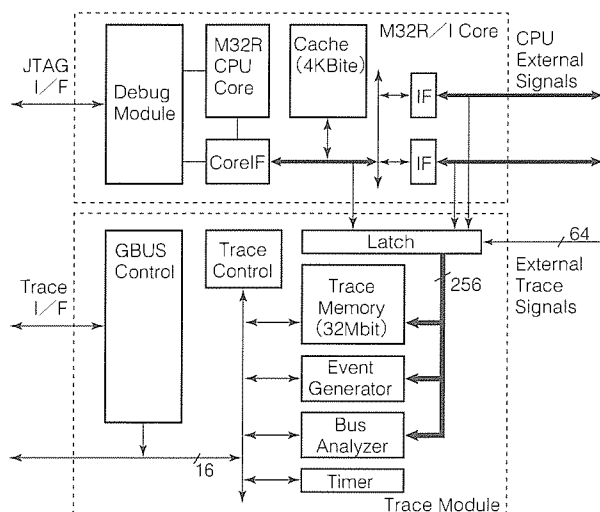


図3. トレース機能付きCPU評価チップのブロック図

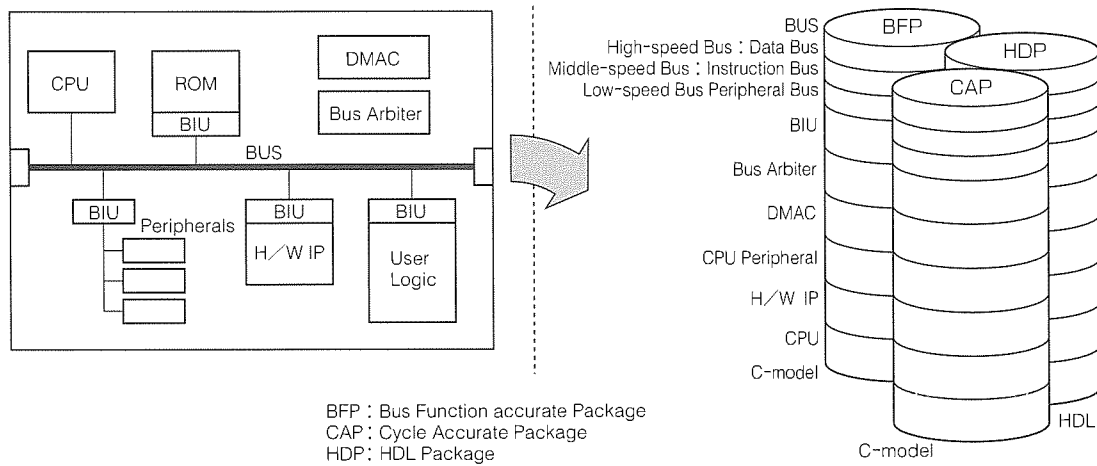


図4. システムモデルパッケージ

ウェアとハードウェアに限定した検証や、シリアルIOをパラレルIOに置き換えるといったモデルの抽象化が必要である。また、リアルタイムに近い検証が必要な場合は、評価ボード又はリファレンスボードを併用する。

#### 4.2 抽象度の異なるモデルの混在

シミュレーションを高速化するために、システム内のブロック間で検証の精度を変える、つまりデバッグ対象外のブロックの抽象度を高めることが必要である。しかし、現在のコシミュレーションツールは、このようなモデルを十分にサポートできない。

#### 4.3 モデルの再設計

現状では、設計者がハードウェアとソフトウェアにいったん配分して各々をモデル化した後でないとは検証できない。配分を変更する場合、モデル化を再度やり直す(例えば、一部のソフトウェア部をハードウェア化する際にはCモデルをHDLモデルに書き換える。)必要がある。

### 5. 問題に対する取組

#### 5.1 トレース機能付きCPU評価チップの開発

当社eRAM技術を採用し、DRAMを内蔵したトレース機能付きCPU評価チップを提供する(図3)。DRAM内蔵によって実現できるワイドバスにより、外部バス、周辺バ

ス、さらにキャッシュに接続した内部バスの動作をモニタ可能とした。コシミュレーションツール並みの詳細なトレース機能をリアルタイムで実現できる。

#### 5.2 Cモデルの供給とそれを支える環境構築

抽象度の異なるモデルの混在を許すツールを導入するとともに、当社から提供するIPには、機能検証用Cモデル(Bus Function accurate Model Package : BFP)、タイミング検証用Cモデル(Cycle Accurate Package : CAP)、回路設計用モデル(HDL Package : HDP)の三つのモデルを用意し、検証目的に応じた精度での検証を支援していく(図4)。

さらに、C言語で記述したシステム仕様に対して、ハードウェアとソフトウェアの配分をインタラクティブに切り換え、評価できるコデザイン環境の整備を進めている。

### 6. むすび

今回、コシミュレーションツールの適用方法を中心に、当社で構築しているシステムLSI開発環境を紹介した。今後、ハードウェアとソフトウェアを含めたシステムの階層設計手法とそれを支援する機構を実現するとともに、応用分野に特化したシステムレベル検証環境も検討していく。

# 微細化・高速メモリ設計による 128MSDRAM, 64MSDRAM

濱本武史\* 豆谷智治\*\*  
朝倉幹雄\*\* 石井敦司\*  
鈴木富夫\*\*

## 要旨

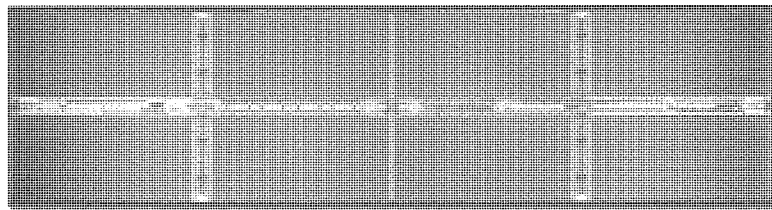
0.20 $\mu$ m CMOSプロセスを用いて、 $\times 4 / \times 8 / \times 16$ 構成の128MビットSDRAM(Synchronous DRAM)の第一世代品、及び64MビットSDRAMの第四世代品の開発を行った。

微細加工プロセスの適用によるメモリアレー面積の縮小、チップアーキテクチャ及び回路の最適化による周辺制御回路の削減により、チップ面積を大幅に縮小し、コスト低減を実現した。一方で、メモリアレー用の電源電位を制御することで、ロー系回路の動作を高速化した。また、メモリアレーとデータ入出力回路を結ぶデータバスの最適化及び制御回路の分散配置化により、周辺回路面積を削減すると

ともに、コラム系回路動作の高速化と低消費電力化を実現した。

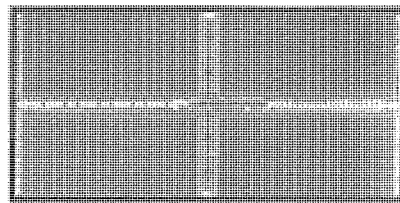
今回開発した製品は、パソコン、ワークステーション等のメインメモリで主流となりつつある外部バス周波数100MHz対応のPC100スペックをCASレイテンシ(Column Address Strobe Latency) 2で満足し、さらに、内部データバスのパイプライン化と高速化で外部バス周波数133MHzにも対応可能である。高性能、低コストというメインメモリに対する市場の要求に十分こたえ得るものと考えられる。

語構成	32M $\times$ 4	16M $\times$ 8	8M $\times$ 16
パッケージ	54ピン 400 mil TSOP		
型名	M2V28S20TP	M2V28S30TP	M2V28S40TP



128MSDRAM第一世代品

語構成	16M $\times$ 4	8M $\times$ 8	4M $\times$ 16
パッケージ	54ピン 400 mil TSOP		
型名	M2V64S20CTP	M2V64S30CTP	M2V64S40CTP



64MSDRAM第四世代品

## 0.2 $\mu$ mプロセス使用の128MビットSDRAM, 64MビットSDRAM

128MビットSDRAM第一世代品、64MビットSDRAM第四世代品の製品型名とチップ写真を示す。両製品ともデザインルール0.2 $\mu$ mの同一プロセスを使用している。

1. ま え が き

近年、マルチメディアの進展によるマイクロプロセッサの高性能化は目覚ましく、それに伴い、主記憶又はグラフィックメモリを構成するDRAMに対しても、急速に高速化の波が押し寄せている。既に汎用DRAMの主力はSDRAMに移行し、さらにDirect Rambus DRAM<sup>(注1)</sup>やDDR SDRAM(Double Data Rate Synchronous DRAM)等の超高速DRAMが登場している。

一方、パソコン等の低価格化に伴って、DRAMに対する低価格化の要求は厳しく、高性能を維持しつつも低コスト化を実現する技術が求められている。

当社では、こうした高性能化と低コスト化の要求にこたえるため、第一世代128MビットSDRAM及び第四世代64MビットSDRAMの同時並行開発を行った。0.20 $\mu$ mプロセスを採用し、さらにチップアーキテクチャを最適化することで、低コスト化すなわちチップサイズ縮小、低消費電力化そして高速動作を実現した。

本稿では、そのプロセス・設計技術の開発について述べる。

2. 開 発 方 針

(1) 0.20 $\mu$ m CMOSプロセスを用いたDRAMコアの開発

当社では0.25 $\mu$ mプロセスの第三世代64MビットSDRAMを既に量産中であるが、更に低コスト化・高性能化を図るため、新たに0.20 $\mu$ mの微細加工プロセスを開発し、この製品に適用した。今後、同一プロセスのDRAMコアを用いて品種展開を行う。

(2) 高速・低消費電力化とチップ面積縮小を両立する回路技術の開発

ロー系のバンク活性の高速化とコラム系内部信号伝達の高高速化を行った。CASレイテンシ2でPC100スペックを満足し、更に内部データパスを高速化し、パイプライン化することで周波数133MHz以上にも対応可能である。一方、制御回路の分散配置、配線本数の削減などの高密度化回路構成の採用で、周辺回路の面積を削減した。

3. 製 品 概 要

第一世代128MビットSDRAM及び第四世代64MビットSDRAMの製品概要を表1に示す。また製品型名一覧を併せて同表に示す。

語構成( $\times 4 / \times 8 / \times 16$ )はボンディングオプションで、リフレッシュサイクルは4kである。この製品のスペック

(注1) “Direct Rambus DRAM”は、米国Rambus Inc.の商標である。

表1. 128M/64MビットSDRAMの製品概要

128MビットSDRAM			
語構成(型名)	32M $\times$ 4 (M2V28S20TP)	16M $\times$ 8 (M2V28S30TP)	8M $\times$ 16 (M2V28S40TP)
動作電圧	3.3V $\pm$ 0.3V		
リフレッシュ	4,096サイクル/64ms		
パッケージ	54ピン400milTSOP(II)		
インタフェース	LVTTL		
動作周波数	100MHz	133MHz	
CASレイテンシ	2, 3	2, 3	
最速アクセス時間	6.0ns	5.4ns	
バースト長	1, 2, 4, 8, Full Page		
バンク構成	4		
その他の機能	バーストストップ, シングルライト等		

64MビットSDRAM			
語構成(型名)	16M $\times$ 4 (M2V64S20CTP)	8M $\times$ 8 (M2V64S30CTP)	4M $\times$ 16 (M2V64S40CTP)
動作電圧	3.3V $\pm$ 0.3V		
リフレッシュ	4,096サイクル/64ms		
パッケージ	54ピン400milTSOP(II)		60ピンCSP
インタフェース	LVTTL		
動作周波数	100MHz	133MHz	
CASレイテンシ	2, 3	2, 3	
最速アクセス時間	6.0ns	5.4ns	
バースト長	1, 2, 4, 8, Full Page		
バンク構成	4		
その他の機能	バーストストップ, シングルライト等		

表2. 主なウェーハプロセス技術

デザインルール	0.2 $\mu$ m CMOS
リソグラフィ	KrFエキシマリソグラフィ+変形照明
メモリセル	円筒スタック型セル
ゲート長	0.28 $\mu$ m
素子分離	STI

はJEDEC及びインテル社推奨のPC100スペックに完全に準拠している。パッケージは両製品ともに54ピン400mil幅TSOPであり、さらに第四世代64MビットSDRAMはCSP (Chip Size Package)にも対応している。

4. プロセス技術

この製品に使用している主なプロセス技術を表2に示す。デザインルールは0.20 $\mu$ m, リソグラフィはエキシマレーザを用い、素子分離にSTI(Shallow Trench Isolation)を使用している。メモリセルキャパシタは円筒スタック型を採用した。

5. チップ構成

図1に第一世代128MビットSDRAMのチップ構成を示す。図に示すように、128Mビット全体が8個の16Mビットアレーに分割されており、各16Mビットアレーに4個のバンクが割り付けられている。センスアンプはシェアドセ

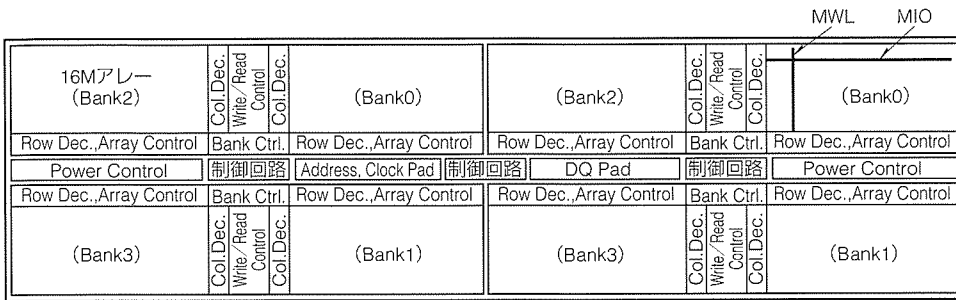


図1. チップ構成

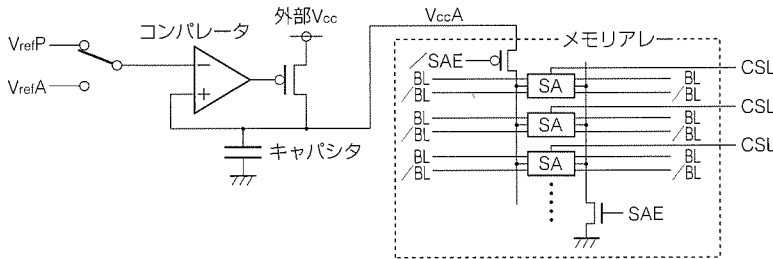


図2. アレー電源制御回路

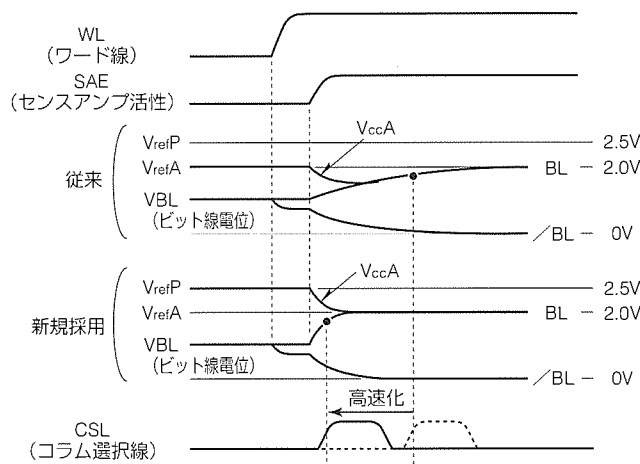


図3. tRCD高速化の動作波形

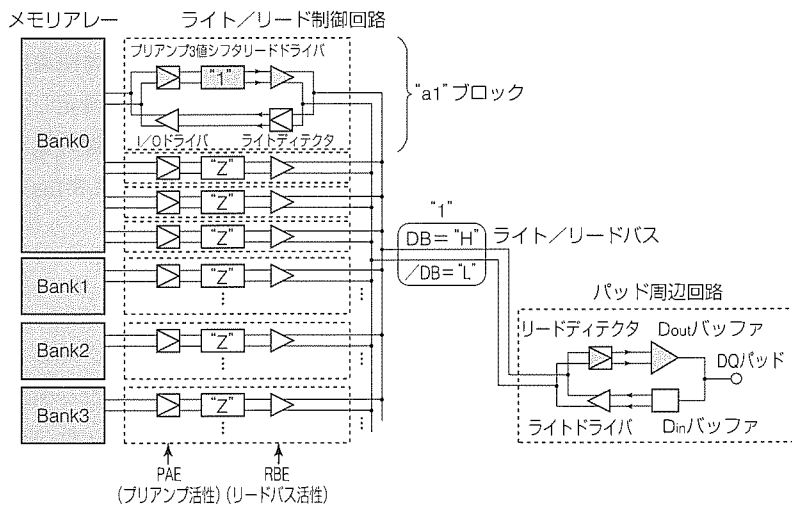


図4. データバスの構成

ンスアンプ方式で、各アレー上のデータIO (Input Output)線は、センスアンプからチップ短辺方向に走るサブIO線と、チップ長辺方向に走るメインIO (MIO)線との階層構造をなしており、また、アレー上のワード線も、チップ短辺方向に走るメインワード

線(MWL)と、並行して走るサブワード線との階層構造をなしている。

内部電源電圧は、周辺回路用の $V_{ccP}$ (周辺用内部電源=2.5V)と、アレー用の $V_{ccA}$ (アレー用内部電源=2.0V)を用い、共にExtVcc(外部電源)から発生している。 $V_{ccA}$ の電位を2.0Vに下げることアレー動作電流を削減している。

## 6. 設計技術

### 6.1 ロー系動作の高速化

この製品では、tRCD(Row Column Delay Time)を高速化するために $V_{ccA}$ (アレー電源)を制御する技術を新規に採用している。図2に今回採用したアレー電源制御回路の回路を、図3にその動作波形を示す。

tRCDとは外部ACTコマンドによるロー系回路の活性から外部リード/ライトコマンドによるコラム系回路の活性までに必要な時間で、PC100スペックでは20nsの値が要求されている。ロー系の動作は、ローアドレスの取り込み、アドレスデコードによるワード線(WL)の選択、センスアンプ(SA)によるビット線対(BL, /BL)間の電位差の増幅、の順で行われる。一方、コラム系の動作時は、コラムアドレスを取り込み、アドレスデコードしてコラム選択線(CSL)を活性化すが、この際十分にビット線対電位が増幅されている必要がある。

従来構成では $V_{ccA}$ 電源は常に $V_{refA}$ (=2.0V)レベルに固定されているが、多数のビット線対をSAE信号(センスアンプ活性信号)で同時に充放電するために $V_{ccA}$ の電圧降下が起こり、ビット線対電位の増幅が遅延していた。新規採用の回路では、コンパレータの参照電圧を $V_{refP}$ (=2.5V)と $V_{refA}$ (=2.0V)で切り換えることで、 $V_{ccA}$ 電源を制御している。スタンバイ期間中に $V_{ccA}$ のキャパシタに2.5Vを充電し、センスアンプ活性時にその電荷をビット線の充電に使用することで、

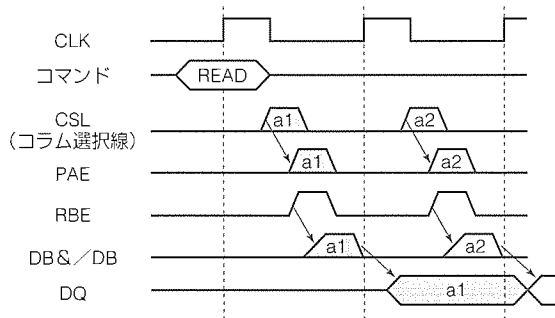
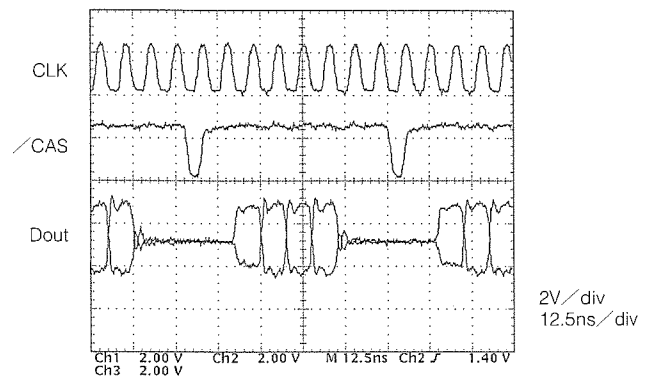


図5. リード時の動作波形(CASレイテンシ2)



(tCLK=7.5ns, CASレイテンシ2, パースト長4)

図7. 133MHz時の出力波形

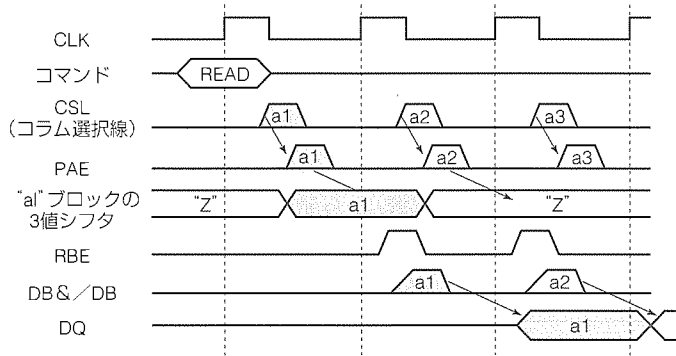


図6. リード時の動作波形(CASレイテンシ3)

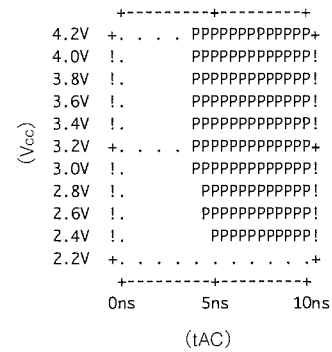


図8. tACの電圧依存性 (T<sub>a</sub>=70°C)

ビット線対の増幅を高速化している。その結果、CSLの活性タイミングを高速化でき、tRCDスペックに対して大幅にマージンを確保できた。

### 6.2 コラム系動作の高速化及び回路高密度化

コラム系の回路には、tCAC(Column Access Time)を高速化しながらチップサイズが最小となる構成を採用している。図4に今回採用したデータバス構成の模式図を、図5と図6にはそれぞれCL(CASレイテンシ)2及びCL3時の動作波形を示す。

第一に、ライト/リード制御回路をブロック分割して、メモリアレー横に分散配置した。制御回路内にはレイテンシシフタとしてプリアンプとリードドライバの間に3値シフタがあり、データ("0"又は"1")又は非活性("Z")という状態を保持する。図4の例では、CL3時、PAE(プリアンプ活性)信号でアドレス"a1"ブロックのプリアンプが活性化してシフタが"1"となり、同時に他ブロックのシフタは非活性("Z")となる。次サイクル時、RBE(リードバス活性)信号によって"a1"ブロックのデータはバスに出力されるが、非活性ブロックのリードドライバはハイインピーダンス状態を保つ。その結果、シフト後のアドレス及びデータバス選択回路が不要となり、中央制御回路やアドレス本数の削減による面積削減と低消費電力化、またデータアクセスパスのゲート段数削減による高速化が可能となった。

第二に、ライト/リード制御回路とパッド周辺回路を結

ぶ相補データバスをリード用とライト用で共有し、さらに、ライト/リード共に、毎サイクル、データバス対をスタンバイ状態(DB= /DB=GNDレベル)に戻すようにした。その結果、データバス本数を削減でき、また、データ取り込みクロックとのスキューなしに最高速でのデータ伝達が可能となった。

### 7. 実デバイスの評価結果

図7に128MビットSDRAMの133MHz動作時の出力波形を、図8に同じく133MHz動作時のクロックアクセス時間(tAC)の電源電圧依存性を示す。測定条件は、周囲温度70°C、出力負荷は50pFで、CASレイテンシ2に設定している。このデバイスのクロックアクセスは、広範囲の電源電圧範囲において133MHz品スペックの規格である5.4nsを十分に満足している。

### 8. むすび

今回、0.20μmプロセスを用いて、PC100スペック対応で動作周波数133MHz以上の、128MビットSDRAM及び64MビットSDRAMを開発した。この製品は、高性能・低コストという要求に十分こたえ得るものと考えている。今後とも、市場の要求にマッチした製品展開を進めていく。

# 2.7V単一電源動作の70ns 16MビットBGO機能付きフラッシュメモリ

早坂 隆\* 木村広嗣\*  
石崎 統\* 榎本ひろみ\*  
稲葉 努\*

## 要 旨

フラッシュメモリは、SRAM(Static Random Access Memory)やDRAM(Dynamic Random Access Memory)と異なり、電源を切ってもメモリセル内のデータの内容が保持されるメモリである。

フラッシュメモリの市場規模は、1998年実績で約30億ドル、2001年には約70億ドルへと成長が見込まれており、特に携帯電話を中心とした通信分野が全体の40%から約50%へと大きく拡大していくと予想されている。

このため、携帯電話市場の成長とともに、電話番号の記憶や漢字を表示するための漢字フォントの搭載、また音声による電話番号入力のための音声認識データの搭載などの高機能化や軽量化が進んでいる。

このような市場ニーズを踏まえて、携帯電話の高機能化を容易に実現できるように、またシステムの小型化・軽量化に貢献できる第三世代16MビットBGO(Back Ground Operation)フラッシュメモリの開発を行った。

フラッシュメモリには三菱電機が独自に開発したDINOR(Divided Bit Line NOR)型メモリセルを用い、単一電源電圧での高速書き込み/消去動作を可能とし、低電圧化や高速アクセス化を実現している。また、DINOR IIIプロセスにより、データ保持特性や書換え回数の高信頼性を確保している。

BGO動作は、メモリアレーを大きく二つのバンクに分け、一方のバンクに対して書き込みや消去を行っている間に、他方のバンクからメモリセルの情報を読み出すことのできる機能であるが、この機能を搭載することで携帯電話等、システムの高機能化が実現でき、また各種パッケージを用意しているのでシステムの軽量化が図れる。

今後は、更なる低電圧化として電源電圧1.8V単一での動作、より高機能なシステムに対応した大容量化を図った製品を開発していく。


なお、この製品は㈱日立製作所との共同開発品である。

**特 長**

- 2.7V単一電源動作 ( $V_{CC}=2.7\sim 3.6V$ )
- BGO機能
- ソフトウェアロックリリース機能
- デバイスごとにシリアル番号入力
- 70ns@  $V_{CC}=2.7V$ 高速アクセス
- 40ms/4msの高速消去/書き込み動作


**アプリケーション**

携帯機器

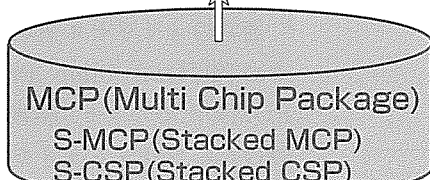


PDA  
携帯電話

パソコン

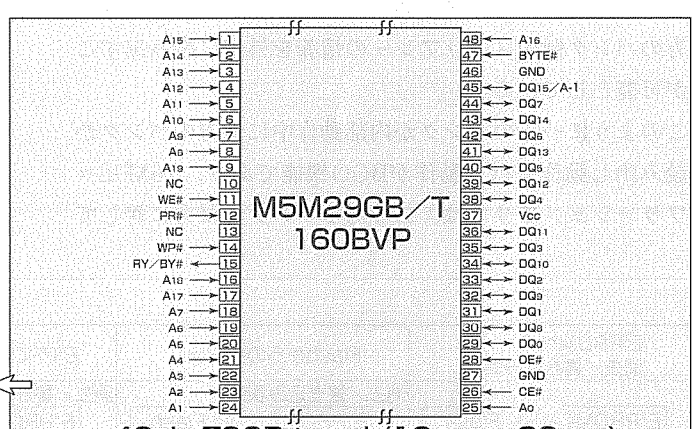


BIOS



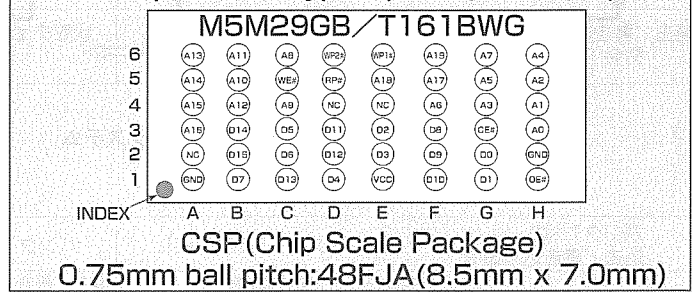
MCP(Multi Chip Package)  
S-MCP(Stacked MCP)  
S-CSP(Stacked CSP)

フラッシュメモリ+SRAM



**M5M29GB/T  
160BVP**

48pin TSOP type-I (12mm x 20mm)



**M5M29GB/T161BWG**

CSP(Chip Scale Package)  
0.75mm ball pitch:48FJA(8.5mm x 7.0mm)

## 16MビットBGOフラッシュメモリ

低電圧動作、高速アクセス、高速書換え、高信頼性を実現したBGO機能付きフラッシュメモリである。BGO機能によってシステムからメモリを削減することができ、さらに、MCPやS-MCP、S-CSPへの収納によって実装面積削減が可能で、携帯機器等の用途に最適である。

## 1. ま え が き

フラッシュメモリは、電氣的に書き込み及び消去が可能で、かつ電池によるバックアップが不要な不揮発性半導体メモリである。

現在、携帯電話やPHS、ノートパソコンやPDA(Personal Digital Assistants)を始めとした携帯機器や情報処理端末などへの需要が多く、今後も大きな伸びが期待されている。これら携帯機器、特に携帯電話は高性能化・高機能化が進んでおり、フラッシュメモリへの要求も更なる低電源電圧での動作や機能の向上が求められている。

そこで、8Mビットフラッシュメモリで搭載され好評を得ているBGO機能を付加した第三世代16MビットBGOフラッシュメモリを開発した。2.7V単一での書換え動作を可能とし、2.7Vで70nsの高速アクセスを実現している。

本稿では、今回開発した16Mビットフラッシュメモリに搭載したBGO機能、パッケージの小型化、プロセス技術、及び、製品仕様と電氣的特性について述べる。

## 2. 第三世代16MビットBGOフラッシュメモリ

### 2.1 双方向BGO機能

16MビットBGOフラッシュメモリでは、メモリアレーを大きく二つのブロック群(バンク)に分割し、一方のバンク側に対して消去や書き込みの動作を行っている間、又はページ書き込みなどで書き込むデータを入力している間に、他方のバンク側のメモリアレーの情報を外部に読み出すことが可能としている。

このように一方のバンクが内部動作中に他方のバンクから読み出し動作を行う動作がBGO機能であり、16Mビットフラッシュメモリでは、二つあるバンクの双方に対して

BGO動作が可能としている(双方向BGO)。

従来から、携帯電話などのシステム構成としては、フラッシュメモリをプログラム格納用のリードオンリメモリ(Read Only Memory:ROM)として使用し、リアルタイムに書換えが必要なデータにはE<sup>2</sup>PROM(Electrically Erasable Programmable ROM)を用いている。また、音声等を記憶させたりするのにSRAMを使用している。このように基板に3個のメモリを実装しなければならず、軽量化、実装面積の点で不利が生じている。

図1に従来のE<sup>2</sup>PROMを搭載したシステムでの動作を示す。E<sup>2</sup>PROMに対して消去や書き込みを行っている間にフラッシュメモリからデータの読み出しを行い、その読み出しの合間にE<sup>2</sup>PROMの消去や書き込み動作が完了しているかどうかのチェックを行っている。今回搭載したBGO機能とバイト書き込みを利用することにより、図2のように、E<sup>2</sup>PROMの機能をフラッシュメモリに取り込むことができる。また、同様にSRAMを取り込むことも可能となり、メモリ数を削減することができる。

また、このBGO機能を用いた書換えソフトウェアも用意しており、システム設計時のプログラム作成期間のサポートを行っていく。

### 2.2 ソフトウェアロックリリース

それぞれのブロックに対して誤書き込みや誤消去を防止するためのブロックロック機能を備えている。ブロックロック機能は、各ブロックに設けてある不揮発性のフラグビット(ロックビット)とプロテクト機能を制御する信号(/WP1, /WP2)の状態により、特定ブロックに対して書き込みや消去を禁止するものである。/WP1=L, /WP2=Lのときは、全ブロックに対して、ロックビットの状態にかかわらず、書き込みや消去動作は行えないが、特殊なコマンドシーケンスを入力することで、一時的に禁止状態を解除することができる。この機能をソフトウェアロックリリースと呼んでおり、ノイズ等による誤動作を防ぐのに更なる威力を発揮する。

### 2.3 OTP機能

通常のメモリセル領域とは異なるOTP(One Time Program)ROMのためのメモリ領域を新たに設けた。フラッシュメモリを搭載したシステムのセキュリティを保護するためのもので、256バイトの領域に各デバイスごとにシリアル番号を書き込んでおく。この番号はデバイス出荷時には書換え不可能な状態としているため、このコ

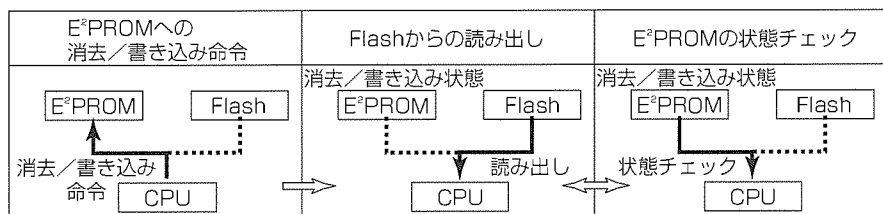


図1. E<sup>2</sup>PROMを搭載した従来システム

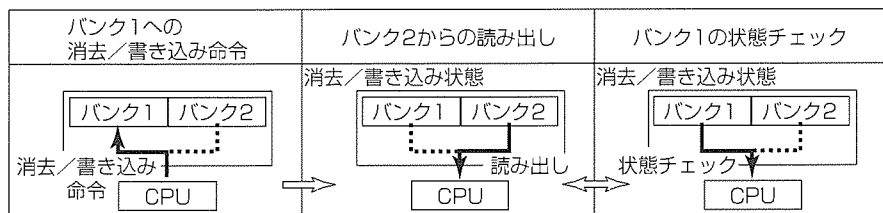


図2. BGO機能を使用したシステム



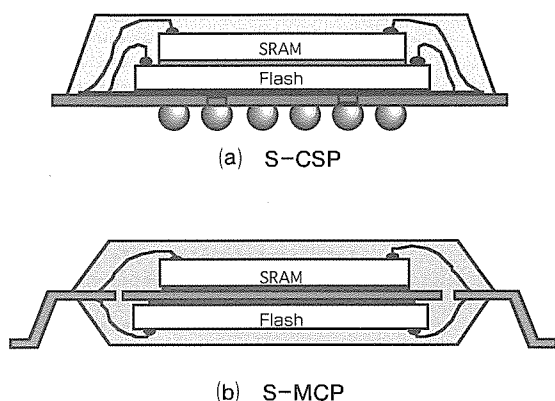


図3. S-CSP及びS-MCPのパッケージ断面図

表1. プロセス概要

プロセス	0.25 $\mu$ mルール
	2層ポリシリコン
	3層メタル
	P-sub トリプルウェルCMOS

ードを読むことで、システムを個別に認識する際に役立てることができる。

## 2.4 小型パッケージ化

システム構成を簡素化するためには、BGO機能による部品点数削減とともに、実装面積を削減する必要がある。そこで、パッケージについても、従来からあるTSOP (I) (12mm×20mm)に加え、当社独自のアセンブリ技術を用いたCSPにより、実装面積を8.5mm×7.0mmまで小さくすることができた。

また、更なる部品点数削減のため、当社では4Mビットや2Mビットの低消費SRAMとフラッシュメモリを並列にして同じパッケージに格納したMCPを用意している。また、より省スペース化をねらって、SRAMとフラッシュメモリを積層にアセンブリする技術によってパッケージ面積を縮小させたS-CSPやS-MCPを製品化している(図3)。

これらBGO機能やマルチチップパッケージを利用することで、従来のシステムに対し、実装面積を約80%削減することが可能となる。

## 2.5 プロセス技術

16MビットBGOフラッシュメモリは、デザインルールに0.25 $\mu$ mルールを用いた先端のDINOR IIIプロセスによって製造されている。また、KrFエキシマレーザ露光を使用した最先端写真製版技術により、メモリセルサイズの縮小を実現した。表1にプロセス概要を示す。

素子分離方法には改良型のLOCOS法を採用してバースビークの制御性を向上させ、高耐圧の素子間分離を達成し、さらに、メモリセルのソース線にはルール最小線幅で自己整合型の拡散層配線を採用し、セルサイズの微細化を図った。配線系では2層ポリシリコン、3層メタル配線構造を

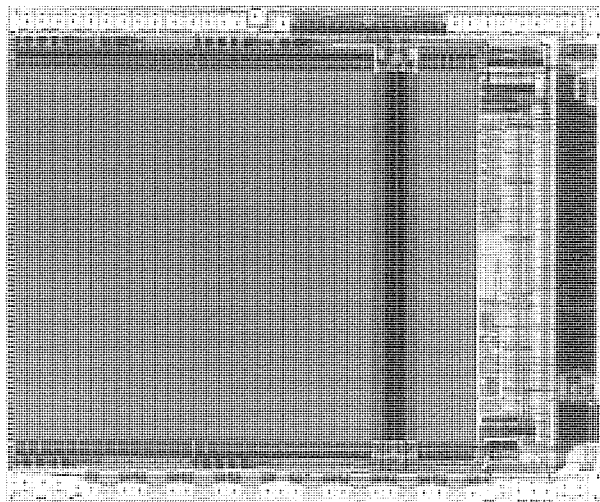


図4. チップ写真

採用しており、ポリシリコン層はフローティングゲートとコントロールゲートに使用している。

DINOR型フラッシュメモリ特有の構造で、ビット線容量の低減を可能としているサブビット線は、前世代のWSiポリサイド配線からメタル(W)配線に変更し、ビット線コンタクト構造と併せて抵抗を大きく低減した。これらにより、70nsアクセスというデバイスの高速動作を可能にした。

3層メタル配線では、各配線層間を接続するビアホールに、上層のビアホールを(メタルを挟んで)下層のビアホール直上に縦に重ね合わせたスタックビア構造を使用して、配線間距離の縮小化を可能とした。

トンネル絶縁膜、フローティングゲートとコントロールゲートの間の絶縁膜は、膜厚と動作電圧の最適化を行うことで、データの高速“書き込み/消去”，及び高いデータ保持特性を得ることができている。

## 3. 第三世代16MビットBGOフラッシュメモリ製品仕様

図4に16MビットBGOフラッシュメモリのチップ写真を、表2に製品仕様を示す。電源電圧は2.7V単一で、2.7~3.6Vの広範囲で動作する。消去ブロックの構成は、バンク1が32Kバイト×8ブロック、バンク2が64Kバイト×28ブロックとしている。

## 4. 電気的特性

図5にアクセスシミュレーションプロットを示す。電源電圧2.7Vにおいて60nsの高速アクセスを実現した。書き込み時間はtypicalでページ当たり4.0ms、消去時間はtypicalでブロック当たり20msと、高速動作を実現している。

## 5. むすび

0.25 $\mu$ mルールのDINOR IIIプロセスを用いて第三世代

表2. 製品仕様

語 構 成	1,048,576語×16ビット	
	2,097,152語×8ビット	
電 源 電 圧	2.7~3.6V	
消 費 電 力	読み出し(5MHz)	54mW(max.)
	(10MHz)	14.4mW(max.)
	消去	72mW(max.)
	書き込み	144mW(max.)
	待機状態	0.33μW(typ.)
読み出し時間	70ns(max.)	
消 去 時 間	40ms(typ.) / ブロック	
消 去 単 位	バンク1	
	ブートブロック	32Kバイト×1
	パラメータブロック	32Kバイト×7
	バンク2	
	メインブロック	64Kバイト×28
書き込み時間	4ms(typ.) / ページ	
書き込み単位	128ワード / 256バイト (バンク1 / 2)	
	1ワード / 1バイト (バンク1)	
ブートブロック	ボトムブート	
	トップブート	
その他の機能	ソフトウェアコマンド制御	
	BGO機能	
	OTP機能	
	選択ブロックロック機能	
	ソフトウェアロックリリース機能	
	消去サスペンド / レジューム機能	
	書き込みサスペンド / レジューム機能	
	ステータスレジスタ読み出し機能	

16MビットBGOフラッシュメモリを開発した。2.7V単一での書換え動作を実現し、70nsという高速アクセスを達成した。さらに、1ブロック当たりの書換え時間のtypical値は約1秒(オーバーヘッドは除く。)と高速書換えを実現した。

更なる低電圧化として、電源電圧1.8V単一動作の16MBGOフラッシュメモリも製品化を予定している。

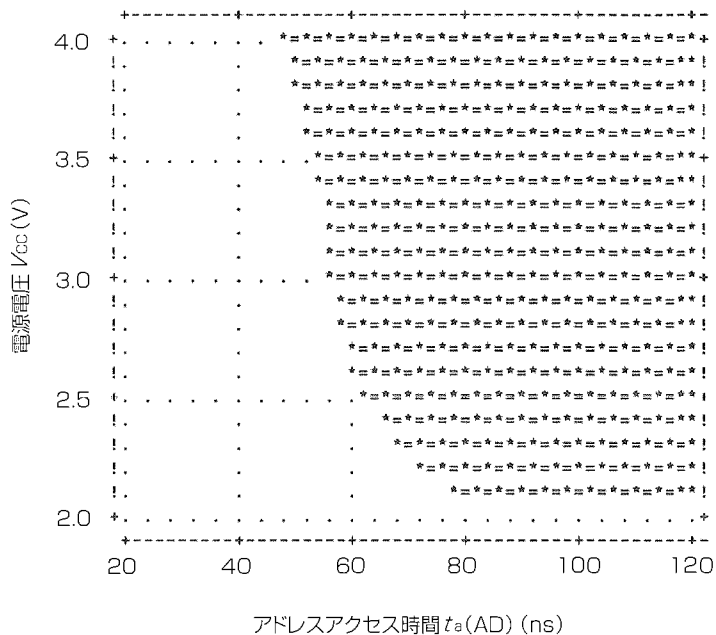


図5. アクセスシムープロット

参考文献

- (1) 宮脇好和, 河井伸治, 杠 幸二郎, 本間 剛, 帯刀恭彦: 2.7V単一電源第二世代16MビットDINOR型フラッシュメモリ, 三菱電機技報, 72, No.3, 216~219 (1998)
- (2) 携帯電話向けフラッシュ・メモリ, パッケージ面積を1/3~1/5に, 日経マイクロデバイス (1998-11)
- (3) Mihara, M., Miyawaki, Y., Ishizaki, O., Hayasaka, T., Kobayashi, K., Omae, T., Onoda, H., Kimura, H., Kawajiri, Y., Wada, M., Sonoyama, H., Etoh, J.: A 29mm<sup>2</sup> 1.8V-Only 16Mb DINOR Flash Memory with Gate-Protected Poly-Diode Charge Pump, ISSCC, February, 1999, to be published

# 高速メモリバス対応モジュール

武 正行\*  
福永英樹\*\*

## 要 旨

現在のDRAM(Dynamic Random Access Memory)モジュールは、SDRAM(Synchronous DRAM)に代表されるようにクロック周波数100MHz程度に対応したモジュールが主流であるが、近年のCPUの高速化により、更に高速なDRAMモジュールの開発が求められている。

こうした市場要求にこたえるため、次世代の高速メモリバス対応モジュールの中でも、米国INTEL社が次期システムへの採用を決定しており、最も注目されているRIMM<sup>(注)</sup>(Rambus Inline Memory Module)の開発を行った。

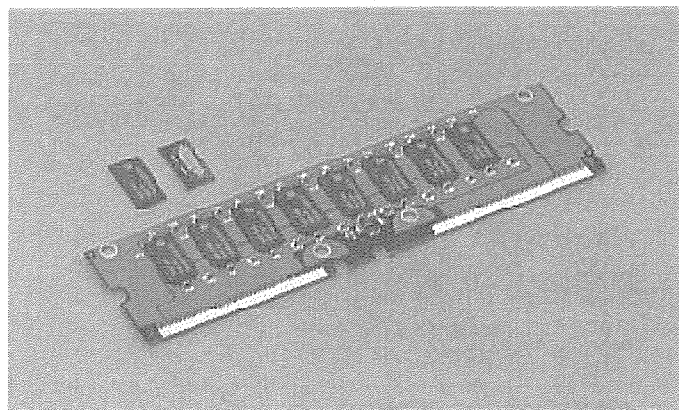
RIMMの入力クロック周波数は400MHzで、クロックの

立ち上がりと立ち下りの両エッジでデータを入出力するDDR(Double Data Rate)方式を採用することでデータ転送レート1.6Gバイト/秒という従来に比べて非常に高速動作を実現する。そのためのモジュール基板の設計技術を確立した。また、RIMMは1チップ当たりの発熱量が大きいため、ヒートスプレッタを装着することが必要であり、それによってチップ温度を抑えられることを確認した。

今後、更なる市場の高速化要求にこたえ得る製品の開発を行っていく。

(注) "RIMM"は、米国Rambus Inc.の商標である。

型 名	MH64R18BUP	MH32R18BUP	MH16R18BUP
モジュール構成	M2R72180BWG (×18) 16個搭載	M2R72180BWG (×18) 8個搭載	M2R72180BWG (×18) 4個搭載
容 量	144Mバイト	72Mバイト	36Mバイト
搭載パッケージ	M-CSP(Mold Chip Scale Package)		
最大データ転送レート	1.6Gバイト/秒		



三菱ダイレクトラムバスDRAM  
単体M2R72180BWG・モジュール [8個搭載]MH32R18BUP

## 72MビットダイレクトラムバスDRAM搭載RIMM

データ転送レート1.6Gバイト/秒、容量は最大で144Mバイト、モジュールデザインはRambusの仕様に準拠したRIMMを開発した。搭載単体パッケージはM-CSPを採用しており、高い信頼性を確保している。また、64Mビット(×16)、128/144Mビットを搭載したRIMMも現在開発中である。

### 1. ま え が き

DRAMモジュールは、パソコン、サーバ、ワークステーション等のメインメモリ及び拡張メモリとして使用されている。近年、DRAMを使用するシステムの高性能化のためDRAMモジュールの高速化が要求されている。図1にDRAMモジュール高速化の動向を示す。現在はクロック周波数100MHz程度のSDRAMを搭載したモジュールが主流であるが、次世代の高速メモリバス対応モジュールとして、クロック周波数133MHzから400MHzであるDDR SDRAM(Double Data Rate SDRAM)、ダイレクトランバスDRAMといったメモリを搭載したモジュールが主流になっていく。その中でもダイレクトランバスDRAMを搭

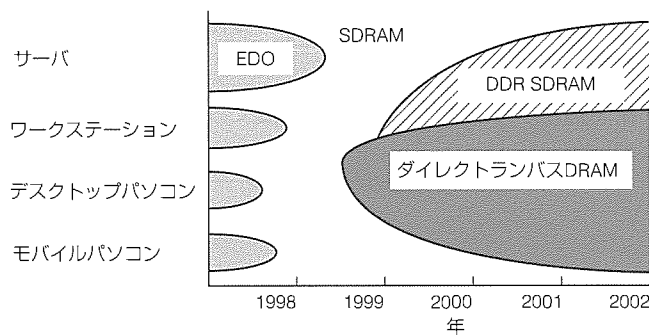


図1. DRAMモジュール高速化の動向

表1. RIMMの製品概要

型名	MH64/32/16R18BUP
搭載単体個数	72Mビット(×18) 16個/8個/4個
搭載単体パッケージ	M-CSP
動作電圧	2.5V ± 5%
ピン仕様	184ピン, DIMM
基板外形 (横×縦×板厚)	133.35mm×34.93mm×1.27mm
tRAC, I/O周波数 (スピードアイテム)	53ns, 600MHz(-536)
	45ns, 800MHz(-458)
	40ns, 800MHz(-408)

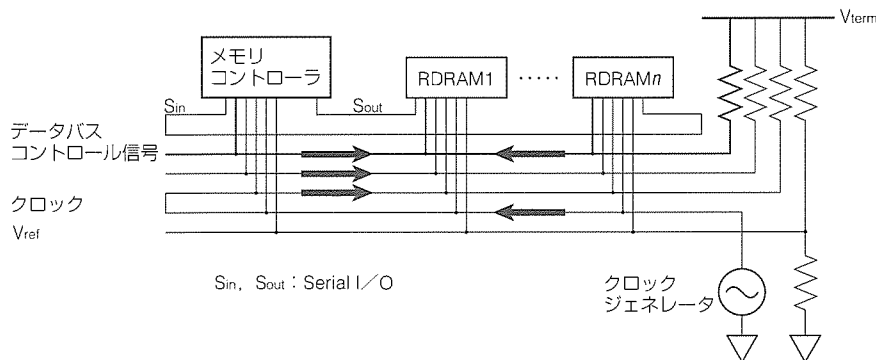


図2. RIMMのメモリバス構成

載したRIMMは、米国INTEL社が次期システムへの採用を決定しており、デスクトップパソコン等のメインメモリとして使用されるため、普及が最も進むと考えられる。

当社では、次世代の高速メモリバス対応モジュールとしてRIMMの開発を行った。

本稿では、RIMMの特長について述べる。

### 2. RIMMの特長

#### 2.1 RIMMの概要

表1にRIMMの製品概要について示す。入力クロック周波数は400MHzで、クロックの立ち上がり立ち下りの両エッジでデータを入出力するDDR方式を採用することでデータ転送レートは最大1.6Gバイト/秒を実現しており、従来のSDRAMモジュール等に比べて非常に高速動作である。搭載単体個数は16個/8個/4個の三種類あり、ピン仕様は184ピン、基板外形は133.35mm×34.93mm×1.27mmの一種類で、市場の要求に幅広く対応できる。搭載単体パッケージはM-CSPを採用しており、高い信頼性を確保している。

#### 2.2 メモリバス構成

図2にRIMMのメモリバス構成を、図3にRIMM配線図を示す。RIMMにおいては、メモリバスの物理的配置を工夫して、信号間のスキューの影響を抑える工夫をしている。クロックジェネレータで発生したクロック信号はメモリコントローラ側に進行し、メモリコントローラ近傍で折り返す。そして逆方向に進行して終端する構造になっている。メモリコントローラ側に進行するクロックは、読み出しデータと同方向に等距離を伝送する。またメモリコントローラ近傍で折り返したクロックは、コントロール信号、書き込みデータと同方向に等距離を伝送する。このため、フライトタイムはほとんどゼロとなる。実際のモジュールにおける配線は図3のように一筆書きの配線となり、それぞれの信号の配線を等長配線することによって、信号間のスキューを抑えることができる。これはRIMMの配線における特長の一つである。

#### 2.3 インピーダンスマッチング

RIMMは、クロック周波数400MHzという高速動作を実現するため、従来のSDRAMモジュール等ではそれほど厳密に規定されていなかった伝送線路の特性インピーダンスをコントロールし、反射ノイズの影響を抑えた設計をする必要がある。

図4にRIMMのインピーダンスマッチングについて示す。一定の特性インピーダンスで配線した場

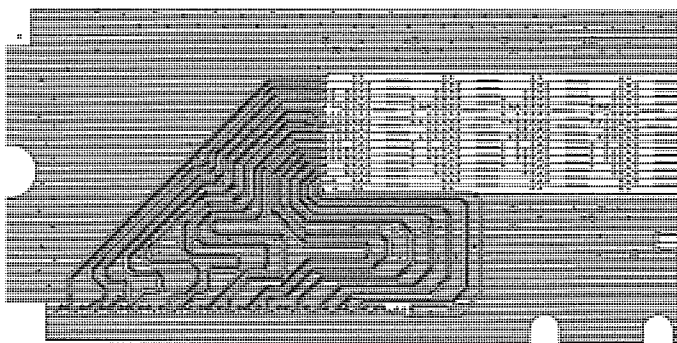


図 3. RIMM配線図

合、実際のモジュールではデバイス実装時にデバイスの入力容量等が配線に付加され、デバイス付近の特性インピーダンスが低下し、インピーダンスがアンマッチングとなる。そのため、RIMMの配線ではデバイス付近の配線容量をあらかじめ主配線よりも低く設計しておき、インピーダンスマッチングをとっている。こうして反射ノイズを抑える設計を行っている。

図 5 に、デバイス付近の配線をマッチングさせた場合とさせなかった場合それぞれに対して信号入力させたシミュレーション結果を示す(シミュレーション条件として、デバイス入力容量2.4pF、1チャンネル上のデバイス数32、周波数400MHzで行い、チャンネル上の1デバイス目と32デバイス目についてのシミュレーションである)。1デバイス目においてマッチングさせなかった場合は、マッチングさせた場合と比べて0.15V程度の減衰及び0.2V程度のリングングが見られる。また32デバイス目においてマッチングさせなかった場合は、1.4V付近で見ると0.8ns程度伝搬遅延が速くなり、1デバイス目と同様に0.2V程度のリングングが見られる。RIMMの規格では入力電圧のマーヅンは0.3V程度であり、マッチングさせない場合は大きな問題となる可能性がある。このことから、400MHzという従来のモジュールに比べて非常に高い周波数においては、デバイス入力容量等を考慮して反射ノイズの影響を抑えた設計を行う必要があることが分かる。

2.4 インピーダンスコントロール

モジュール基板は多層構成となっており、配線の特性インピーダンスは層構成、誘電率、配線幅等の様々なパラメータで決定される。実際のモジュール基板の製造においては、それぞれのパラメータがターゲットとする値に対しずれが生じる場合があるため、それらを考慮してインピーダンスコントロールを行う必要がある。RIMMの配線においては、インピーダンスマッチングさせるためデバイス付近の配線容量を減ら

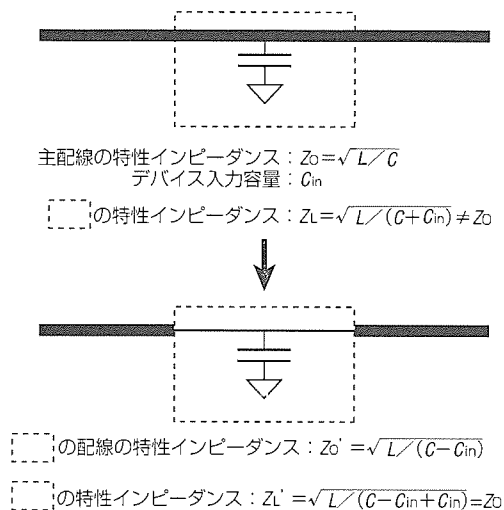


図 4. RIMMのインピーダンスマッチング

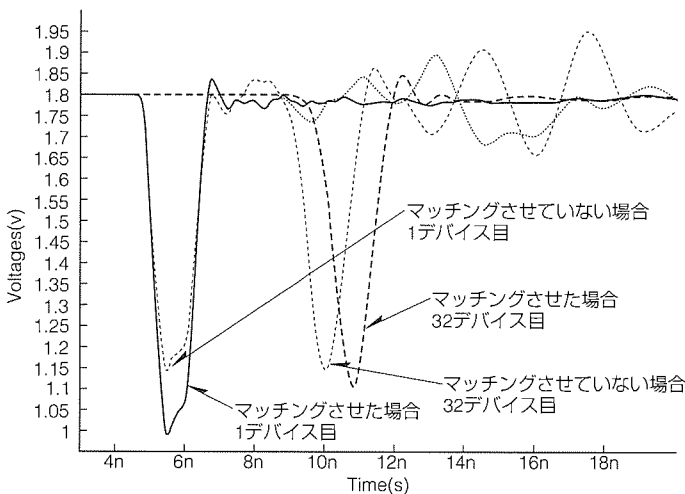


図 5. インピーダンスマッチングシミュレーション結果

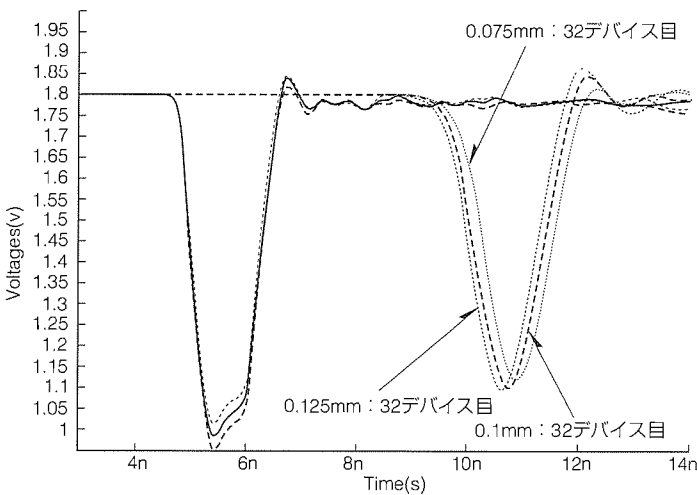
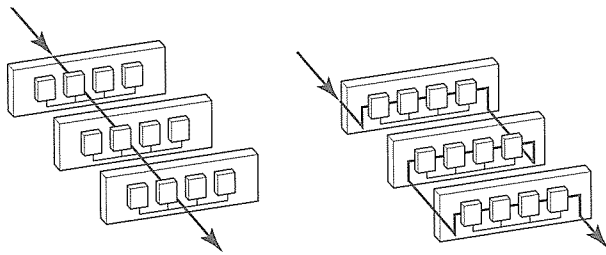


図 6. インピーダンスコントロールシミュレーション結果

す必要があり、主配線に対してデバイス付近の配線幅を細くする設計を行っており、製造上のずれによって特性イン



(a) 従来品(SDRAMなど) (b) RIMM  
図7. RIMMの増設対応

ピーダンスの値が大きく変化する可能性がある。図6はデバイス付近の配線幅の設計ターゲット値を0.1mmとして、0.075mm, 0.125mmと変化させたときのシミュレーション結果である(シミュレーション条件は図5と同様である)。32デバイス目の1.4V付近で見ると、0.1mmの場合に対し0.125mm, 0.075mmの場合、それぞれ0.1ns, 0.2ns程度のずれが見られる。RIMMのセットアップタイム、ホールドタイムのマージンは0.2ns程度であるので、より精度の高いインピーダンスコントロールが必要であることが分かる。

### 2.5 増設対応

図7にRIMMの増設対応を示す。従来のSDRAMモジュールがメモリバスに対して直交して配置されているのに比べ、RIMMは、システムの構成上、平行に配置されている。そのため、多数のメモリを1チャンネルに接続しようとする時、配線長が長くなること、負荷が重くなること等により、信号波形の減衰等が見られる。これらの対策として1チャンネルに接続するモジュールのスロット数を3スロットまでと規定しており、システムパフォーマンスを低下させることなく使用できる。

### 2.6 ヒートスプレッダ

システム上でRIMMを動作させる際、非常に高速動作であるため、1チップ当たりの発熱量が大きく正常に動作しない可能性がある。そのためRIMMでは、モジュールに金属製のヒートスプレッダを装着しチップ温度の上昇を抑える構造にしている。

図8にヒートスプレッダを示す。構造的には、基板に実装した単体パッケージ表面に熱伝導性の緩衝材(サーマルシート)を接着させ、その上からヒートスプレッダを装着させる構造になっている。これによって動作時にチップで発生する熱を逃がし、チップ温度の上昇を防ぐことができる。またヒートスプレッダをリベットで基板に固定することにより、搬送時等に与えられる外的ストレスにも強い構造が得られる。

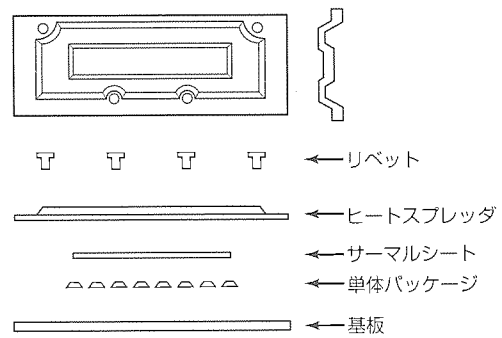
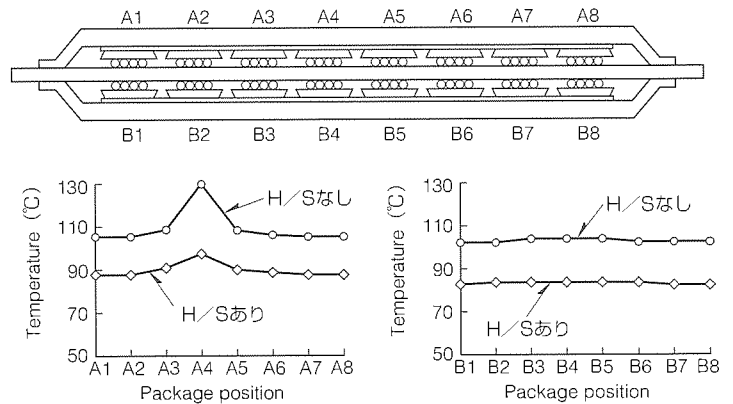


図8. ヒートスプレッダ



シミュレーション条件：周囲温度60℃、自然対流、1デバイス動作で、チップジャンクション温度を測定。

図9. 熱シミュレーション結果

図9に、ヒートスプレッダを装着した場合としない場合での、熱シミュレーション結果を示す(シミュレーション条件は、16個搭載RIMM(両面実装品)、1デバイス動作(A4のみ動作)、周囲温度60℃、自然対流として行った)。この結果より、ヒートスプレッダを装着しなかった場合は動作時にチップジャンクション温度が最大で130℃程度まで上昇することが分かる。規格ではチップジャンクション温度は100℃までとなっており、このまま動作させると信頼性上問題となる。しかし、ヒートスプレッダを装着した場合は、規格であるチップジャンクション100℃を満足し、問題なく動作することが確認できた。

## 3. むすび

今回、RIMMの開発を行い、高速メモリバス対応モジュール基板の設計技術を確認した。また、高速メモリバス対応モジュールにおいてはチップ温度の上昇が問題となるが、ヒートスプレッダを装着することによってチップ温度の上昇を抑えられることを確認した。

今後、更なる市場の高速化要求にこたえ得る製品の開発を行っていく。

# 高性能16ビットマイコンM16Cシリーズ

中村和夫\* 山崎貴志\*  
 藤高繁明\* 林直人\*  
 北上尚一\* 榊浩彰\*\*

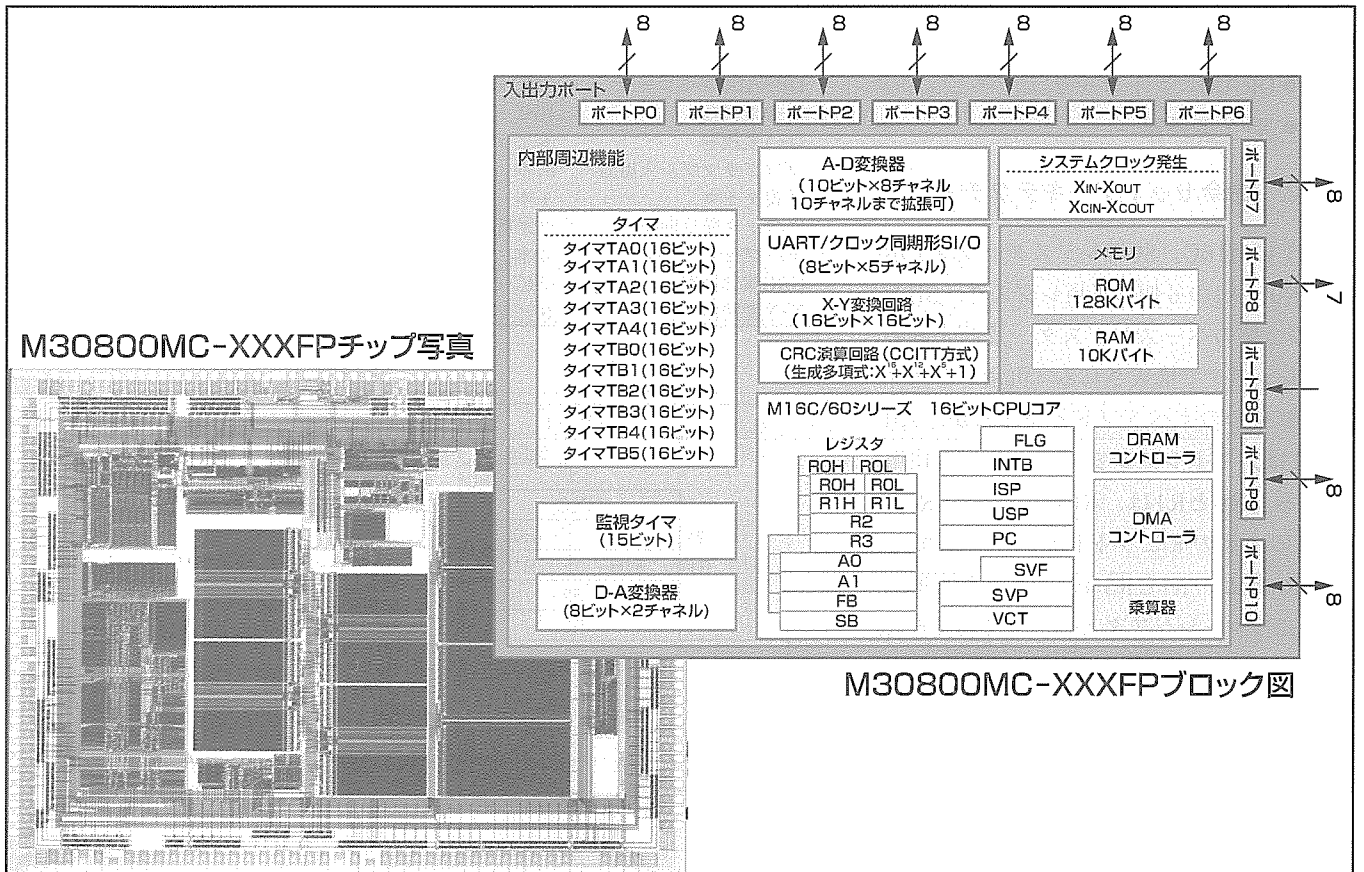
## 要旨

M16C/80は、高速な演算処理が必要な産業機器・通信機器・OA機器などの制御に適した高性能16ビットシングルチップマイコンであり、命令セットと内部構造の最適化によって高速性とRISCのほぼ2倍のコード効率を実現している。また、乗算器を内蔵しDSPクラスの積和演算機能を持っており、C言語対応の種々の命令のほか、スケールドインデックスアドレッシング、メモリ間接アドレッシングなどの高機能命令も備えている。さらに、低ノイズふく(幅)射、高ノイズ耐性、低消費電力という特長も持っている。

M30800MC-×××FPの主な仕様は次のとおりである

(動作クロック20MHz、電源電圧5V時)。

- メモリ容量 ROM:128Kバイト RAM:10Kバイト
- アドレス空間 16Mバイト
- レジスタ-レジスタ間演算時間 50ns
- メモリー-メモリー間演算時間 200ns
- 1積和当たりの演算時間 100ns
- 電源電圧 2.7~5.5V
- 消費電流 45mA
- 割り込み 内部:29要因 外部:8要因



## 高性能16ビットマイコンM16Cシリーズ

M30800MC-×××FPのチップ写真とブロック図である。0.5μmCMOSプロセスを採用しており、M16C CPUコアとROM 128Kバイト、RAM 10Kバイト、割り込みコントローラ、DMAコントローラ、タイマ、UART (Universal Asynchronous Receiver Transmitter)などの周辺を内蔵している。

1. ま え が き

M16C/80は新開発の高性能CPUコアを搭載したマイコンシリーズで、M16Cファミリーの最上位に位置付けされる。当社は既に16ビットオリジナルマイコンとしてM16C/60シリーズ<sup>(1)</sup>を発表し、優れたC言語効率と高速処理、低消費電力、ノイズ耐性の良さで好評を得ている。しかし、自動車などの制御や携帯電話などの分野からは10MIPS以上の高速性が、また、携帯電話やOA機器など分野からは1Mバイト以上のアドレス空間の要求がある。M16C/80は、これらの要求にこたえるため開発されたマイコンで、M16C/60シリーズの特長を維持しながら16Mバイトのアドレス空間と15VAXMIPSの高速性を実現したものである。

表1にM30800MC-×××FPの概略仕様を示す。これはM16C/80のCPUコアに先行機種であるM16C/62<sup>(2)</sup>の周辺機能と下記の機能を付加したものであり、M16C/62の応用分野のほかに大容量RAMが必要なOA機器などの分野へも適用できるようにしたものである。

- DMAコントローラを4チャンネルに拡張
- DRAMコントローラ
- X-Y変換器

2. 命令セットアーキテクチャ

図1にM16C/80のレジスタセットを示す。R0~A1の6個の汎用レジスタ、SBとFBの2個のベースレジスタ、及び8個の専用レジスタで構成される。汎用レジスタは演算命令のオペランドとなるほか、A0とA1は、アドレスレジスタとしても使用できる。R0とR1は、R0L、R0H、R1L、R1Hの4個の8ビットレジスタとしても、またR0とR2、R1とR3は、それぞれを連結して32ビットレジスタとしても使用できる。SBは、静的変数のベースレジスタとして使用するもので、プログラムモジュールごとに定義された静的変数を短い変位でアクセスできるようになっている。プログラムカウンタは24ビットであり、プログラム領域は16Mバイトのリニアな空間となっている。FBは、スタックフレームのベースレジスタとして設けられているもので、ENTER(スタックフレーム構築)命令とEXIT(スタックフレーム解除)命令とともに

に用いることにより、高級言語のサブルーチンの中で定義される局所変数を効率良くアクセスできる。USPは通常のスタックポインタである。ISPは割り込みスタックポインタである。M16C/80では、高速割り込み以外の割り込みが発生したとき、PCとFLGがスタックに待避される。このときスタックポインタとして用いられるのがISPである。INTBは、割り込みベクタテーブルのベースアドレスを指定するもので、割り込みベクタテーブルを任意のメモリ領域に配置できるようになっている。

SVF、SVP、VCTは高速割り込み用のレジスタで、SVF、SVPはそれぞれFLGとPCの待避レジスタ、VCTは割り込みベクタを保持するためのレジスタである。これら

表1. M16C/80の主な仕様

アドレス空間	16Mバイト
メモリ容量	ROM:128Kバイト, RAM:10Kバイト
動作クロック周波数	最大20MHz
性能	15 VAX MIPS
演算速度	レジスタ-レジスタ間演算 50ns(動作クロック20MHz時) メモリ-メモリ間演算 200ns(動作クロック20MHz時)
電源電圧	2.7~5.5V
消費電流	45mA(動作クロック20MHz, 電源電圧5V時)
マスクابل割り込み	内部:29要因, 外部:8要因, 7レベル
ノンマスクابل割り込み	1系統
タイマ	出力系:5本, 入力系:6本
シリアルI/O	UART/クロック同期 5本
DMAコントローラ	4チャンネル, 25要因, 2バス転送
DRAMコントローラ	EDOモード, FASTページモード対応
A-D変換器	10ビット 8チャンネル(最大10チャンネルまで拡張可)
D-A変換器	8ビット 2チャンネル
プログラマブル入出力	87本
監視タイマ	1本
クロック発生回路	2系統
チップセレクト端子	4本
CRC演算回路	CRC-CCITT方式
X-Y変換器	16ビット×16ビット

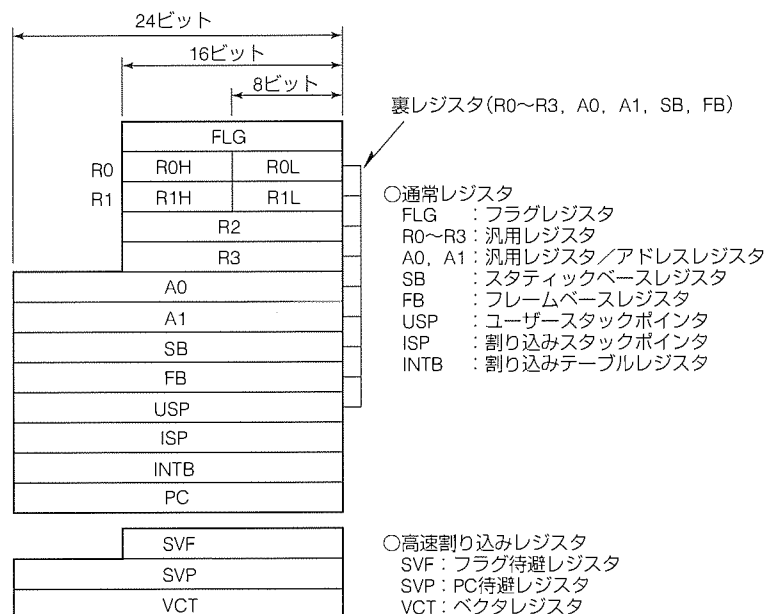


図1. M16C/80のレジスタセット



のレジスタにより、高速割り込みでは、割り込み応答と復帰のときにメモリをアクセスする必要がなくなり、応答は5サイクルで復帰は3サイクル実行可能となっている。

図2にフラグレジスタのビット割当てを示す。このうちC, Z, Sはそれぞれキャリ、ゼロ、サインフラグである。Oはオーバーフローフラグであり、符号なし整数だけでなく符号付き整数の比較も可能としている。Iは割り込み許可フラグであり、IPLは割り込み優先順位を3ビットで指定する。汎用レジスタとFB, SBは2セットあり、二つのバンクを構成している。Bはこのどちらを使用するかを指定する。Dはシングルステップ割り込みを発生するためのフラグである。

図3にM16C/80の演算命令のオペコードとアドレッシングモードの例を示す。タイプ1は、ソースが即値でデスティネーションがROL/R0/メモリである。これは指定できるレジスタ/アドレッシングモードが限られているが、オペコードが8ビットなのでプログラムサイズを小さくできる。タイプ2は、転送/二項演算命令のフォーマットで、ソース、デスティネーションともに汎用レジスタ/メモリが指定できる。タイプ3は、単項演算又はソースが即値であり、デスティネーションが汎用レジスタ/メモリである。

アドレッシングモードは、図3に示しただけでなく、プレフィックス命令を通常の命令の前に付加することにより、メモリ間接アドレッシングとスケールドインデックスアドレッシングが可能である。図4は間接アドレッシング、スケールドインデックス命令の例を示したものである。間接アドレッシングは、プレフィックス命令を付加することにより、次の命令のr/m 2で指定したメモリの内容がソース、デスティネーションのメモリのアドレスを指定する。これはC言語の\* (ポインタ演算子)に相当する。スケールドインデックスアドレッシングは、プレフィックス命令中のr/m 2で指定したメモリ/レジスタの内容がb/w/1の指定に応じて1倍、2倍又は4倍され、次の命令のr/m 2で指定したメモリのアドレスに加算される。これが最終のソース、デスティネーションのメモリのアドレスとなる。これは、8ビット、16ビット、32ビットの配列をアクセスする場合に用いる。S/D/Bは、ソース、デスティネーションのいずれか又は両方に間接アドレッシング、スケールドインデックスを適用するか否かを指定する。

M16C/80の演算長は32ビット、16ビット、

IPL		U	I	O	B	S	Z	D	C
-----	--	---	---	---	---	---	---	---	---

図2. フラグレジスタ

8ビット、4ビット、ビットである。32ビットでは加減算、比較、シフトが可能である。16ビットでは加減乗除算、比較、シフト、論理演算と10進の加減算が可能である。特に除算では商を0の向きに丸めを行うDIV命令のほか、-∞に丸めるDIVX命令がある。これはグラフィックスなど丸めを正確に扱う必要のある分野で有効となる。4ビットデータはR0Lと汎用レジスタ/メモリの間で上位4ビットと下位4ビットを自由に相互転送を行う命令がある。ビットについてはセット、リセット、反転、テストのほかCフラグとの演算も可能である。また、大小比較などの条件をビットとしてロードすることもできる。

このほかにM16C/80では、R0~A1及びSB, FBの複数の任意のレジスタをプッシュ、ポップするPUSHM, POPM命令を設けている。これらの命令はレジスタ当たりR0~R3は1サイクルで、A0, A1, SB, FBは2サイクルでプッシュ、ポップをすることができる。

### 3. 高速化のための改善

M16C/80では、命令フェッチ、命令のデコード、命令の実行という3種の処理が同時に行われる。ここで、ある命令の長さをLバイト、その命令の実行に要するサイクル

タイプ1	code		r/m 1	B/W
タイプ2	code		B/W	r/m 2
タイプ3	code		B/W	code
r/m 1	RO/R0L	abs16	dsp8[SB]	dsp8[FB]
r/m 2	[A0]	[A1]	A0	A1
	dsp8[A0]	dsp8[A1]	dsp8[SB]	dsp8[FB]
	dsp16[A0]	dsp16[A1]	dsp16[SB]	dsp16[FB]
	dsp24[A0]	dsp24[A1]	abs24	abs16
	R2/R0H	R3/R1H	R0/R0L	R1/R1L

R0L~R1H, R0~A1 : レジスタ直接  
 dsp16 : 絶対(16ビット)  
 dsp24 : 絶対(24ビット)  
 [ ] : レジスタ間接  
 dsp8[ ] : レジスタ相対(8ビット変位)  
 dsp16[ ] : レジスタ相対(16ビット変位)  
 dsp24[ ] : レジスタ相対(24ビット変位)

図3. M16C/80のオペコードとアドレッシングモード

間接アドレッシング プレフィックス	code		S/D/B
タイプ2命令	code		B/W
インデックスアドレッシング プレフィックス	code		B/W
タイプ2命令	code		B/W

図4. 間接アドレッシング/インデックスアドレッシング

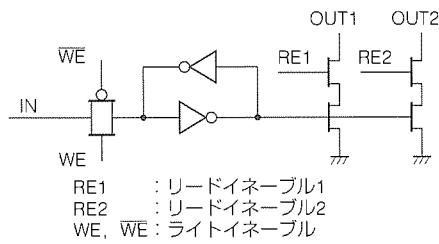


図5. 汎用レジスタのレジスタセル

数を  $T$ ，その命令がバスをアクセスする回数を  $N$  とする。  
M16C/80では、標準的な使い方の場合、メモリバスのアクセスは1サイクルで完了しバス幅は2バイトなので、その命令がメモリバスを占有するサイクル数  $M$  は、

$$M = L / 2 + N$$

となる。ここで、 $M / T$  が1以下の場合、まだ命令実行段での性能改善の余地があることを意味する。一方、 $M / T$  が1以上の場合、実行時間はメモリのアクセスに依存しており、命令実行段の処理は限界まで最適化されていることになる。M16C/80では、以下のような改善により、命令平均で  $M / T$  がほぼ1になっており、動作クロック20MHz時に15VAXMIPSの性能を達成している。

(1) 3ポートレジスタ

汎用レジスタに図5に示す3ポートレジスタを採用した。これはソース、デスティネーションのリードと演算結果のライトを同時に行うことができる。これにより、レジスタ-レジスタ間演算を1サイクルで実行できるようになった。

(2) 命令先読みキュー

M16C/80は、図6のような8バイトの命令先読みキューを備えている。このキューの取り出し口を4バイトにすることにより、即値/変位と次の命令のオペランドを同時に取り出せるようにしている。この結果、即値-レジスタ間演算命令を1サイクルで実行できるようになった。

(3) アドレス加算器

通常の演算を行う16ビットのALUとは別に24ビットのアドレス計算専用のアドレス加算器を設け、オペランドの転送/演算とデスティネーションアドレスの計算を同時に行うようにした。この結果、レジスタからメモリへの転送命令を1サイクルで実行できるようになった。

このほかM16C/80では、専用の乗算器を設けており、積和命令では、乗算器で積和演算を、ALUで積和回数のカウントを、アドレス加算器でアドレスのインクリメント

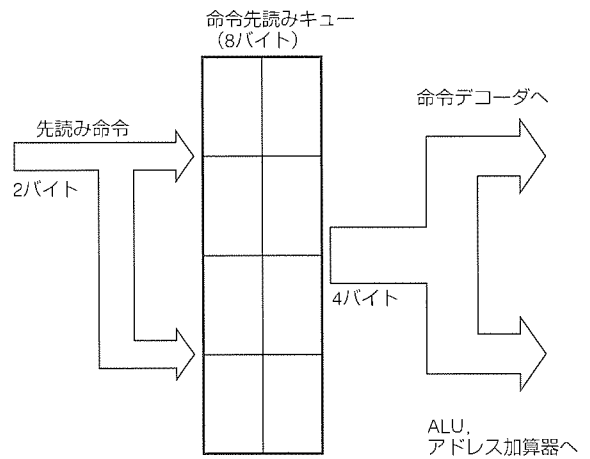


図6. 命令先読みキュー

を同時に行うことができる。これにより、16ビット×16ビットの積和演算を1積和当たり2サイクルで実行可能となっている。

4. 開発環境

M16C/80のソフトウェア開発ツール(アセンブラ、Cコンパイラ、インサーキットエミュレータ)は三菱電機セミコンダクタシステム(株)が開発中である。またサードパーティでは、横川デジタルコンピュータ(株)、ソフィア(株)がインサーキットエミュレータを、ガイオ(株)がアセンブラ、Cコンパイラを開発中である。

5. むすび

M16C/80では、フラッシュメモリ対応機種としてROM 128Kバイト、RAM 20Kバイトを内蔵したM30800FC-FPを開発中である。今後は低電圧対応機種や内蔵ROM/RAM容量のバリエーション、周辺機能の展開を計画していく。

参考文献

- (1) 中村和夫, 山崎貴志, 林 直人, 玉城礼二, 松井秀夫: 新16ビットマイコンM16Cシリーズ, 三菱電機技報, 70, No. 3, 269~273 (1996)
- (2) 黒岩通明, 久保輝訓, 瀧ノ上 勲: I<sup>2</sup>Cバス, IEバスインタフェース機能に対応した16ビットマイコンM16C/62, 三菱電機技報, 72, No. 3, 232~235 (1998)

# フリップチップBGAを採用した 高速ECA ASIC

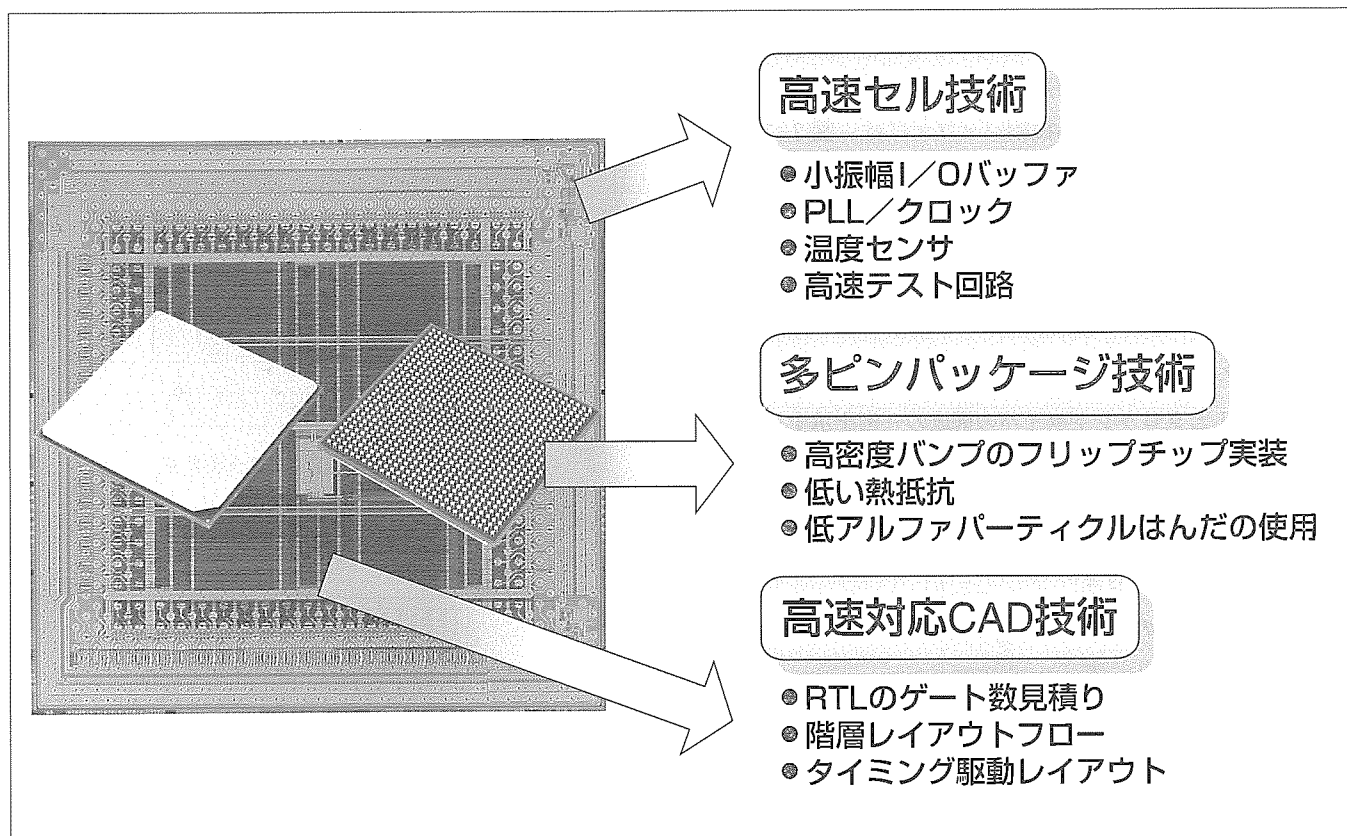
植田昌弘\* 馬場伸治\*\*  
真金光雄\* 齊藤 健\*  
高木亮一\* 藤原隆成\*\*\*

## 要 旨

近年、高速処理が必要なコンピュータの分野では、ASIC (Application Specific Integrated Circuits)がシステム全体の差別化を図るキーパーツとして重要な部品となっている。三菱電機では、先端の顧客に満足していただけるよう、多ピン化を実現するフリップチップ実装技術を用いたBGA (Ball Grid Array)を採用したエンベデッドセルアレー (Embedded Cell Array : ECA)ASIC技術を開発し対応している。

- (1) 150MHz超のデータ処理対応の高速セル技術
  - 150MHz動作が可能な小振幅I/Oバッファ
  - 低ジッタ、低スキューを実現したPLL (Phase Locked Loop) / クロック回路
  - チップ内部温度のモニタ用温度センサ回路

- I/Oバッファのセットアップ / ホールド時間を高精度に合否判定できるテスト回路
  - (2) 多ピンのフリップチップBGAパッケージ技術
    - 高密度220 $\mu$ mピッチのバンプの実現
    - 1 $^{\circ}$ C/W以下の低い熱抵抗( $\theta_{jc}$ )の実現
  - (3) フロアプラン駆動型設計に対応したCADシステム
    - RTL Estimatorによる合成前のRTL (Register Transfer Level)からのゲート数予測
    - フロアプランナーによる論理ブロックの最適割り付け
    - タイミング駆動レイアウトの実現
- 本稿では、これらの技術について述べる。



## フリップチップ技術を用いて設計された高速多ピンASICの例

784ピンのFCBGA(外形寸法 37.5mm角)を使って、11.93mm角のチップを設計した例である。信号数は最大で504、150MHz動作の高速I/Oバッファ及びPLL、クロックドライバ、温度センサ等を内蔵する。

1. ま え が き

近年、ASICは、システム全体の差別化を図るキーパーツとしてますます重要な部品となっている。特に高速処理が必要なコンピュータの分野では、図1に示すように、CPUの性能向上とともに周辺のデータ処理を行うASICの速度向上も必要となっている。

三菱電機(以下“当社”という。)では、先端の顧客に満足していただけるよう、以下に示すフリップチップ技術を用いたFCA ASIC技術を開発し対応している。

- (1) 150MHz超級のデータ処理対応の高速セル設計技術
- (2) 多ピンのフリップチップBGAパッケージ技術
- (3) フロアプラン駆動型設計フロー対応CADシステム

本稿では、これらの各技術について述べる。

2. 高速セル設計技術

高速動作が要求されるECAでは論理合成ツールとの親和性が高いマクロセルの拡充は必ず(須)であるが、ASICとして差別化を図るために、当社では、先端顧客の要求を十分満足するライブラリとして、以下に示すようなセルを開発している。

2.1 小振幅CMOS I/Oバッファ

現在標準的に使用可能なI/Oバッファには、LVTTTL, PCI, PECLの3種類がある。AGP, I<sup>2</sup>C, GTL, HSTLについては個別の顧客対応で対応している。

特に高速動作が必要な小振幅バッファには、図2に示す構成によって150MHz以上での動作を可能としている。このバッファは、プロセスと電源電圧を補償する制御回路と組み合わせてオンチップ上に内蔵することで、バッファの出力インピーダンスを50Ωに正確に制御することが可能となっている。

2.2 PLL/クロックドライバ

図3にPLLとクロックドライバの構成の一例を示す。PLLは、差動型のPECL入力となっており、40~130MHzと70~200MHzの2種類の周

波数範囲に対応可能となっている。クロックドライバは、当社独自のメッシュ型の構成により、大規模なゲート数の場合でもクロックスキューを小さく管理できる。

設計実績としては、クロック周波数150MHz, I/O数473, 総ゲート数290Kゲート, 内部FF数13,000の場合、PLLで入

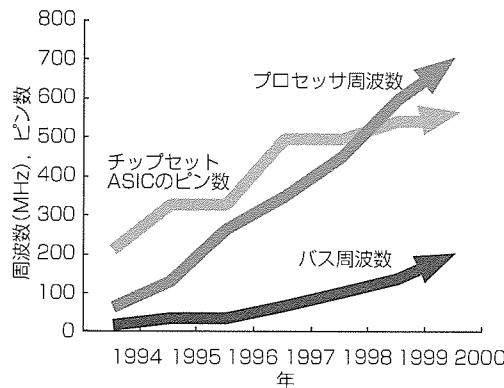


図1. ASICのピン数と周波数の動向

力オフセット30ps以下, ジッタ+/-60ps以下, 内部ゲートに対するクロックスキュー+/-50ps, I/Oバッファに対するクロックスキュー+/-25psが得られている。

2.3 温度センサ

ASICの高速動作に伴ってチップ自身の発熱量が増加傾向にあるため、チップ内の温度をモニタして不必要な温度上昇を監視する温度センサが必要となってきた。

図4に、当社が開発した温度センサ回路の概念図を示す。温度センサは、基準電圧発生回路, 8ビットのA/D及びD/Aコンバータ, 制御回路で構成される。

温度の読み出しには、スキャン回路を通して読み出すことができるので、システムレベルで容易に利用できる。測定温度は、0~150℃までに対し、トリミングなしで+/-3℃の精度でモニタができる。

2.4 高速テスト回路

高速動作を行う小振幅I/Oバッファでは、セットアッ

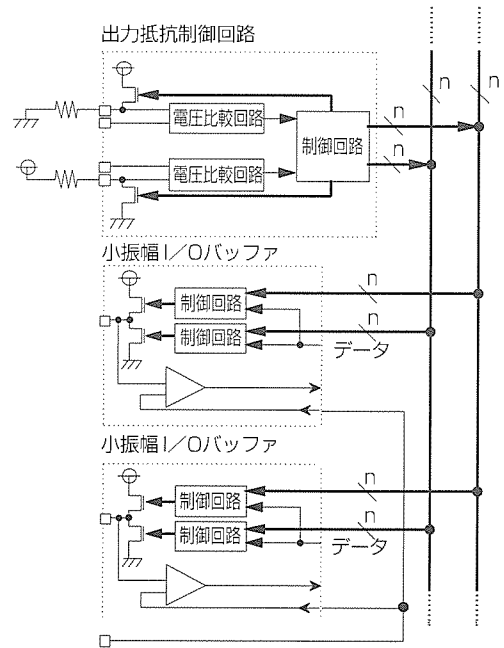


図2. 小振幅I/Oバッファの構成

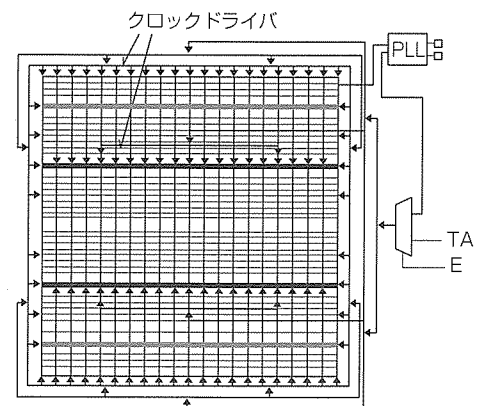


図3. PLLとクロックドライバの構成

ブ時間も小さな値で設計されるが、多ピンASICになれば設計値に対する実デバイスの確認はテスト性能とのトレードオフで困難となってくる。

当社では、図5に示すように小振幅CMOS I/Oバッファのためのテスト回路を組み込むことで、200psのセットアップ時間合否判定がテスト上で行える。

### 3. フリップチップを用いた多ピンパッケージ技術

ASICの多ピン化への対応として、チップ内部に二次元的にパッドを配置してはんだバンプを形成してパッケージ基板と接続するフリップチップ方式への移行が求められている。

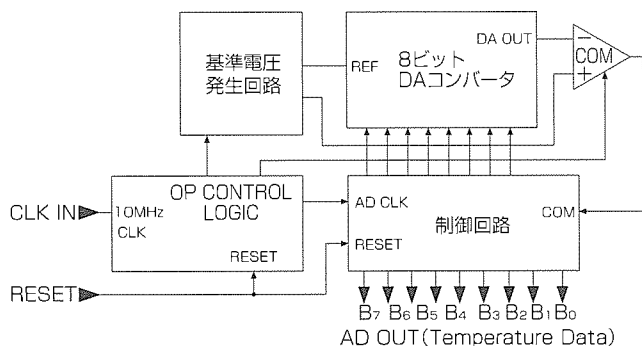


図4. 温度センサ回路

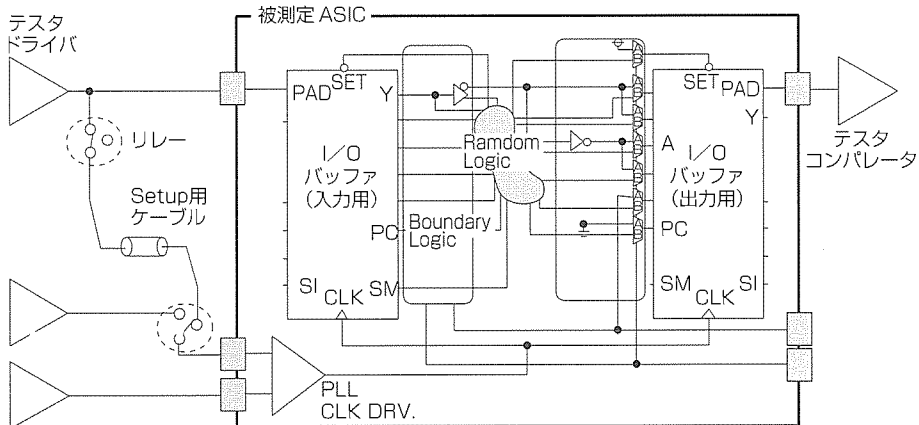


図5. 小振幅I/Oバッファ用セットアップテスト回路

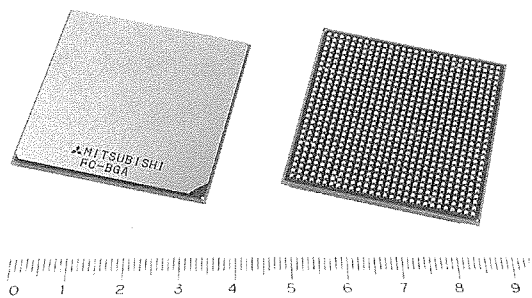


図6. 784ピンFCBAGの外観

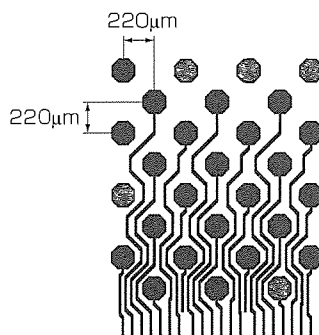


図7. バンプ配線パターン

当社では、高速動作のASICを対象にフリップチップ方式のパッケージ開発を進めてきた。この結果、ASICの高速化と多ピン化が同時に要求されるコンピュータのような分野での要求される、高速・多ピン・高放熱の3大要素を同時に高い次元で満足する技術レベルを確立した。

一例として、図6に784ピンFC-BGA (Flip-Chip BGA)の外観を示す。784ピンFC-BGAは、高速動作時の放熱性を考えて外付けのヒートシンクを取り付けるためのヒートスプレッドを付けており、外形寸法37.5mm角、厚さ3.3mm (max.)、ボールピッチ1.27mmとなっている。

BGAの基板は、有機材料を用いた8層構成となっており、信号3層を電源層で挟み込む構成を採用することで非常に良好な電気的特性を実現している。熱抵抗は $\theta_{jc}$ が1°C/W以下であり、ヒートシンクなしでも $\theta_{ja}$ が7.5°C/W (風速2 m/sの場合)と低く抑えられる。

バンプの設計に関しては、図7に示すように、150 $\mu$ mのはんだバンプ径に対して最小ピッチ220 $\mu$ mの千鳥配置で約20個/mm角の高密度化を実現している。バンプからチップ内のI/Oバッファへの配線は、最上層の配線を用いて接続する。バンプを構成するはんだ材料については、従来からメモリ等でアルファパーティクルによる誤動作が確認されているため、特にフリップチップのように能動素子の近くにはんだバンプが形成されるような構成では、チップ

に内蔵したメモリへの影響が懸念される。当社では、フリップチップに対しては、アルファパーティクルの放出の少ないはんだ材料を使用することで、パッケージからチップへの影響を最小限にしている。また、現在は、784ピンFC-BGAの開発で確立した技術を基に1,681ピンまでの開発展開を行っている。

### 4. 高速多ピンECA ASICのCADシステム

図8にCADシステムの概略フローを示す。

先端顧客向けASIC設計では100万ゲートクラスの集積度になっており、高速化に伴うタイミング制約の厳しいASICに対して、設計期間の短TAT (Turn Around Time)化が強く求められている。設計過程のより早い段階において、回路規模、レイアウトに必要な面積、タイ

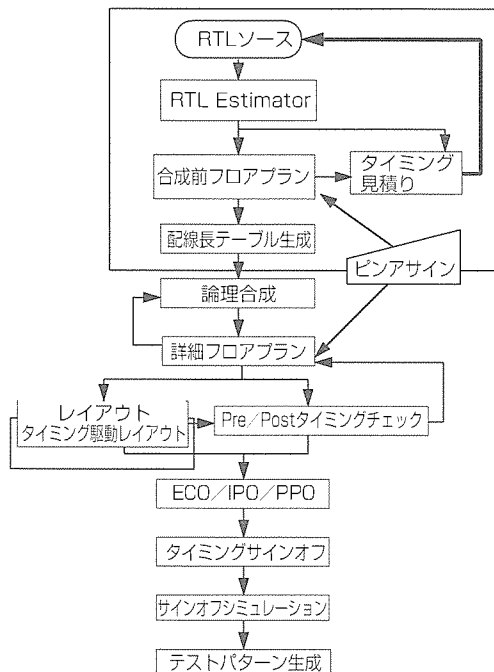


図 8. CADフロー

ミング等を高精度に見積り、レイアウトから論理設計への手戻りをいかに少なくできるかが設計期間の短TAT化のかぎ(鍵)を握っている。

このような背景から、当社ではRTL Estimatorを新規開発し、大規模な論理回路でもRTLの段階から精度良くゲート数を見積もることをできるようにしている。

レイアウト設計では、フロアプランナー(CADENCE社製のDesign Planner)を用いた階層レイアウト手法の実現により、レイアウトの効率化とタイミング見積りの高精度化を図っている。ここでは、詳細な配置配線を実施する前に、あらかじめブロック間配線の混雑度や信号の流れ、ブロック間結合度等を評価して、各ブロックごとに論理合成ツール(Synopsys社製Design Compiler)の制約条件や専用配線長テーブルを生成する。

最終的には、ゲートレベルのネットリストを用いて詳細な配置配線を行い、結果をバックアノテーションし、詳細なタイミングの解析を行う。タイミングの厳しいクリティカルパスについては、タイミング駆動型のレイアウトツールを用いてパス遅延の最適化を行う。

上記二つのツールを駆使することで、プリレイアウトとポストレイアウトのタイミング見積り誤差が7%程度に収まることを確認している。

テスト容易化設計は、スキャン設計に対応しており、IEEE1149.1に基づくバウンダリスキャンテストと内蔵メモリ用のRAM BIST(Random Access Memory Built-In Self-Test)以外に、論理回路部分の実動作テスト手法の一

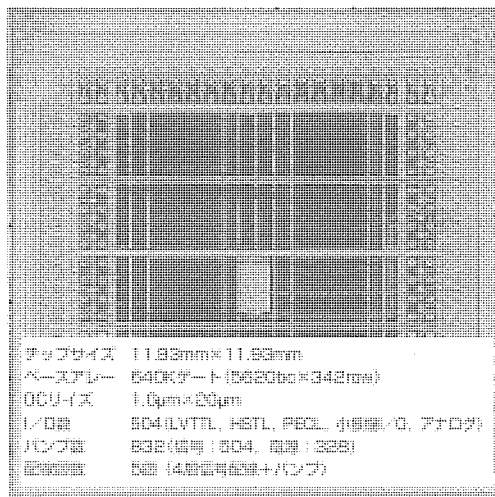


図 9. 各種高速セル技術を用いたECAの一例

つであるLogicVision社製LogicBISTも一部サポートを始めており、顧客の要求に応じて随時BIST機能等を取り込んで対応している。

5. 適用例

図 9 に、784ピンのFC-BGAを用いて設計したECA ASICの一例とLSI諸元を示す。I/O及び内部の動作周波数は150MHzである。チップサイズは11.93mm×11.93mm、5層配線の0.35μm CMOSプロセスを用いており、各種高速セルが使用されている。PLLは2種類をコーナー部に配置し、温度センサ回路はチップの中央部とコーナー部の2か所に配置している。また、セットアップ時間をテストするテスト回路もユーザーの実設計回路とセレクトで切り換えてテストできるように構成されている。

784ピンのFC-BGAを用いたECA ASICは、既に10品種程度の開発が済んでおり、150MHz動作する高速多ピンASICとしての実績を上げている。また、0.25μmにおいても、更に多ピン化した1,681ピンのパッケージを用いたデバイス開発を進めている。

## 6. むすび

フリップチップBGAパッケージを採用した高速セル設計技術及びパッケージ技術、高速ECA ASICのCAD技術について述べた。フリップチップ技術を用いた高速多ピンASICは、更なる高性能化を目指して、先端顧客を中心に、ますます広がりを見せると当社では予想している。

今後は、0.18μmのプロセスを用いて、400MHz以上の動作で数百万ゲート規模のチップ、1,000~2,000ピン級のASICについて展開していく予定である。

## 参考文献

- (1) 滝本 功, 松本 尚, 木村雅俊, 加賀谷達次, 荒川隆彦: 0.35μm CMOSエンベデッドセルアレー, 三菱電機技報, 70, No.7, 765~769 (1996)
- (2) 竹本好孝, 安永雅敏, 馬場伸治, 橋本知明: ボールグリッドアレーパッケージの最新技術, 三菱電機技報, 72, No.3, 268~278 (1998)

# 165GOPS MPEG2対応広範囲、 全探索動き検出LSI

花見充雄\* 松村哲哉\* 鈴木弘一\*\*  
石原和哉\* 風山雅裕\*\*  
ステファンスコツニオフスキー\*

## 要旨

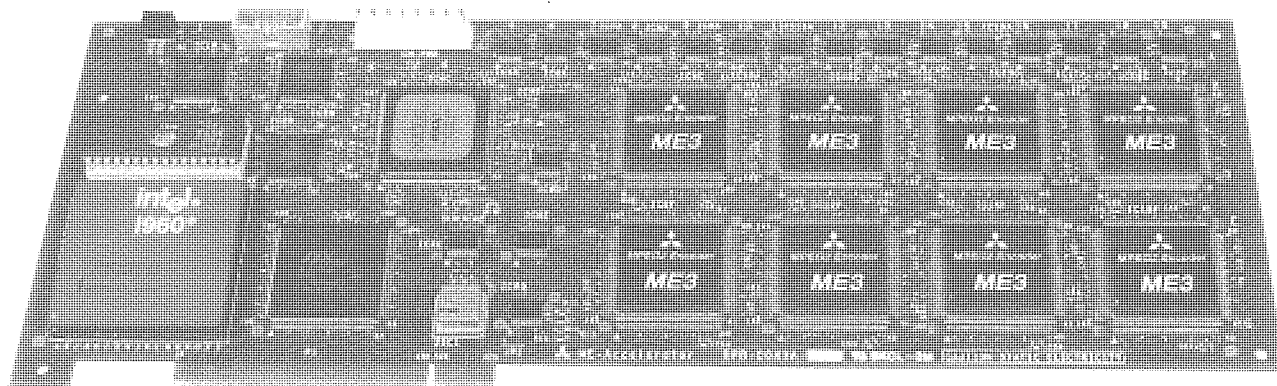
画像圧縮アルゴリズムの国際標準であるMPEG2は、DVDを始めとする民生機器からデジタルテレビ(DTV)放送等の産業機器まで採用され、既に応用され始めている。MPEG2では動き補償予測が採用されており、特にDTV放送等の応用に必要な高品質の映像を提供するためには、広い探索範囲にわたる精度の高い動きベクトル検出が必ず(須)である。

本稿では、このような要求を満たし、かつ、更なる画質向上の実現可能な差別化機能を搭載することに成功した動き検出LSI(M65728FP)について詳述する。

今回開発した動き検出LSIは、動きベクトル検出精度の最も優れた全探索方式を採用している。また、広範囲にわ

たるブロックマッチング演算を効率的に実行するアレー構造を採用し、165GOPS(Giga Operation per Second)という高い演算能力を実現した。その結果、1チップで水平+63/-64画素、垂直+31/-32画素の範囲を探索可能にした。さらに、マルチチップ構成による探索範囲の拡張容易性をも確保し、水平+255/-256、垂直+127/-256の最大探索範囲を実現する。この最大探索範囲はHDTV解像度の応用に十分対応可能である。

更なる高画質化機能の一つとして輝度色差探索が挙げられる。通常、動き探索は輝度のみのデータを用いて探索を行うが、色差の影響も加えることで、更に精度の高い探索が可能となる。



## 動き検出アクセラレータPCIボード

今回開発した動き検出LSI(M65728FP)の高い性能すべてを安価なパソコン上で評価できる動き検出アクセラレータボードを開発した。高速なPCIインターフェースを採用し、パソコン上のエンコードソフトウェアと組み合わせれば、リアルタイム又はセミリアルタイムエンコードも可能である。動き検出はパソコンと独立して実行される。また、HDTV解像度の動き検出にも対応している。

1. まえがき

画像圧縮アルゴリズムの国際標準であるMPEG2の幅広い製品分野への採用に伴い、高品質な画像の提供が要求されている。MPEG2は動き補償予測を採用しており、動きベクトル検出の優劣が、符号化機器側における高画質化の大きなかぎ(鍵)となっている<sup>(1)</sup>。特にDTV放送やデジタルビデオ編集等の高画質が必須となる応用分野では、広範囲にわたる動きベクトル探索が要求され、これらの機器向けのMP@HLエンコーダでは、最低でも水平方向に+200画素程度、垂直方向に±100画素程度の探索範囲が必要となる。また、比較的動きが小さく絵柄の細かい画像に対して画質を維持するためには、高精度の動きベクトル探索も要求される。

したがって、これらハイエンドの応用分野では、広い探索範囲を全探索する動きベクトル検出が理想的と言える。MPEG2の製品市場の立ち上がりにより、近年、様々なMPEG2動き検出LSIが発表され製品化されてきている<sup>(2)~(5)</sup>。しかし、広範囲かつ高精度な探索及びコスト的的要求は、既存の動き検出LSIでは満足することができない。

ここで、ハイエンドのMPEG2エンコーダ用動き検出エンジンLSIに求められる機能をまとめると以下になる。

- (1) 全探索方式かつ広範囲探索の可能な演算能力
- (2) MP@HLにも対応可能な拡張容易性
- (3) 更なる高画質を実現可能な差別化機能

今回開発した動き検出LSI(ME3)は、これらのハイエンドMPEG2エンコーダからの要求を満たす高機能の動き検出LSIである。

本稿では、ME3のアーキテクチャ及び性能、そして試作評価結果について述べる。

2. LSIアーキテクチャ

2.1 全体構成

ME3の全体ブロック図を図1に示す。ME3は、入力部(IU)、演算部(EU)、動き検出部(MDU)、出力部(OU)、ホストI/F部(HU)及び全体制御部(CU)で構成される。LSI外部のフレームメモリから入力されるTMB(Template Macroblock)及びSW(Search Window)は、IUを経由

して、EUへ供給される。EUは、各々512個のピクセルプロセッサエレメント(PPE)からなる2組のプロセッサエレメント(PE)アレーで構成され、供給されるTMB及びSWを用いてブロックマッチング処理を行う。PEアレーの出力は、最終加算ブロック(FSB)で加算される。この評価値を用いてMDUにおいて動作モードに応じた最適動きベクトルの検出が行われ、その結果は、OUからLSI外部に出力される。

ハイエンドMPEG2エンコーダからの要求を満たすため、ME3には、以下に示すアーキテクチャ上の特長がある。

- (1) 全探索かつ広範囲の動きベクトル探索を可能とするPEアレー構造の導入
- (2) 適応的に広範囲探索と高精度探索を実現するデュアルアレーアーキテクチャの新規採用
- (3) マルチチップ構成による探索範囲拡張及び画面サイズ拡張を容易に実現する拡張モードのサポート
- (4) 更なる高画質化を実現可能な複数ベクトル保存機能と色差を考慮可能な探索機能の搭載

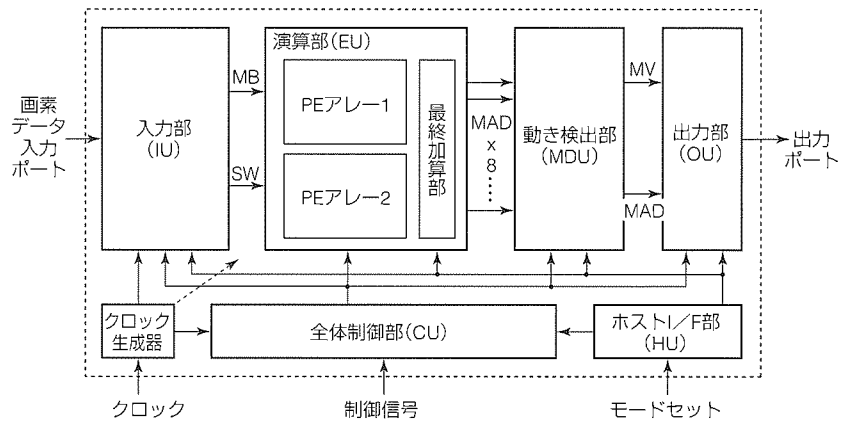


図1. ME3の全体ブロック図

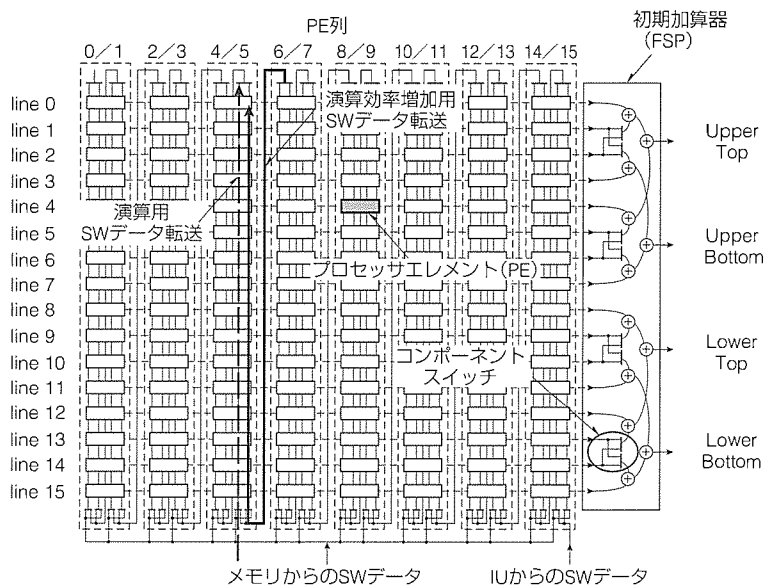


図2. PEアレーの構成



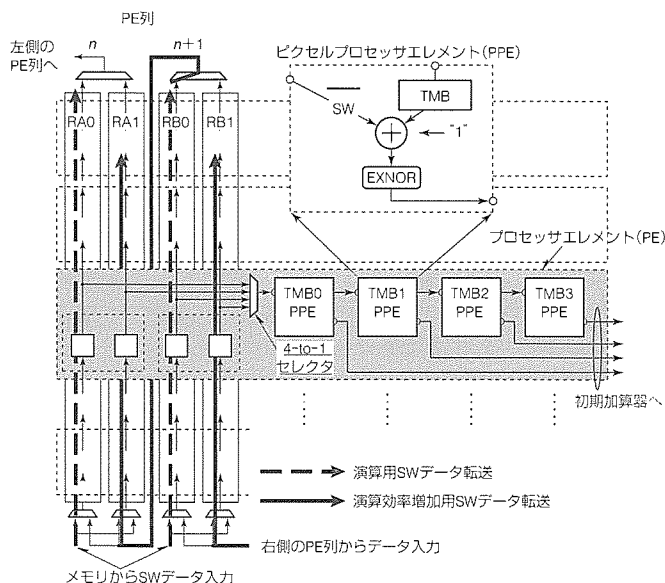


図3. PE及びPPEの論理図

## 2.2 PEアレー

PEアレーは、ブロックマッチングを行うために最適化されたブロックである。図2にPEアレーの構成と初期加算ブロックの構成を示す。各PEは、水平方向に2:1サブサンプルされたTMBの画素位置に対応して配置される。基本的に一次元のシストリックアレー状に接続された128個のPEで構成され<sup>(2)</sup>、一つのSWに対して4個のTMBに対応する演算が並列に実行される。図3にPE及びPPEの論理図を示す。PEは、4組のSWレジスタ、セクタ、そして4組のPPEで構成され、各PPEは、TMBレジスタ及び差分絶対値演算器で構成される。

PE内のSWレジスタは、SWのn列及びn+1列に対応して、各列に2組ずつ(RA0, RA1: n列, RB0, RB1: n+1列)が配置される。このように、SW2列分に対応したレジスタをPE内に配置することで、水平方向の2:1サブサンプル時の有意画素位置を選択可能とした。また、各SW列の2組のSWレジスタにより、演算と次列のSWデータ転送との並列処理を可能とした。この構成によって100%の演算効率を実現している。

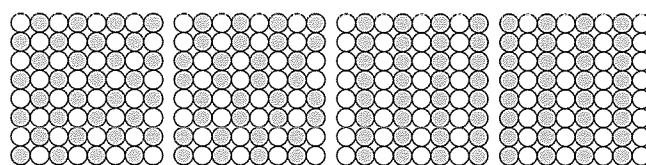
初期加算ブロックは、MPEG2の2種類の予測モードに対応した評価値算出のため、各PEの出力を4グループ(Upper-Top, Upper-Bottom, Lower-Top, Lower-Bottom)に分けて加算する<sup>(2)</sup>。各グループ評価値の算出方法は、表1に示すとおり、動作モードによって異なり、コンポーネントスイッチを介することで輝度及び色差に対する評価値算出を実現した。

## 2.3 デュアルアレーアーキテクチャ

今回ME3に導入したデュアルアレーアーキテクチャは、2組のPEアレーによる並列及び共同処理を適応的に実現

表1. グループ評価値の算出方法

	輝度	色差
Upper-Top	$\sum_{n=0}^3 \{ \text{line}(2n) \}$	$\sum_{n=0}^1 \{ \text{line}(4n) + \text{line}(4n+1) \}$
Upper-Bottom	$\sum_{n=0}^3 \{ \text{line}(2n+1) \}$	$\sum_{n=0}^1 \{ \text{line}(4n+2) + \text{line}(4n+3) \}$
Lower-Top	$\sum_{n=0}^3 \{ \text{line}(2n+8) \}$	$\sum_{n=0}^1 \{ \text{line}(4n+8) + \text{line}(4n+9) \}$
Lower-Bottom	$\sum_{n=0}^3 \{ \text{line}(2n+9) \}$	$\sum_{n=0}^1 \{ \text{line}(4n+10) + \text{line}(4n+11) \}$



(a) (b) (c) (d)

図4. サブサンプルモード

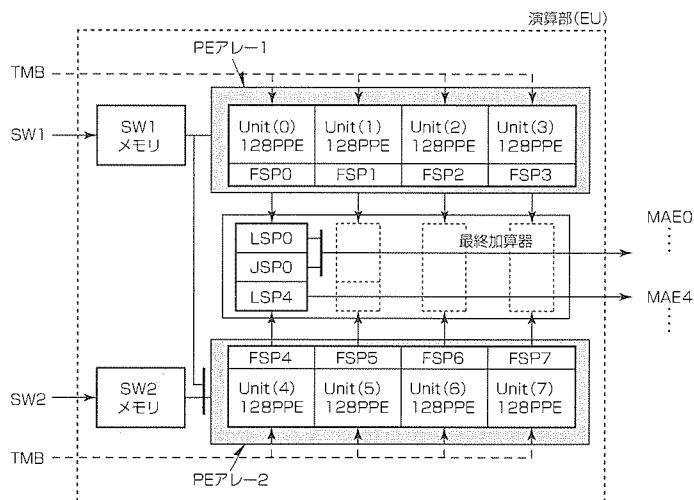


図5. 演算部(EU)のブロック図

するものである。すなわち、1チップでの広範囲探索に注目した並列処理と、フルサンプル評価や輝度信号のみならず色差信号を考慮した評価のような高精度評価に注目した共同処理とを実現する。

ME3は、図4に示すとおり、4種類のサブサンプルモードをサポートする。タイプ(a)及びタイプ(b)のサブサンプルモードは、格子状のサブサンプルパターン<sup>(6)</sup>からなり、各々、フィールドストラクチャ及びフレームストラクチャに対応する。さらに、タイプ(c)及びタイプ(d)のサブサンプルモードをサポートすることで、2組のPEアレーの共同処理と併せて、色差を考慮した探索モード(Y+Cモード)及びフルサンプルの探索が実現可能としている。

図5に、デュアルアレーアーキテクチャに着目したEUのブロック図を示す。EUは、前述のとおり、2組のPEアレー、SW用のシフトレジスタの一部を構成するメモリ

(SW1, SW2), そして初期加算ブロックからの加算結果を最終的に加算し評価値を算出する最終加算ブロック (FSB) で構成される。さらにFSBは、8個の局所加算ブロック (LSP) と4個の結合加算ブロック (JSP) を含む。LSPでは、従来のアーキテクチャ<sup>(2)</sup>に基づき、3ベクトル同時検出のための3評価値同時算出が行われる。また、

JSPは、2組のPEアレーの対応するLSPからの出力を加算する機能を持ち、Y+Cモード及びフルサンプルモードを実現する。表2に、ME3の動作モードに対応したPEアレーの動作等を示す。例えばY+Cモードでは、色差データがPEアレー1に、輝度データがPEアレー2に入力される。PEアレー1はタイプ(c)のサブサンプル方式を用い、PEアレー2はタイプ(a)又は(b)のサブサンプル方式を用いる。その結果、輝度と色差両方の評価値を加算した結果がJSP0-3から、輝度のみの評価結果がLSP4-7から出力され、色差信号を考慮した動きベクトル検出が可能となる。

2.4 探索範囲の拡張

表3に動作モードと探索範囲拡張の関係を示す。ME3は、1チップで水平方向に-64/+63画素、垂直方向に-32/+31画素の範囲のベクトル全探索が可能である。また、複数チップ構成では、動作モードによらず、最大で水平方向に-256/+255画素、垂直方向に-128/+127画素までの探索範囲サポートが可能である。要求の高い水平探索範囲の拡張時には、同じ垂直探索範囲を担当するすべてのME3に対して、共通のサーチウィンドウデータを入力できるため、外部データ転送の増加なく水平探索範囲の拡張を実現できる<sup>(2)</sup>。

このように、ME3は、優れた探索範囲拡張機能を持っており、探索範囲の要求が異なる様々なシステムに対しても柔軟に対応が可能である。

2.5 複数ベクトル保存機能

ME3は、評価値を最小とする動きベクトルの検出機能のほかに、以下に示すとおり幾つかのオプション的ベクトル検出機能を持っている。

- (1) 第二, 第三の評価値を与える動きベクトル検出機能
- (2) 複数の指定探索点に対する評価値保存機能
- (3) f-code指示による探索範囲の制限機能
- (4) 探索範囲別オフセット付き最小評価値検出機能

これらの機能を使うことで、従来の動き検出LSIが出力していた最適ベクトルのみならず、複数のベクトル候補からビット効率等を考慮した動きベクトルをエンコーダ側で選択することが可能となり、より高画質化が可能となる。

表2. 動作モードに対応したPEアレーの動作

	動作モード	サンプルモード		SWデータ		出力
		PEアレー1	PEアレー2	PEアレー1	PEアレー2	
並列処理	片方向予測モード	(a)又は(b)		SW1		LSP0-7
	両方向予測モード	(a)又は(b)		SW1	SW2	LSP0-3 LSP4-7
共同処理 (片方向予測のみ)	フルサンプルモード	(c)	(d)	SW1		JSP0-3
	Y+Cモード	(c)	(a)又は(b)	SW1 (色差)	SW2 (輝度)	JSP0-3 LSP4-7

表3. 動作モードと探索範囲の拡張

動作モード	水平探索範囲		垂直探索範囲
	1チップ	複数チップ	
片方向予測モード	-64/+63	-256/+255 (4チップ)	1チップ -32/+31
両方向予測モード	-32/+31	-256/+255* (8チップ)	
フルサンプルモード	-32/+31	-256/+255 (8チップ)	複数チップ (4チップ) -128/+127
Y+Cモード	-32/+31	-256/+255 (8チップ)	

注 \*片方向予測モードで4チップずつ使用

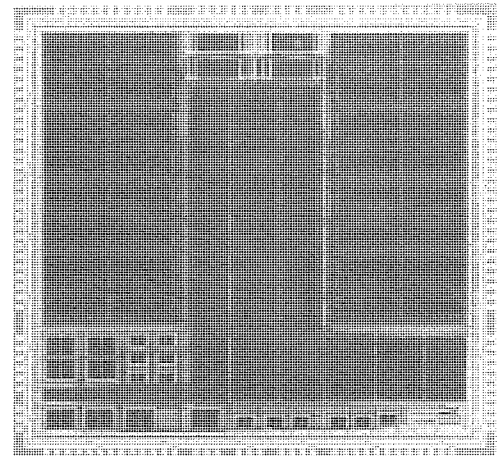


図6. チップ写真

表4. ME3の諸元

プロセス技術	0.35μm CMOS3層メタル
チップサイズ	8.5mm×8.5mm
トランジスタ数	1.9Mトランジスタ
電源電圧	3.3V
動作周波数	54MHz
消費電力	1.4W
パッケージ	160ピンQFP

3. 試作評価結果

ME3は、0.35μm CMOSプロセスを用いて試作した。ME3のチップ写真を図6に、また諸元を表4に示す。ME3は、54MHz動作時に、1チップでMP@MLに対応した広範囲でかつ全探索の動きベクトル探索が可能であり、

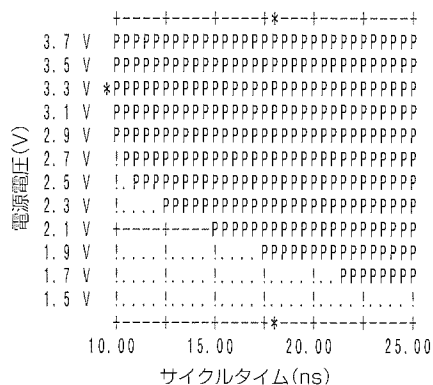


図7. シュムープロット

このときの演算能力は、最大165GOPSに達する。図7にLSIテストでの評価結果を示すが、テストの評価では、電源電圧3.3V時に100MHzでの動作が確認できた。また54MHz動作時の消費電力は1.4Wであり、プラスチックQFPパッケージへの実装が可能である。

#### 4. む す び

高画質を要求するハイエンドのMPEG2アプリケーションに対応した、高性能かつコスト効率の高い動き検出LSIを開発した。内蔵した1,024個の演算器と演算効率100%のアレー構造により、1チップで水平-64/+63画素、垂直-32/+31画素の広範囲でかつ全探索の動き探索を実現した。そして、デュアルアレーアーキテクチャの採用により、2組のPEアレーを並列処理又は共同処理させることで、サブサンプルモード、フルサンプルモード、Y+Cモード等の多様な動作モードを実現した。また、ME3は、優れた探索範囲拡張機能を持ち、マルチチップ構成でMP@HLにも対応可能であるとともに、より高画質を追求可能な、多様な動きベクトル検出のための付加機能を持っている。

このLSIにより、様々なMPEG2アプリケーションに対応した効率的な動きベクトル検出機能の実現が可能となり、低コストかつ高画質のMPEG2エンコーダが実現できる。

#### 参考文献

- (1) Yoshimoto, M., Nakagawa, S., Matsumura, T., Ishihara, K., Uramoto, S. : ULSI Realization of MPEG2 Realtime Video Encoder and Decoder-An Overview, IEICE Trans. on Electronics, E78-C, No.12, 1668~1681 (1995)
- (2) Ishihara, K., Masuda, S., Hattori, S., Nishikawa, H., Ajioka, Y., Yamada, T., Amishiro, H., Masahiko, Y. : A Half Pel Precision MPEG2 Motion Estimation Processor with Concurrent Three-Vector Search, ISSCC Digest of Technical Papers, 288~289 (1995-2)
- (3) Ohtani, A., Matsumoto, Y., Gion, M., Yoshida, H., Araki, T., Ubukata, A., Serizawa, M., Aoki, K., Sota, A., Nagata, A., Aono, K. : A Motion Estimation Processor for MPEG2 Video Real Time Encoding at Wide Search Range, Proceedings of CICC, 17.4.1~17.4.4 (1995)
- (4) Suguri, K., Minami, T., Matsuda, H., Kusaba, R., Kondo, T., Kasai, R., Watanabe, T., Satoh, H., Shibata, N., Tashiro, Y., Izuoka, T., Yamauchi, H., Kotera, H. : A Real-time Motion Estimation and Compensation LSI with Wide-Search Range for MPEG2 Video Encoding, ISSCC Digest of Technical Papers, 242~243 (1996-2)
- (5) Mizuno, M., Ooi, Y., Hayashi, N., Goto, J., Hozumi, M., Furuta, K., Nakazawa, Y., Ohnishi, O., Yokoyama, Y., Katayama, Y., Takano, H., Miki, N., Senda, Y., Tamitani, I., Yamashina, M. : A 1.5W Single-Chip MPEG2 MP@ML Encoder with Low-Power Motion Estimation and Clocking, ISSCC Digest of Technical Papers, 256~257 (1997-2)
- (6) Uramoto, S., Takabatake, A., Suzuki, M., Sakurai, H., Yoshimoto, M. : A Half-pel Precision Motion Estimation Processor for NTSC-Resolution Video, Proceedings of CICC, 11.2.1~11.2.4 (1993-5)

長野英生\* 坂本 淳\*\*  
菅 庸拓\*  
谷口正治\*

# プリンタ及びPPC用パルス幅変調LSI

## 要 旨

近年、プリンタ及びPPC(Plain Paper Copier)においては、各メーカー共に市場の高画質化・高速化の要求にこたえるため開発が行われている。特にLBP(Laser Beam Printer)は、解像度の高さ、静音性、高速性からビジネス分野を中心にその市場を拡大している。

これらの機器における印字階調の制御には、主にPWM(Pulse Width Modulation)方式が用いられる。PWM方式とは、印字する1ドットごとにその階調(すなわち濃淡)をパルスのH幅で制御するものである。

製品仕様は、14nsのクロックに同期して、出力パルス幅を各サイクルごとに、最小3nsから14nsまで、64階調すなわち14ns/64=210ps単位でランダムかつリニアに変化させるものである。また、パルス幅のみでなく、パルス

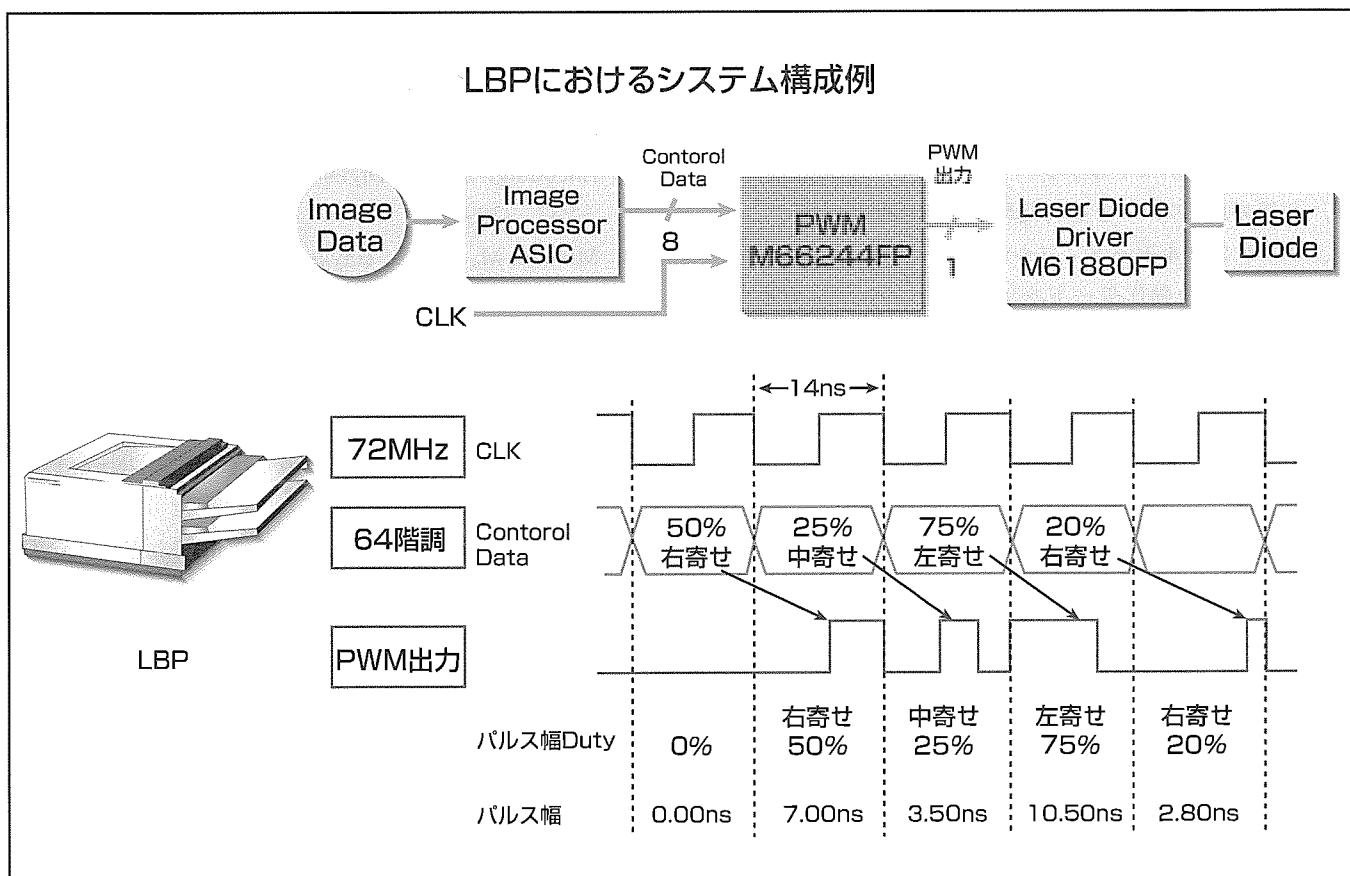
の開始位置も右寄せ、中寄せ、左寄せと各サイクルごとにランダムに変化させることができる。

今回CMOSプロセスを用い、以下に示す三菱独自の回路技術によって製品開発を行うことができた。

- (1) 微小時間(ps)の階調制御技術
- (2) 高精度なPLL(Phase Locked Loop)の回路設計技術
- (3) 高速、低リングングを同時に満たす出力回路
- (4) 高速・高精度レイアウト設計技術

これにより、PWM市場に参入を図るとともにCMOSプロセスで開発した利点を生かして、今後ますます進むシステムLSI化に対応するためPWMのIP化を推進する。

本稿では、上記CMOS PWMの設計技術について述べる。



## LBPにおけるPWM LSIのシステム構成例

パソコン等から送られた画像データは、画像処理ASICにおいて、64の階調を持ったデータに変換される。このデータが、PWM LSIでHのパルス幅データに変換される。このパルス幅に応じてレーザダイオードの発光時間が決まり、印字の階調すなわち濃淡となって表れる。ここでPWM LSIとしては、周期14nsの入カクロックに同期してサイクル中のHの幅を14ns/64=210psのステップで微妙に変化させる必要がある。さらに、出力されるパルスの位置は、入カクロックのエッジの右側、左側及び中心に寄せる三つのモードが必要である。すなわち、PWMジェネレータとは、パルスの幅と位置を調整する機能を持ったICである。

### 1. まえがき

近年、プリンタ及びPPCにおいては、各メーカー共に市場の高画質化・高速化の要求にこたえるため開発が行われている。

これらの機器における印字階調の制御には、主にPWM方式が用いられる。PWM方式とは、印字する1ドットごとにその階調(すなわち濃淡)をパルスのH幅で制御するものである。

今回CMOS 0.6 $\mu$ mプロセスを用い、電源電圧=3.3Vでありながら72MHz動作を実現した。

本稿では、CMOS PWM LSIの設計技術を述べる。

### 2. 製品仕様

PWMの仕様で最も重要なパルスリニアリティ特性を図1に示す。

これは、階調とパルス幅の関係におけるパルス幅の線形微分直線性を示し、この精度でICの善し悪しが決まる。

この品種においては、クロック周期=14ns(72MHz)のとき、出力回路特性で律速される最小パルス=3nsから最大パルス=14nsまで、1LSB=14ns/64=210psステップで完全にリニアに変化する必要がある。このように、1LSB=210psという極めて高精度の階調制御を実現することが求められる。

### 3. アーキテクチャ設計

図2にブロック図を示す。この品種はPLLブロック、PWM波形生成ブロック、出力回路の三つのブロックで構成される。

動作の概略は、まずPLLブロックで入力クロックに対して210psずつ遅延した64本の遅延信号群を生成し、PWM波形生成ブロックで遅延信号

群の中から所望の出力パルス幅に応じて任意の2本を選択しPWM信号を生成する。最後に、出力回路でチップ内部のパルス幅を精度良く外部に伝搬する。

遅延信号を作る一番簡単な回路として、通常のバッファを64個並べた遅延信号発生回路の各バッファ間の信号を切り出して、64本の遅延波形を得る回路がある。しかしこの回路の場合、ある条件で外部クロックに対して210psずつ遅延するようにしても、電圧、温度、プロセスのばらつきによって遅延時間は大きく変動してしまう問題がある。

このようなばらつきが発生しても一定の遅延信号を得る一般的な手段としてPLLがある。このPLLを用い単純に210psの遅延時間を生成しようとする、PLL内のVDC(Voltage Delay Controller)内のバッファ段数を64段構成にする必要がある(図3)。

しかし、この方法では、バッファ1段当たりの遅延時間を210ps以内にするのが困難であること、及び64段分のバッファのゲート容量が極めて大きな値になり、PLL内の遅れ要素を発生させ、動作が不安定になる問題があった。

そこで今回の製品においては、遅延値の異なるVDCを

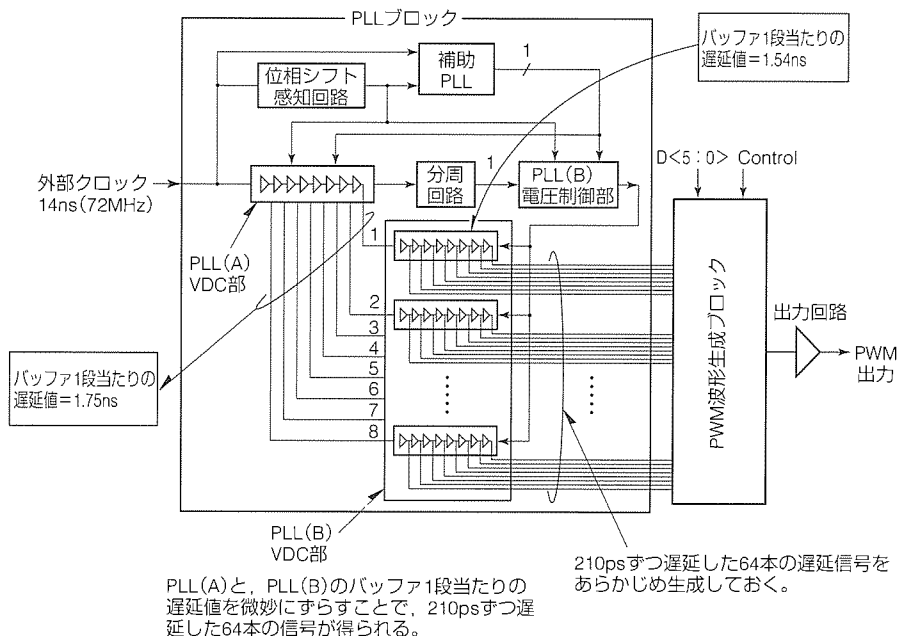


図2. ブロック図

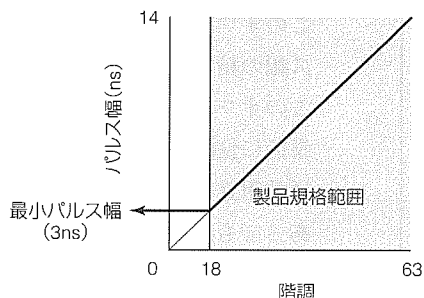


図1. PWMパルスリニアリティ仕様

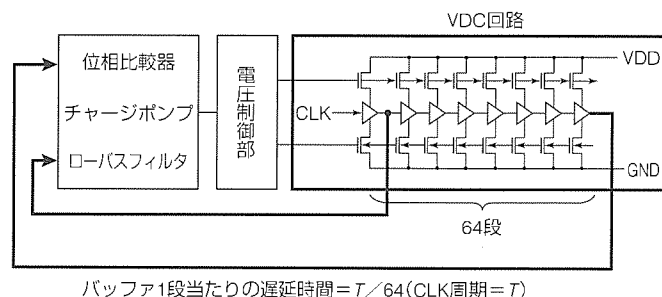


図3. VDCによるPLL回路構成

用いた2種類のPLLを使用することで従来の問題を解決した。

以下に動作を述べる。

まず、図2において、72MHz(周期=14ns)の入力クロックが初段PLL(A)に、その分周クロックがPLL(B)に入

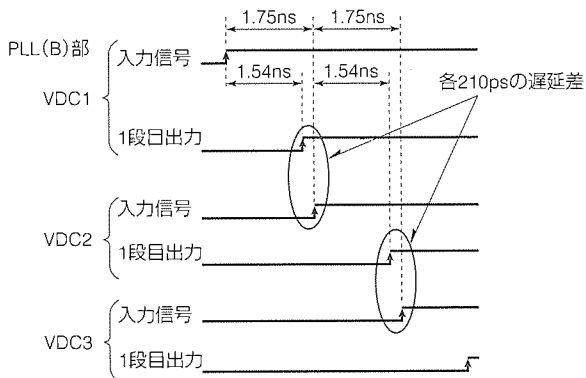


図4. 後段VDCのタイミング図

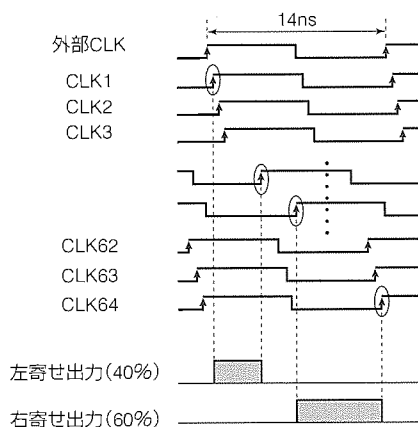


図5. 64本の遅延波形とPWM生成方法

力される。ここで、PLL(A)のVDC部のバッファ1段当たりの遅延値を1.75nsに、後段のPLL(B)のVDC部のバッファ1段当たりの遅延値を1.54nsに設定する。すると、図4に示すように、PLL(B)の後段VDCに入力される信号とVDCの出力信号に210psの差が発生する。これらの信号を64本集めると、図5に示すように、入力クロックに対して210psずつ遅延した信号を得ることができる。

このように、一つのPLLでは困難な210ps単位の遅延信号生成を、2種類の遅延値を持つVDC構成のPLLによって実現できる。

そして、PWM波形生成ブロックにおいて、この64本の遅延信号から任意の2本の信号の立ち上がりエッジを用いてPWMパルスを生成する。このブロックではPLLブロックで生成した64本の高精度クロックをいかに精度良くゲートを通させるかが問題となる。このために、すべてのパスの配線容量、抵抗を完全に合わせ込み、用いるゲートもすべてフルカスタムで設計した。

また出力回路においても、高精度な内部信号の特性を保ったまま外部に伝送するため、従来技術では困難であった高速性と低リングング性を同時に満たす回路を考案し、良好な特性を得ることができた。

#### 4. 高精度PLLの設計

前述のような210ps単位の階調制御を実現するためにPLL回路を用いるが、既存のPLLではこのような高精度は得られないことが分かった。特にこの製品のように特性の異なるPLL回路を複数用いる場合、PLL全体として安定した動作を得るには多くの注意点が存在する。

そこで今回の製品において回路的に工夫した項目の中から、本稿では特にPLLの中のチャージポンプ回路について紹介する。

図6にチャージポンプ回路の新旧比較を示す。チャージポンプは、位相比較器で生成された位相差のパルス情報を電流情報に変換する回路である。

従来回路の問題点は、電圧温度、プロセスがばらつくと定常位相誤差いわゆるオフセットが発生することにある。このオフセットはそのまま出力のパルス幅の精度に影響を及ぼす。すなわち、このオフセットは電流=0の状態でも定常的に位相がずれていることを意味し、通常用途のPLLでは問題ないレベルであっても今回の製品では問題となる。

まず、従来回路では位相比較回路から出力されたアップ、ダウンの信号を受けるトランジスタがPch、Nchと

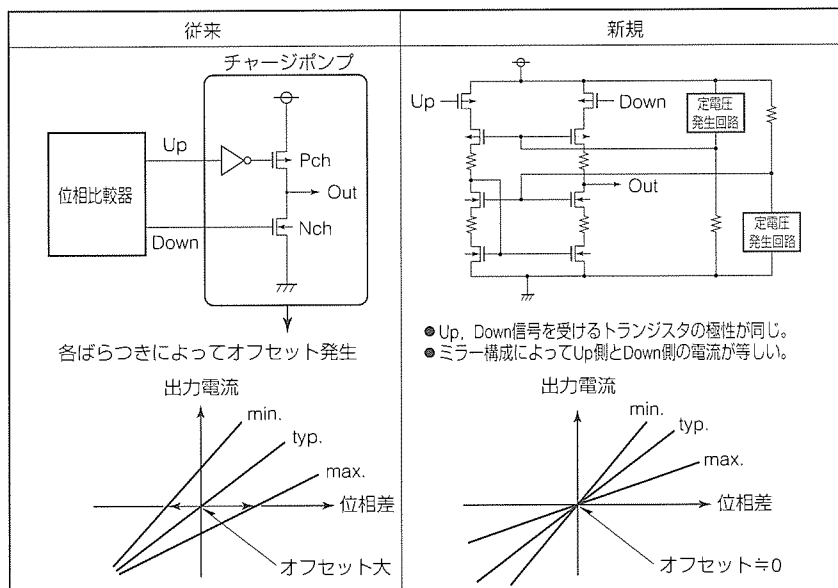


図6. チャージポンプ回路の新旧比較

それぞれ極性が異なっていること、さらに論理を反転させるインバータが付加されていることで回路の対象性は崩れ、位相差-出力電流特性は条件を振り分けると図に示すようなオフセットが発生する。オフセット対策としてWillson型カレントミラー型チャージポンプ等が考えられるが、今回の製品の仕様を満足することはできなかった。

そこで、図6の新規回路を適用した。この回路の特長としては、アップ、ダウンの信号を受けるトランジスタが両方Pchで構成していること、また、ミラー構成になっているため、位相差=0のときは、アップ側とダウン側に流れる電流が条件を振り分けても完全に等しくできる。この回路によってオフセットはほとんど発生しなくなった。

また、PLL全体の伝達関数の設計は可能な限り寄生素子の影響を盛り込み、レイアウトによる影響を排除することを心掛けた。

### 5. 高速・低リングング出力回路の設計

出力回路の役割は、チップ内部で生成した高精度なPWMパルスをいかに精度良く外部の出力に伝搬するかということである。

図7に出力回路の新旧比較と新規回路のタイミング図を示す。既存の回路を用いた場合、次の問題がある。

まず、最小パルス幅=3nsを出力する必要があるため、トランジスタサイズを大きくする必要がある。そうすると、プリント基板、リードフレーム等に寄生するインダクタンスにより、リングングが発生する。このリングングノイズにより、出力されるパルスの精度は大きく崩れる。スルーレート回路を入れる案もあるが、波形がなまるだけで、逆に最小パルス幅が出力できなくなる。

すなわち、この製品に求められる出力回路の仕様は高速かつ低リングングという相反するものであり、両者を同時に実現することは従来困難であった。

インダクタンスの存在する電源、GNDから出力に充放電する限り必ずリングングが発生することから、インダクタンスの存在しないパスから充放電するという観点に着目したのが新規回路である。

回路構成は、出力バッファをPch Tr.2段、Nch Tr.2段のトータムポールタイプとし、各Tr.間に出力の充放電を行うコンデンサを接続する。

出力がLからHに変化する過程での動作を示す。まず、入力の変化でワンショットパルスを生成し、信号Bによって電源側のTr.1をオフさせると同時に、信号Cによって出力側のTr.2をオンさせ、内蔵コンデンサからの充電によって出力をLからHに変化させる。変化した後は能力の小さいTr.3によって電位を保持する。

充電、放電の過程において、インダクタンスの存在する電源、GNDとの電荷のやり取りが存在しないことから、出力端子にノイズが伝搬せず、スイッチングを高速にしても、低リングングが実現できる。

### 6. レイアウト設計

PLLブロック、PWM波形生成ブロック、出力回路ブロック等、各ブロックの性能を最大限に生かすためにはレイアウト設計の工夫が不可欠である。

今回の製品(図8)では、主に以下の項目に注意しレイアウト設計を行った。

- (1) PLLブロックの電源供給方法を内部的に4系統に分離し、電源安定化を図った。

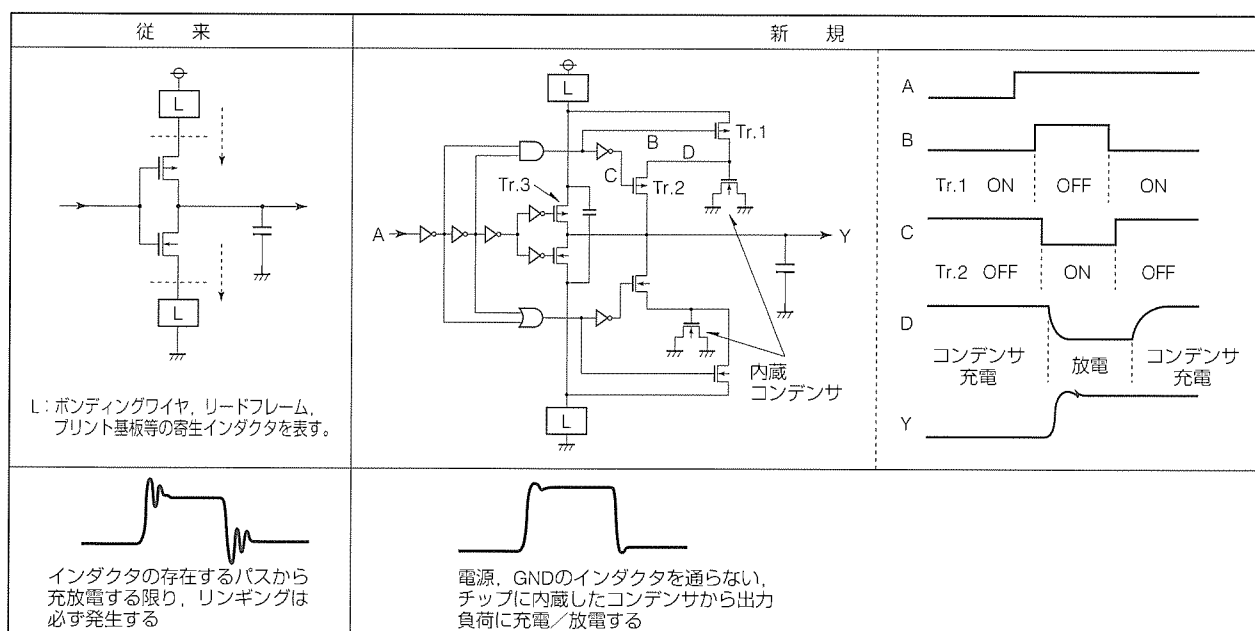
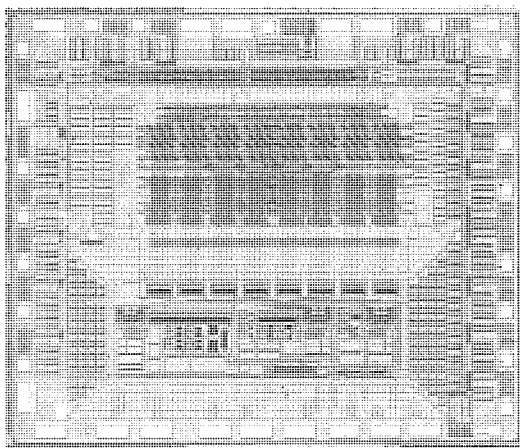


図7. 出力回路の新旧比較



動作周波数 : 72MHz  
 解像度 : 64階調  
 チップサイズ : 4.0mm×4.6mm  
 プロセス : 0.6μm CMOS  
 配線 : 1poly-2Al  
 パッケージ : 36ピンSSOP

図 8. PWM LSIのチップ写真

- (2) PLL内のベアリングが必要なトランジスタの向きはウェーハのオリフラ方向と一致させることで、斜めイオン注入の影響を受けにくくし、特性変動を抑えた。
- (3) VDC回路のバッファ部分は、ダミートランジスタを複数配置し、トランジスタのゲート長の細りによる影響を受けにくくすることで特性変動を抑えた。
- (4) 波形生成ブロックでは、PLLブロックで生成した高精

度な遅延信号から所望のPWM出力を精度良く組み合わせるために、64本の配線容量、抵抗は完全な合わせ込みを行った。

さらに、各種ゲートマクロセルの回路、レイアウトはフルカスタム設計し、立ち上がり時間、立ち下がり時間を一致させ対称性を保った。

(5) 出力回路においては両端を電源、GNDで強化し、ワイヤは一つの端子に2本打つことで、合成インピーダンスを低下させ、リングングノイズ低減を図るとともに、リードフレームの材質は銅系を使用してインダクタンスの周波数依存性を大きく低減させた。

(6) チップ全体のノイズ対策として、チップ内部にトランジスタのゲート容量で構成するバイパスコンデンサ5,000pFを集積した。

## 7. む す び

72MHz動作の64階調パルス幅変調LSIを開発した。今回開発したキーテクノロジーは次の4点である。

- (1) 微小時間(ps)の階調制御技術
- (2) 高精度なPLLの回路設計技術
- (3) 高速、低リングングを同時に満たす出力回路
- (4) 高速・高精度対応レイアウト設計技術

今回蓄積した技術を核とし、フルCMOSプロセスで開発した利点を生かし、今後ますます進むシステムLSI化に対応するためIP化を推進する所存である。



# 高速システムLSI対応Cu配線技術

大崎明彦\* 三上 登\*\*\*  
 林出吉生\*\*  
 東谷恵一\*

## 要 旨

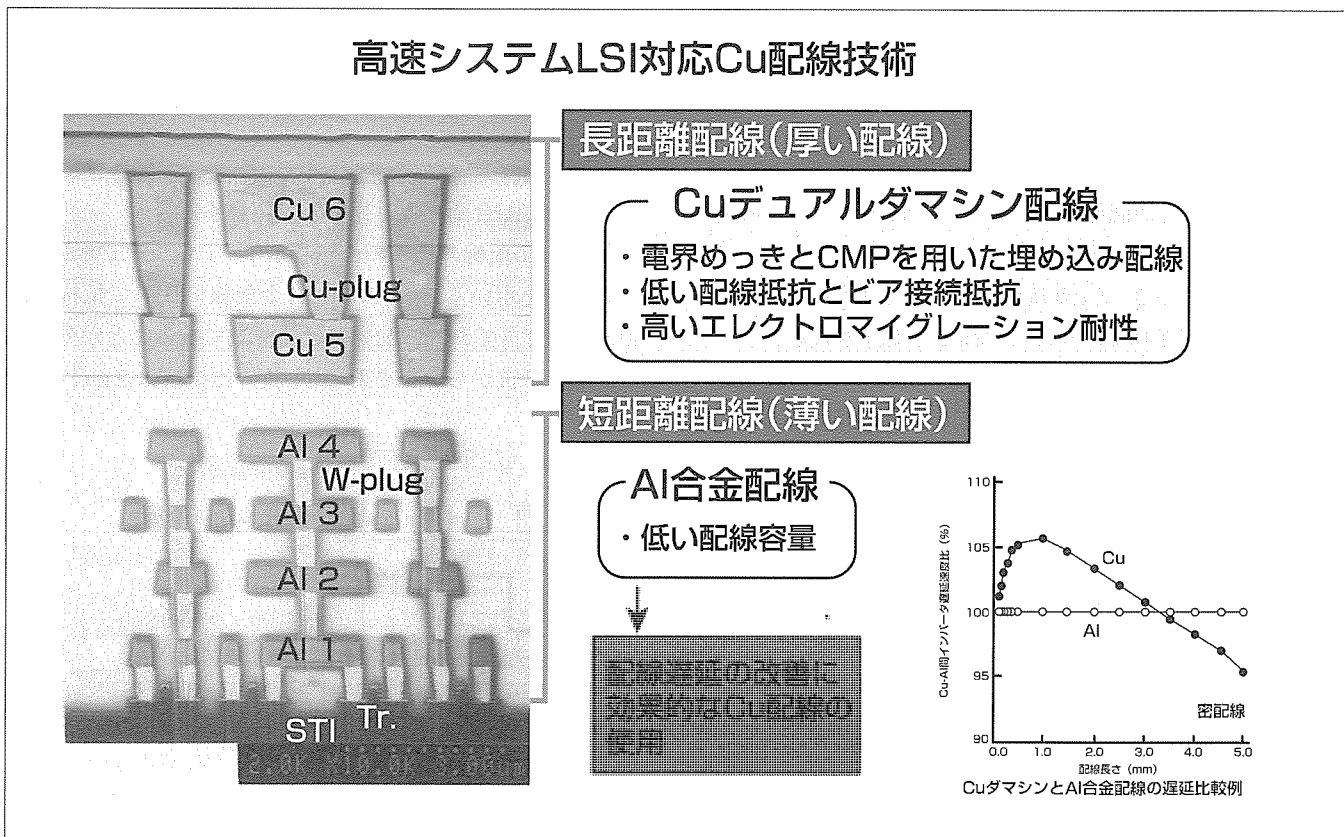
LSIの高集積化は急速に進んでおり、システムオンチップが現実化している。このような先端システムLSIでは高速化への要求も強いが、0.18 $\mu$ m以降のデバイスでは配線遅延が高速化を律速する大きな要因となっている。このため、従来のAl合金配線よりも低抵抗なCu配線の採用が要請されてきている。

この要求にこたえるため、Cu配線を用いた6層の多層配線を試作した。Cuは長距離配線として用いられる上部2層の広ピッチの配線として使用し、下部4層の狭ピッチ配線には従来のAl合金配線を短距離配線として使用した。Cu適用による配線遅延は狭ピッチの短距離配線では改善

されず長距離配線で改善効果が大きいというシミュレーション結果に基づいて、この構成を最適構造として提案した。

Cu配線はデュアルダマシンと呼ばれる埋め込み配線のプロセスフローを用いて形成しており、Cuの埋め込みには電界めっき法を使用した。このプロセスで得られたCu配線は、従来のAl合金配線と比較して、40%程度近く低い配線抵抗、低減されたビア接続抵抗、高いエレクトロマイグレーション耐性を持つことを確認し、システムLSIの高速動作を可能とする電気特性を持つことを実証した。

今後、2000年の量産化を目指して、配線構造や構成の最適化を図りながら、量産化技術の開発を行っていく。



## 高速システムLSI対応Cu配線の概要図

高速システムLSIで問題となる配線遅延の増大を解決するために、上層で使われる広ピッチの厚い配線(長距離配線)にCuのデュアルダマシン配線を用いる多層配線構造を提案し、試作した。この構造を採ることで、配線抵抗とビア接続抵抗を低減でき、配線遅延を効果的に低減できる。

## 1. ま え が き

パソコンやその周辺及び通信等で用いられる先端ロジックLSIの高集積化・高速化は急速に進んでいる。これは、基本的にはトランジスタの微細化に支えられているが、配線においても、微細化と多層化という形で配線密度の向上が図られてきた。しかし、トランジスタの遅延は微細化とともに改善するのに対して配線遅延は原理的に増大する傾向を持つため、0.18 $\mu\text{m}$ 以降のデバイスでは配線遅延がデバイスの高速化を律速する大きな課題となる。

この問題の解決には、大別して二つのアプローチがある。第一は階層的な設計手法の導入であり、短距離配線として下層のピッチ(=配線の幅と間隔の和)を詰めた薄い配線を用い、長距離配線には上層の広ピッチの厚い配線を使い分ける手法である。これは、配線遅延が配線抵抗と配線容量の積に比例するため、広ピッチの厚い配線を用いた方が長距離配線で顕在化する配線遅延を改善できるためである。第二はプロセス的なアプローチであり、Cu配線による配線抵抗の低減と低誘電率層間絶縁膜の採用による配線容量の低減である。これは、Al合金とシリコン酸化膜で構成される従来のLSI配線の構造を根本的に変えるものであるが、前述の設計的な手法のみでは著しい配線層数の増加を招くため、今後は必ず(須)の技術となりつつある。本稿で取り上げるCuは、Al合金の約2/3という低い比抵抗を持っているため、高速デバイスへの展開が注目されている。

一方、配線の信頼性の面でもCu配線のメリットが注目されている。従来のAl合金配線はエレクトロマイグレーション(EM)耐性が限界にきており、今後のデバイスの高集積化・高速化に伴う配線の電流密度増大に対応するのは困難となりつつある。Cu配線の採用でEM耐性を改善できる可能性が指摘されており、この面でも期待される。

以下では、2000年の量産を目指して開発中であるCu配線について、プロセス技術の概要とその効果的な使用方法について検討した結果を紹介する。

## 2. Cu配線の形成プロセス

上記のようなメリットを持つCu配線であるが、ドライエッチングが困難で層間絶縁膜中へ拡散しやすいというAl合金配線では見られない問題がある。したがって、図1に示すようなデュアルダマシと呼ばれる埋め込み配線のフローを用いた。この方法では、シリコン酸化膜にビアホールと溝をあらかじめ加工しておき、拡散防止用のバリヤメタルを形成した後にCu膜を埋め込む。次に、埋め込み部分以外のCu膜とバリヤメタルをAl<sub>2</sub>O<sub>3</sub>系の研磨材を用いた化学機械研磨(CMP)によって除去して、接続用のプラグと配線を同時に形成する。なお、プロセスの過程でCu配線の上下にはシリコン窒化膜(SiN)を形成しているが、

下部の膜は溝をエッチングする際のエッチングのストップパ層、上部の膜はCu膜の酸化防止(Cu膜は酸化しやすくプラズマCVD法でシリコン酸化膜を形成する際に容易に酸化される。)として作用する。以上の形成方法は、Wプラグ形成とAl合金膜のドライエッチングに基づく従来の手法とは大きく異なるプロセスである。

デュアルダマシ法のプロセス的なポイントは、酸化膜の加工技術、Cu膜の埋め込み及びCu膜のCMPをいかに制御性良く行えるかという点にある。このうち、Cu膜の埋め込みは、ホールと溝の両方を一度に埋め込む必要があるため、高い埋め込み性能が要求される。したがって、カバレッジに優れたCVD法や電界めっき法による膜形成が注目されているが、ここではコスト的にメリットのある電界めっき法を用いた。また、Cu膜のCMPでは、Cu膜表面の研磨傷(スクラッチ)の発生やCu膜の落ち込み(リセス、ディッシング)が問題となる。この抑制のために、研磨布や研磨材の最適化を行った。

以上のようなプロセスで形成した多層配線の断面が、要旨のページに示したSEM写真である。これは、0.18 $\mu\text{m}$ ロジックの多層配線にCu配線を導入した例であるが、下層のピッチを詰めた薄い配線には従来のAl合金を、上層のピッチの緩い厚い配線でCuのデュアルダマシ配線を使用している。Cu配線をどのレベルで導入するとメリットを引き出せるかについては後で検討結果を示す。

## 3. Cu配線の電気特性

上述したプロセスで作成したCu配線の電気特性に関して、従来のAl合金配線と比較して紹介する。

図2にCu配線の抵抗の分布を示す。Cuのデュアルダマシ配線を用いることで、Al合金配線に比べて抵抗を約40%低減できており、配線遅延を低減できることが分かる。この配線抵抗から算出されるCu膜の比抵抗は2 $\mu\Omega \cdot \text{cm}$

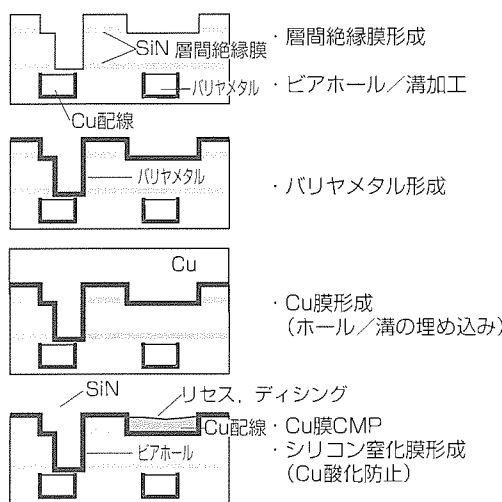


図1. デュアルダマシCu配線の形成フロー

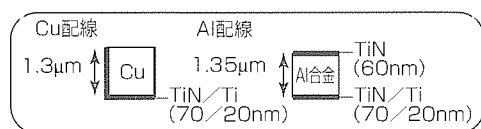
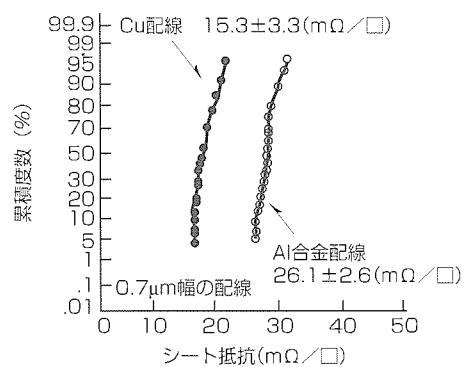


図 2. CuとAl合金の配線シート抵抗の比較

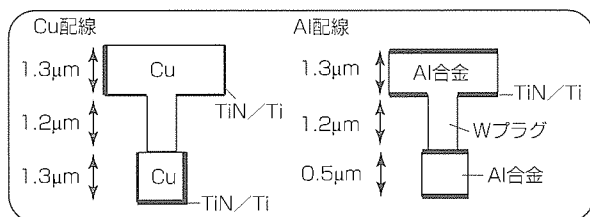
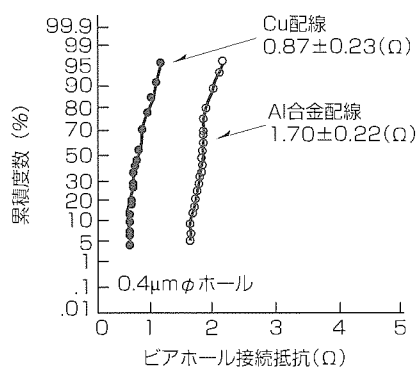


図 3. デュアルダマシンCu配線と従来のAl合金配線(Wプラグ)のビア接続抵抗の比較

程度となり、電界めっき法でバルクの値に近い比抵抗のCu膜が得られることを示している。

次に、ビアホールの接続抵抗の分布を図3に示す。従来のWプラグを用いた接続抵抗と比較して、約半分程度の良好な値が得られている。これは、CuがWよりも比抵抗が小さいことで説明可能であり、LSI高速動作により有利であることを示している。

最後に、デュアルダマシン法で形成したCu配線のEM耐性を調べた結果を図4に示す。Cu配線は、従来のAl合金配線と比較して1けた以上改善された高いEM寿命を持っており、特に電界めっきの膜では2けた近い改善効果が得られている。これは、信頼性の面でCu配線にメリットがあることを示している。

以上のように、電界めっき法で形成したCuのデュアルダマシン配線は、従来のAl合金配線と比較して低い抵抗

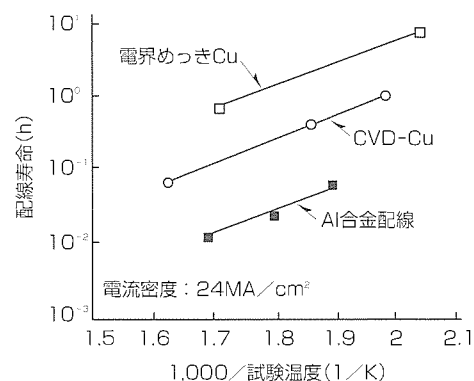


図 4. Cu配線とAl合金配線のエレクトロマイグレーション寿命試験の結果

と高い信頼性を与えており、高速のLSIへの対応性が高いことが確認された。

#### 4. Cu配線の有効な使用方法

最後に、Cu配線の有効な使い方について検討した結果を述べる。これは、Cuをどのレベルから導入するかという議論に対する一つの指針を与えるものである。

前述したようにデュアルダマシン配線では配線の上下にシリコン窒化膜(SiN)を用いるが、この膜は比誘電率が9程度と大きいため配線容量の増加が懸念される。そこで、図5に示す構造を持つAl合金配線とデュアルダマシンCuの狭ピッチ配線に関して、配線膜厚に対する配線容量の変化を計算した結果を図6に示す。配線間の層間絶縁膜材料としては低誘電率材料として有力なふっ素添加のシリコン酸化膜(比誘電率~3.5)を使用し、SiNの膜厚はプロセス上で予想される範囲の50~150nmとした。Cu配線を導入する場合、従来のAl合金配線と比べて、配線膜厚を一定に抵抗を下げるやり方と、配線抵抗を一定に配線膜厚を薄くする二つのスキームが考えられるが、いずれの場合もSiNの影響で配線間の容量が増加することが分かる。

これらの結果を基に、種々の長さの配線負荷を持ったインバータチェーンの遅延時間を計算した例を図7に示す。狭ピッチ、広ピッチのそれぞれの配線に対して、膜厚一定及び抵抗一定の二つのスキームの場合を計算している。また、パラメータとして配線間の層間絶縁膜の比誘電率を変化させている。すべての場合に共通して言えることは、広ピッチの長距離配線ではCuの低抵抗化の効果で配線遅延は改善されているが、狭ピッチ配線で3mm以下の短距離配線では配線容量の増加の影響でむしろCu配線の方が遅延が増加している。換言すれば、Cuの配線遅延改善というメリットは、狭ピッチの短距離配線では引き出すのが難しいと言いうことができる。

Cu配線の導入には、新規のプロセス装置が必要で、従来のAl合金配線の資産が生かせないというデメリットが

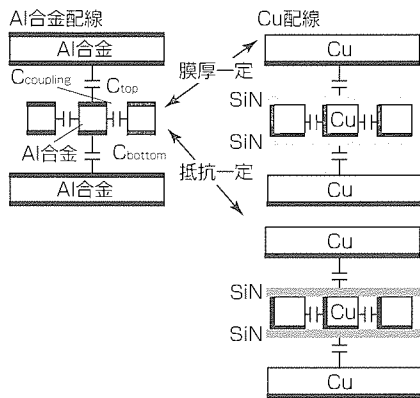


図5. Al合金配線とデュアルダマシンのCu配線の断面構造図

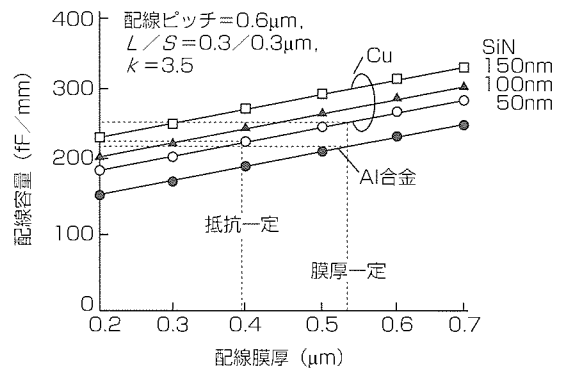


図6. Al合金配線とデュアルダマシンのCu配線の配線容量の計算結果。狭ピッチ(L/S=0.3μm)の場合

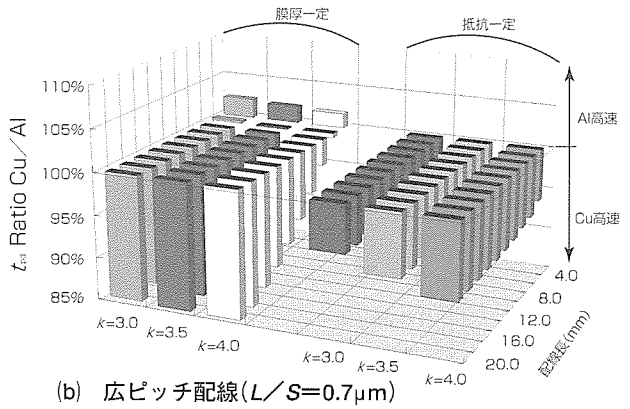
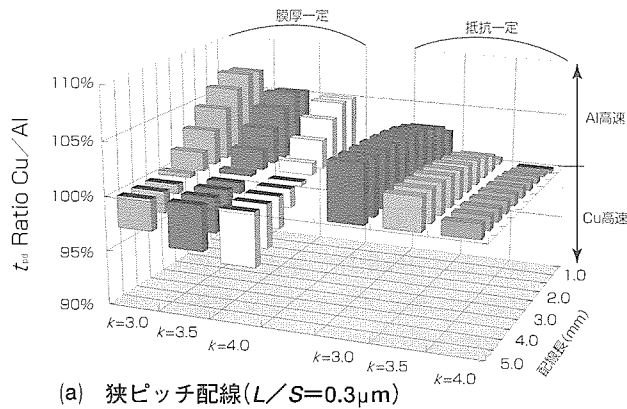


図7. 種々の長さの配線を持つインバータチェーン遅延時間( $t_{pd}$ )のCuとAl合金配線間の比率

ある。以上のシミュレーション結果と併せて考えると、上層の長距離配線からCuを導入するのが得策である。前述した0.18μmロジックの多層配線は、その意味で一つの最適解を与えていると言える。

5. むすび

以上、Cuデュアルダマシンの配線の開発状況の概要に関して述べた。Cu配線の採用は、単に材料だけの置き換えにとどまらず、配線の形成方法の変更を含む一大パラダイムシフトとも呼べるものであり、Al合金配線で長年培ってきた膨大なノウハウに基づく技術レベルに仕上げるためには更に膨大なデータを蓄積する必要がある。

しかしながら、デバイスの高速化要求にこたえていくためにはCuの導入を進めていく必要があるのも事実であり、メリットを引き出す使い方を十分に検討しながら量産化を進めていく予定である。

参考文献

- (1) Bohr, M.T.: Interconnect Scaling-The Real Limiter to High Performance ULSI, IEDM Tech. Dig., 241 (1995)
- (2) Fukada, T., Mori, T., Toyoda, Y., Hasegawa, M., Namba, K., Ogata, K.: Electromigration Resistance of TiWN/Cu/TiWN Interconnections, Applied Surface Science 91, 227 (1995)
- (3) Edelstein, D., Heidenreich, J., Godlblatt, R., Cote, W., Uzoh, C., Lustig, N., Roper, P., McDevitt, T., Motsiff, W., Simon, A., Dukovic, J., Wachnik, R., Rathore, H., Schulz, R., Su, L., Luce, S., Slattery, J.: Full Copper Wiring in a Sub-0.25 μm CMOS ULSI Technology, IEDM Tech.Dig., 773 (1997)

# ディープサブミクロン対応 トランジスタモデルパラメータ技術

越智麗仁\* 木寺真琴\*\*\*  
中村旨生\*\* 谷沢元昭\*\*\*

## 要旨

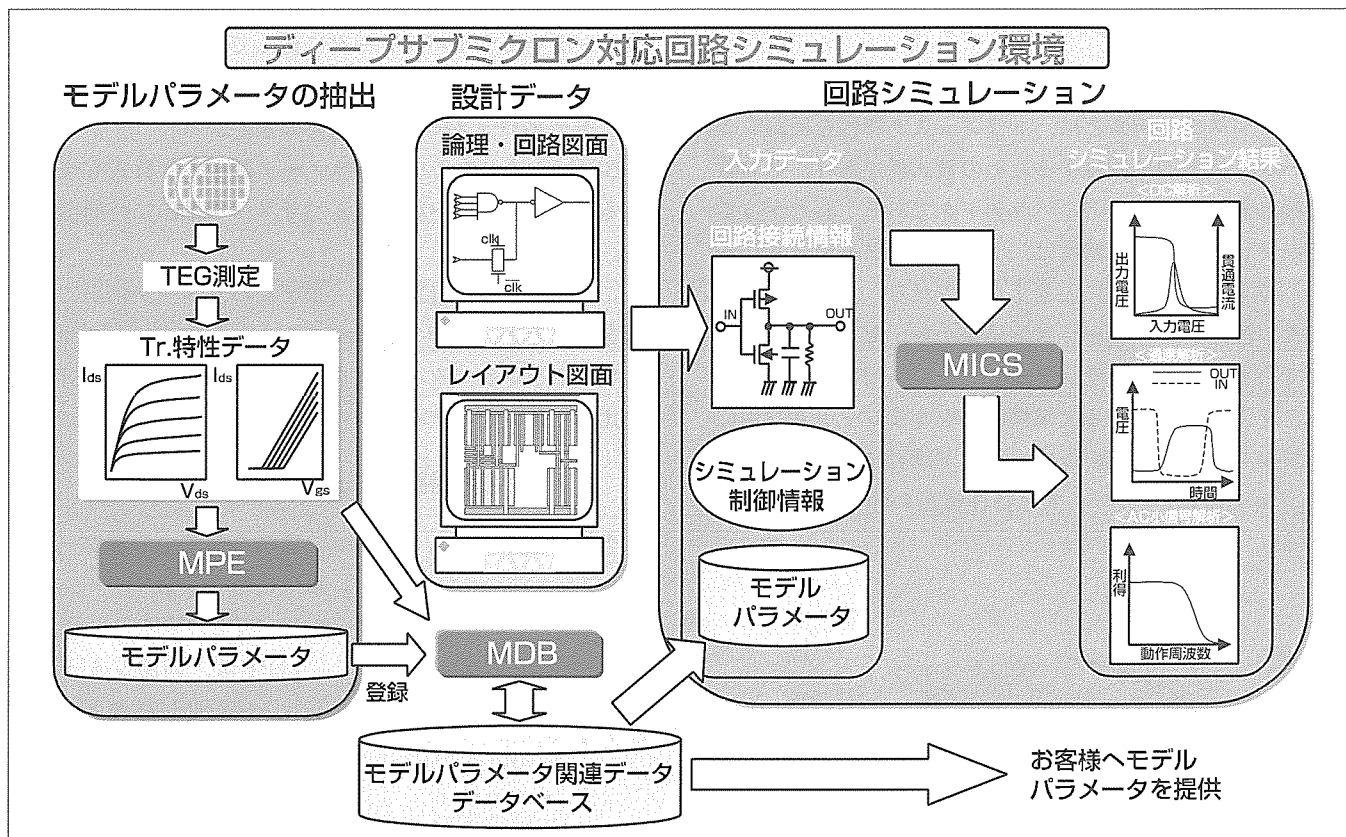
三菱電機(以下“当社”という。)では、回路シミュレーションの効率化を目的として、独自のトランジスタモデルパラメータ(以下“モデルパラメータ”という。)抽出ツールMPE(Mitsubishi Parameter Extractor)、回路シミュレータMICS(Mitsubishi Circuit Simulator)の開発と改良を行っており、これらのツールを中心として回路シミュレーション環境を構築している。

回路シミュレーション結果は、LSI開発において、様々なシミュレーションの基礎情報作成に使用されているため、常に高精度でなければならない。

近年、プロセス技術の微細化が進み、従来のトランジスタ

モデルでは、高精度に回路シミュレーションを実施することが困難になってきている。この問題に対するため、ディープサブミクロン(逆短チャネル効果等)に対応したトランジスタモデルとして、BSIM3(Berkeley Short Channel IGFET Model 3)がUCB(University of California, Berkeley)によって開発された。

当社では、BSIM3のMPE及びMICSへの組み込み、当社製のトランジスタTEG(Test Element Group)データベースツールMDB(Mitsubishi TEG Data Base)の開発を行い、ディープサブミクロンに対応した回路シミュレーション環境を構築した。



## ディープサブミクロン対応回路シミュレーション環境の概要

TEG測定によって得られたトランジスタ特性データをMPEに入力し、BSIM3のモデルパラメータを得る。トランジスタ特性データとモデルパラメータはMDBで管理し、回路シミュレーション時にデータベースからMICSに入力することでシミュレーション結果を得る。また、抽出したモデルパラメータを必要に応じてお客様へ提供している。

1. ま え が き

最先端のLSI開発は、プロセス技術の微細化が進み、ディープサブミクロン(0.2 $\mu$ m以下)の時代を迎えている。これに伴い、微細化に起因する特有のトランジスタ特性が顕著となり、従来のトランジスタモデルBSIM 1<sup>(1)(2)</sup>では高精度に回路シミュレーションを実施することが困難になってきた。

このような状況から、ディープサブミクロンに対応したトランジスタモデルとして、UCBによってBSIM 3<sup>(3)</sup>が開発され、UCBを中心とするCMC(Compact Model Council)によって業界標準を目指した活動が行われている。また、AVANT!社がBSIM 1を独自に改良したLEVEL28が広く知られている。

今回当社では、BSIM 3のMPE及びMICSへの組み込みとMDBの開発を行い、ディープサブミクロン対応の高精度な回路シミュレーション環境を構築した。また、客先へもBSIM 3のモデルパラメータを提供することが可能となった。

本稿では、BSIM 3の特長、MPE、MICS、MDBのツールを中心とした回路シミュレーション環境、及び今後の展開について述べる。

2. トランジスタモデル及びモデルパラメータの位置付け

トランジスタモデルとは、トランジスタ特性を回路シミュレータで擬似的に表現するための数式群であり、その数式で扱われる変数がモデルパラメータである。したがって、回路シミュレーション精度は、トランジスタモデル及びモデルパラメータの精度に大きく左右される。

また、回路シミュレーション結果から、セルベース設計などで行われる詳細遅延シミュレーション用に基礎情報の作成、1万素子を超える大規模回路シミュレーション用にトランジスタ特性情報の作成、ボード設計におけるシミュレーション用にI/Oバッファ特性情報の作成等が行われている。

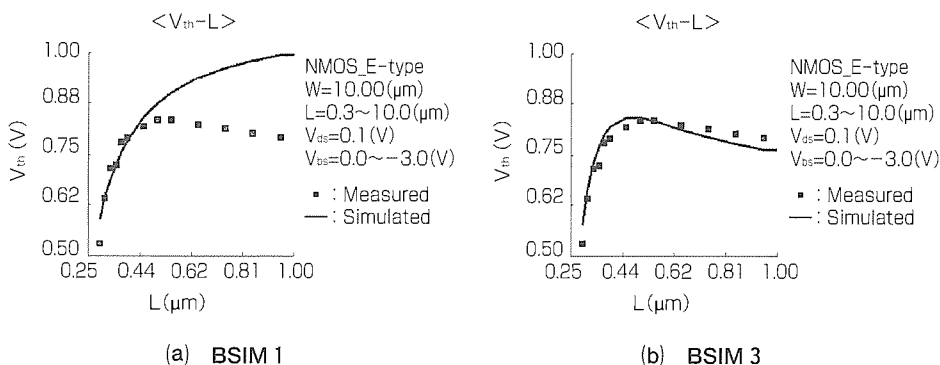


図1. 逆短チャネル効果に対するフィッティング性能

このことから、LSI開発を行う上で、トランジスタモデル及びモデルパラメータの高精度化は不可欠である。

3. BSIM 3の特長

今回導入したBSIM 3は、BSIM 1に対して以下の特長を持っている。

(1) 逆短チャネル効果に対応している。

図1に示すように、BSIM 1では、逆短チャネル効果に対応していないため、シミュレーションを行うには一つのプロセスに対し適用範囲をチャネル長によって分割した複数セットのモデルパラメータが必要であるが、BSIM 3では、1セットのモデルパラメータで表現できる。

(2) ドレイン電流の数式が単一式である。

単一式になったことにより、コンダクタンスも含め関数の連続性が保証され、図2に示すようにBSIM 1よりもコンダクタンス特性が滑らかであることから、アナログ回路におけるトランジスタモデル精度とシミュレーション時の収束性の向上が図られている。

(3) ゲート容量が非定常モデルで表現されている。

(4) ノイズ特性がバイアス依存を考慮した $1/f$ ノイズモデルで表現されている。

(5) より物理的なモデルである。

表1に示すように、BSIM 1に比べて多くのプロセスパラメータをモデルパラメータに含んでおり、物理的なプロセスパラメータへの依存性を持っている。

(6) モデルパラメータ抽出に時間がかかる。

BSIM 1よりもモデルパラメータ数が多く数式も複雑であるため、1セットのモデルパラメータ抽出に時間を要する。

このように、BSIM 3は、モデルパラメータ抽出に長時間を要するが、トランジスタモデルとしてディープサブミクロントランジスタの特性を精度良く表現でき、BSIM 1に比べて優れたモデルとなっている。

4. 回路シミュレーション環境

当社の回路シミュレーション環境を構成する各ツールを以下に紹介する。

4.1 MPEの機能

MPEは、回路シミュレーション実行時に必要となるモデルパラメータを抽出するツールであり、高精度かつ効率的にモデルパラメータを抽出する機能を備えている。また、市販の回路シミュレータ及びMICSとの完全な整合性を保っている。主な機能は次のと

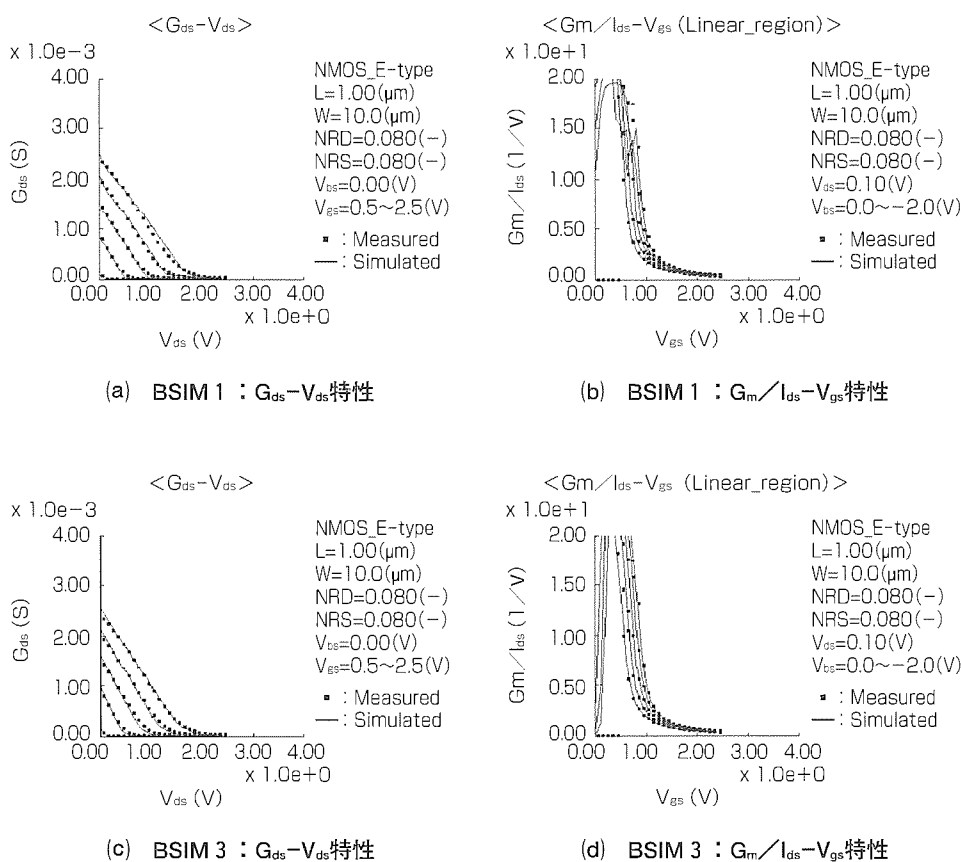


図2. BSIM1とBSIM3のコンダクタンス特性

表1. モデルパラメータに含まれるプロセスパラメータ

プロセスパラメータ	モデル	BSIM1	BSIM3 (BSIM3V3.1)
ゲート酸化膜厚	: TOX	○	○
基板不純物濃度(チャンネルドーブ)	: NCH	×	○
基板不純物濃度(サブストレートドーブ)	: NSUB	×	○
拡散領域の接合深さ	: XJ	×	○
チャンネルドーブ注入深さ	: XT	×	○
拡散シート抵抗	: RSH	○	○

注 ○: モデルパラメータに含まれる, ×: モデルパラメータに含まれない

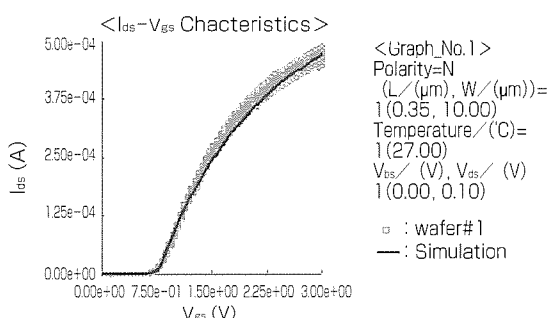


図3. 複数の測定データとシミュレーション結果同時表示機能

おりである。

- TEGの自動測定機能
- 非線形最小二乗法<sup>(4) (5)</sup>に基づいたモデルパラメータの最適化機能
- 抽出シーケンスファイルによるモデルパラメータの自動抽出機能

- 測定データに対する抽出したモデルパラメータのフィッティング精度確認機能
- LEVEL 3, BSIM 1, BSIM 2<sup>(6) (7)</sup>, BSIM 3のモデルパラメータ抽出機能 (MOSFETの場合)

#### 4.2 MICSの機能

MICSは、UCBが開発したSPICE(Simulation Program with Integrated Circuit Emphasis 2)を基本として当社で開発した回路シミュレータであり、高性能化・高機能化が図られている。主な特長は次のとおりである。

- 収束性が良い。
- 計算処理が高速である。
- 信頼性解析(ホット

キャリア劣化, エレクトロマイグレーション)が可能である。

#### 4.3 MDBの機能

MDBは、MPEから得られるTEGの測定データ及び抽出したモデルパラメータをデータベース管理するツールであり、主な特長は次のとおりである。

- 測定データのばらつきに対して、モデルパラメータによるトランジスタ特性の偏りを容易に確認できる(図3)。
- 任意のモデルパラメータにおいて、測定データに対するフィッティング状態を容易に確認できる。
- モデルパラメータとその抽出に用いた測定データを関連付けて管理できる。

### 5. BSIM3の適用

#### 5.1 BSIM3のモデルパラメータ抽出

モデルパラメータの抽出手順は、使用するモデルパラメータ抽出ツール等によって様々である。当社では、例えばDC特性における主要なモデルパラメータについて、評価及び経験から求めた表2に示す手順を基本的に用いて、MPEの最適化機能によってモデルパラメータ抽出を行っている。

また、より高精度なモデルパラメータが更に必要な場合は、表以外のDC特性用モデルパラメータも含めて抽出を

表 2. DC特性用モデルパラメータ抽出手順

抽出ステップ	パラメータ	使用トランジスタ (Tr.)	使用測定データ
1	Vth0, K1, K2	LとWが最大のTr.	$I_{ds}(\text{LOG}) - V_{gs}, V_{ds}=0.1V, V_{bs}$ スイープ
2	K1, DVT0, DVT1, DVT2, NLX	Wが同一でLが異なるTr.	
3	K3, K3B, W0	Lが同一でWが異なるTr.	
4	DVT0W, DVT1W, DVT2W	Lが小さく同一でWが異なるTr.	
5	ETA0, ETAB, DSUB	Wが同一でLが異なるTr.	$I_{ds}(\text{LOG}) - V_{gs}, V_{ds}=V_{DD}, V_{bs}$ スイープ
6	NFACTOR, CIT		$I_{ds}(\text{LOG}) - V_{gs}, V_{ds}=0.1V, V_{bs}$ スイープ
7	VOFF, CDSC, CDSCB		$I_{ds}(\text{LOG}) - V_{gs}, V_{ds}=V_{DD}, V_{bs}$ スイープ
8	CDSCD		$I_{ds}(\text{LOG}) - V_{gs}, V_{ds}=0.1V, V_{bs}$ スイープ
9	U0, UA, UB, UC	LとWが最大のTr.	$I_{ds} - V_{gs}, V_{ds}=0.1V, V_{bs}$ スイープ
10	VSAT, A0, AGS, A1, A2	Wが同一でLが異なるTr.	$I_{ds} - V_{ds}, V_{gs}=0V, V_{bs}$ スイープ
11	B0, B1	Lが同一でWが異なるTr.	
12	PCLM, PDIBLC1, PDIBLC2, PDIB, LCB, DROUT, PVAG	Wが同一でLが異なるTr.	
13	PSCBE1, PSCBE2		
14	KETA		$I_{ds} - V_{ds}, V_{gs}=V_{BIB}, V_{bs}$ スイープ

行っている。

### 5.2 BSIM 3 の適用状況

当社では、BSIM 3 を導入後、MOSプロセスのモデルパラメータはすべてBSIM 3 で抽出を行っている。

### 6. 今後の展開

BSIM 3 は、ディープサブミクロン対応として優れたモデルであるが、より高精度なシミュレーションを行う上で以下のような課題がある。

- BSIM 1 に比べ物理的なモデルであるが、フィッティングパラメータが多く、数式が複雑であるため、抽出に長時間を要する。
- 高耐圧トランジスタにおいて、拡散抵抗のゲート電圧依存が十分に表現できない<sup>(6)</sup>。
- ゲート容量のゲート電圧依存性において、ゲート-ソース間容量とゲート-ドレイン間容量が非対称の特性を示す(図 4)。

当社では、上記のような課題を解決するため、トランジスタモデルの開発元のUCB及び標準化団体に対して、改良要求を提出していく。

### 7. むすび

プロセス技術の微細化が進むに伴い、シミュレーションの高精度化が不可欠であり、今後もより一層のモデルパラメータの高精度化及び抽出期間の短縮を進めていく予定である。

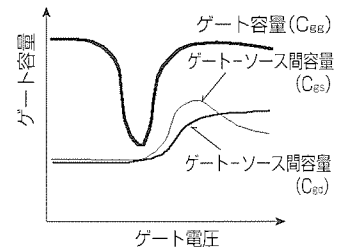
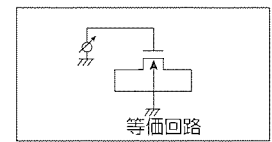


図 4. ゲート容量特性例

### 参考文献

- (1) Sheu, B. J., Scharfetter, D. L., Ko, P. K., Jeng, M. C. : Berkely Short-Channel IGFET Model for MOS Transistors, IEEE Journal of Solid-State Circuits, **S**c-22, No. 4, (1987-8)
- (2) Tanizawa, M., Ikeda, M., Kotani, N., Akasaka, Y. : Submicron MOSFET Model for Circuit Simulation, VLSI Process Device Modeling Workshop, 72 (1989)
- (3) Cheng, Y., Chan, M., Hui, K., Jeng, M. C., Liu, Z., Huang, J., Chen, K., Tu, R., Ko, P. K., Hu, C. : BSIM 3 v 3 Manual, BSIM 3 Homepage ( <http://www-device.EECS.Berkley.EDU/~bsim3/> ), Archive : FTP Contents (1996)
- (4) 中川 徹, 小柳義夫 : 最小二乗法による実験データ解析, 東京大学出版会
- (5) Doganis, K., Scharfetter, D. L. : General Optimization and Extraction of IC Device Model Parameters, **ED-30**, No. 9, 1219 (1983)
- (6) Jeng, M.C., Ko, P. K., Hu, C. : A Deep-Submicrometer MOSFET Model for Analog/Digital Circuit Simulations, IEDM Tech. Digs. 114 (1988)
- (7) Duster, J. S., Jeng, M. C., Ko, P. K., Hu, C. : User's Guide for BSIM 2 Parameter Extraction Program and the SPICE 3 with BSIM Impelenation,
- (8) 名野隆夫, 菊地修一, 岩津勝彦, 西部栄次, 鈴木琢也, 佐々木義智, 伊藤和男, 小林春夫 : BSIM3v3による高耐圧デバイスのモデル化とパラメータ抽出技法, 電子情報通信学会技術研究報告, **98**, No. 346 (1998)



# 2,000ピン級超多ピンパッケージ技術

馬場伸治\* 竹本好孝\*  
 富田至洋\*  
 松嶋弘倫\*

## 要 旨

近年の電子機器の高性能化・小型化は、半導体技術の進歩によるところが極めて大きい。特に、電算機分野では、MPU、ASICの飛躍的な性能向上によって従来の大型コンピュータと同程度のシステムが、ワークステーションやパーソナルコンピュータにおいて小型で安価に実現されている。この電子機器の発展を支える半導体デバイスに対し、多ピン化、高放熱化、高速動作の要求が急激に加速している。

これらを満たすため、フリップチップ接合技術と高密度ビルドアップ基板を採用したFlip-chip Ball Grid Array (FC-BGA)パッケージの開発と量産展開を実施している。

このパッケージの主な特長を以下に示す。

### (1) 多ピン化

2,000ピン級を実現するために、デバイスの能動領域上に最小ピッチ220 $\mu$ mで bumps を配置し、フリップチップ

接合によって高密度ビルドアップ基板にチップを搭載している。

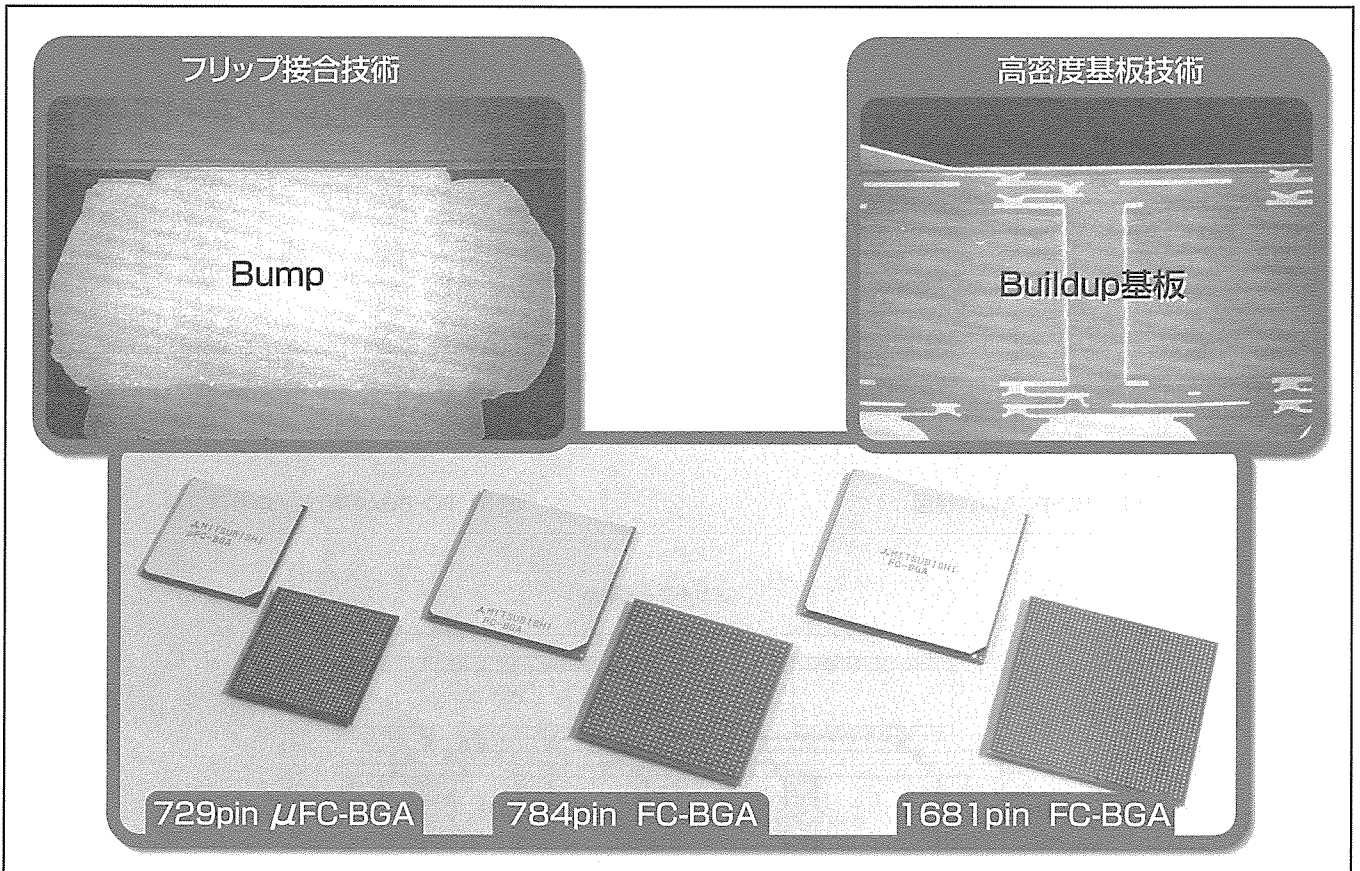
### (2) 高放熱化

チップ裏面に熱伝導の良い銅系材料のヒートスプレッダを設けることによって $\theta_{jc} < 1^{\circ}\text{C}/\text{W}$ を実現し、パッケージ単体で6W、放熱フィンの装着によって20W以上の放熱性を持っている。

### (3) 高速動作

フリップチップ接合による最短配線長の実現と、電源/グランド層を4層設けた合計8層のビルドアップ基板を採用し、超高速動作に必要な電気特性を実現している。

更なる多ピン化、高放熱化、高速動作と低コスト化の要求に対し、bumpピッチとビルドアップ基板の微細化を進めた2,000ピン級FC-BGA、低コスト化のために基板層数を低減した $\mu$ FC-BGAのパッケージ技術開発を進めている。



## Flip-chip BGAパッケージ

多ピン化、高放熱化、高速動作の要求を達成するために開発した、フリップチップ接合技術と高密度ビルドアップ基板を採用した高性能パッケージである。基板層数4層で低コストをねらう729ピン $\mu$ FC-BGAから、基板層数8層の最先端ロジックデバイス対応の784ピン、1,681ピンFC-BGAまで展開している。

\*半導体基盤技術統括部

## 1. ま え が き

近年の電子機器の高性能化・小型化は、半導体技術の進歩によるところが極めて大きい。この発展を支える半導体デバイスに対し、多ピン化、高放熱化、高速動作の要求が急激に加速している<sup>(1)</sup>。これらの要求を満たすため、フリップチップ接合技術と高密度ビルドアップ基板の適用を主な特長とするFC-BGAパッケージの開発と量産展開を実施している。

本稿では、現在量産中の784ピンFC-BGA<sup>(2)</sup>とともに、更なる要求に対して、バンプピッチの微細化を進めた2,000ピン級のFC-BGA、低コスト化のために基板層数を低減した $\mu$ FC-BGAのパッケージ技術開発の概要について述べる。

## 2. FC-BGAパッケージ構造

### 2.1 構造設計

他社に先行して開発したFC-BGAの斜視図を図1に、断面構造を図2に示す。パッケージは、チップ、インナバンプ、基板、ヒートスプレッタ、リング、及び外部端子であるはんだボールで構成される。

基板には有機材料からなるビルドアップ基板を採用した。その理由は、有機基板の線膨脹係数( $13\sim 16\times 10^{-6}/^{\circ}\text{C}$ )が一般的に採用されているセラミック基板( $6.5\sim 8\times 10^{-6}/^{\circ}\text{C}$ )と比較して実装基板( $15\sim 18\times 10^{-6}/^{\circ}\text{C}$ )に近く、パ

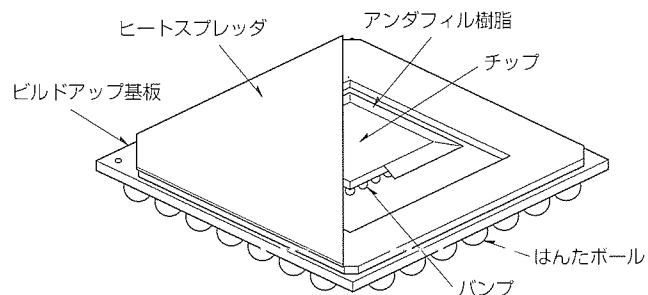


図1. FC-BGAの斜視図

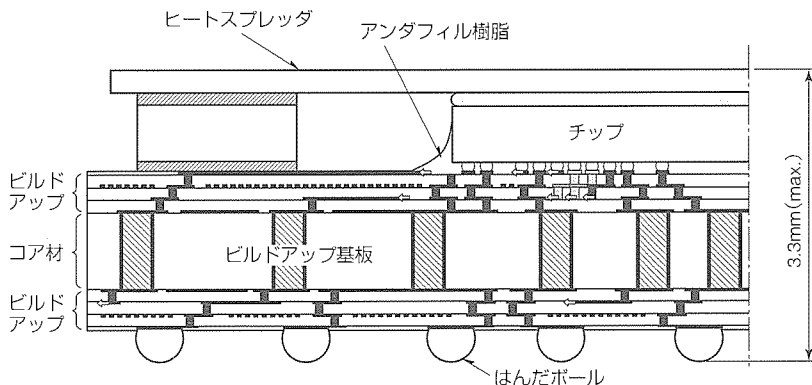


図2. FC-BGAの断面構造

ッケージと実装基板との熱膨脹差に起因するはんだボールの接合信頼性を高められるためである。

次に、基板デザインについては、2,000ピン級の高ピン化に対応するため、最小の配線幅/間隔は $30\mu\text{m}/30\mu\text{m}$ のルールで製品展開を進めている。また、高速動作を実現するためには、信号遅延時間の短縮とノイズの低減が必要である。そのために、配線長を最短とするフリップチップ接合を適用し、電源/グランド層を信号配線層と交互に配置させてクロストークノイズを低減させている。以上により、外部ピンの動作周波数150MHzの高速デバイスの電気特性の要求にこたえ、さらに600MHz級を開発ターゲットとしている。

### 2.2 組立技術

図3にFC-BGAの組立プロセスフローを示す。以下に当社が開発した組立技術の主な特長を述べる。

#### 2.2.1 フリップチップ接合技術

有機基板へのフリップチップ接合を高信頼性で実現する

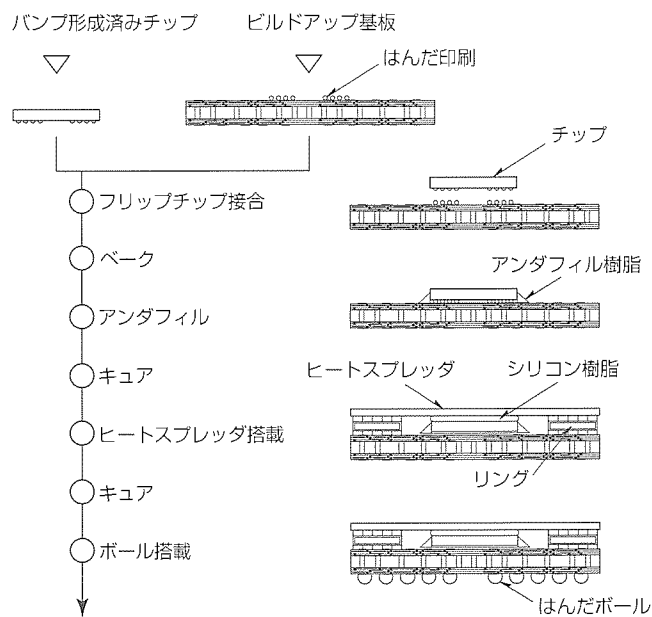
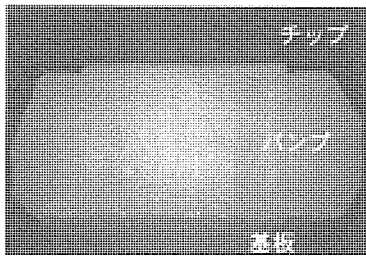


図3. FC-BGAの組立プロセスフロー

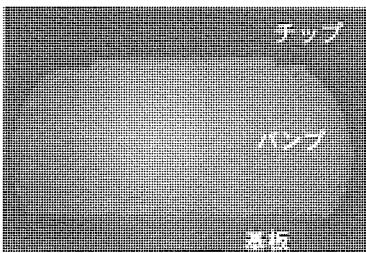
ために、バンプ材料に共晶はんだ(Pb-63%Sn)を採用し、フラックスレスボンディング技術を開発した。一般的なフリップチップ接合では、チップ上はんだバンプ材料には、融点が300℃以上の高融点はんだ(Pb-3%Sn)が適用され、基板上に供給した共晶はんだと、フラックスを用いてリフローによって接続する方式が採用されている。この方式では、特にバンプピッチと基板配線の微細化が進むにつれ、フラックス洗浄が困難となり、フラックス残さ(渣)がリーク不良等の原因になる点、また高温はんだを用いるため低温条件での接合が困難で有機基板にダメージを与える点が信頼性上の問題となる。

当社が開発したフラックスレスボンディング技術では、還元雰囲気中の加熱冷却により、フラックスレス接合を可能とし、接続後のリフローと洗浄工程を不要とした。また、バンプ材料を融点が183℃の共晶はんだとすることで、有機基板に低温接合可能なプロセスを実現した。

図4に、当社が開発した共晶はんだ材でのフラックスレス接合と、一般的な高融点はんだ材でフラックスを用いた接合後のバンプ断面写真を示す。フラックスレスで良好な接合が得られている。さらに、上記2種類のバンプの接合信頼性の評価を行った。図5に-55/125℃の熱衝撃試験後のバンプ断面写真を示す。この試験においても、高融点はんだ材では510サイクル後にはんだ接合部のクラックが原因で電気オープンが発生したが、共晶はんだ材ではクラック等の発生は認められない。さらに、チップと基板間を封止する樹脂材料についても機械的物性の応力解析を行い、最適な物性を持つ樹脂材料を



(a) 共晶はんだ，フラックスなし



(b) 高温はんだ，フラックスあり

図4. フリップチップ接合後のバンプ断面写真

選定することにより、バンプ接続部の疲労寿命は-55/125℃の温度サイクル試験で1,000サイクル以上の高い信頼性を実現した。

はんだ材	樹脂	A	B
共晶はんだ (Pb-63wt%Sn)	チップ		
	基板		
r/n		0/10	0/10
高温はんだ (Pb-3wt%Sn)	チップ		
	基板		
r/n		0/10	3/10

r/n: 電気オープン不良数/評価サンプル数

図5. 熱衝撃試験(-55/125℃, 510サイクル)後のバンプ接合部

表1. FC-BGA熱特性

パッケージ	外形寸法 (mm角)	チップ寸法 (mm角)	$\theta_{jc}$ (℃/W)	$\theta_{ja}$ (℃/W) at 1.0m/s
729 $\mu$ FC-BGA	29.0	10.2	0.97	10.5
		12.2	0.68	10.0
784 FC-BGA	37.5	11.9	0.83	8.7
1681 FC-BGA	42.5	14.6	0.50	7.7

実装基板仕様: 70mm角, 1.6mm厚, 4層メタル

表2. FC-BGA電気特性

パッケージ仕様	パッケージ名	729 $\mu$ FC-BGA		784FC-BGA	1681FC-BGA
	外形寸法(mm)		29×29		37.5×37.5
配線幅/間隔( $\mu$ m)		50/50	30/30	50/50	30/30
メタル層数		4	4	8	8
RLC特性	$R_{self}$ (m $\Omega$ )	200~600	230~730	140~640	150~1,450
	$L_{self}$ (nH)	2.1~4.5	2.3~5.0	1.8~5.0	1.4~6.6
	$C_{total}$ (pF)	1.4~2.5	1.4~2.4	1.4~4.4	1.2~3.9
	$L_{mutual}$ (nH)	0.62~0.82	0.64~1.0	0.03~0.42	0.05~0.62
	$C_{mutual}$ (pF)	0.20~0.30	0.16~0.32	0.06~0.16	0.01~0.22

表3. 784ピンFC-BGA信頼性評価結果

テスト項目	条件	結果
温度サイクル試験	-55/125℃	1,000サイクル 0/22
熱衝撃試験	-55/125℃	300サイクル 0/22
高温高湿バイアス試験	85℃, 85%RH $V_{dd}$ =3.6V	$t$ = 1,000時間 0/22
プレッシャクッカ保存試験	130℃, 85%RH	$t$ = 168時間 0/22

前処理条件: 30℃, 70%RH, 96h→IRリフロー  
(225℃max., 4times)

表 4. FC-BGA製品計画

端子ピッチ：1.0mm

μFC-BGA	外形寸法(mm)	25×25	29×29	33×33		
	端子数	529	729	961		
	ボール配置	23×23	27×27	31×31		
	ボール配置図					
FC-BGA	外形寸法(mm)		29×29	33×33	37.5×37.5	42.5×42.5
	端子数		729	961	1,296	1,681
	ボール配置		27×27	31×31	36×36	41×41
	ボール配置図					

端子ピッチ1.27mmのタイプは要求によって対応

### 2.2.2 ヒートスプレッド搭載技術

ヒートスプレッドとリングの材料、構造、寸法については、応力解析を行い、チップへのストレス、バンプの応力、パッケージの反りを最小となるよう最適化している。リング材を剛性の高いMF202材料とすることで、パッケージの反りを低減し、実装ピッチ1.27mmにおけるボール平坦(坦)度に対するJEDEC/EIAJ規格(0.2mm以下)を十分満足している。

### 3. FC-BGAパッケージ特性

現在量産中の784ピンFC-BGAを始め、バンプピッチの微細化を進めた1,681ピンFC-BGA、低コスト化のために4層基板を採用した729ピンμFC-BGAを中心にパッケージ特性について述べる。

#### 3.1 熱特性

FC-BGAは、放熱性の高い無酸素銅からなるヒートスプレッド、またチップ裏面との接着に熱伝導性の高いシリコーン樹脂を採用し、高放熱性を実現している。表1にFC-BGAの熱特性のシミュレーション結果を示す。例えば、784ピンFC-BGAについては、 $\theta_{jc} < 1^\circ\text{C}/\text{W}$ 、 $\theta_{ja} < 9^\circ\text{C}/\text{W}$ (風速1m/s)を達成している。これは、放熱フィンを付けなくても6W級のデバイスに適用できることになる。なお、これらのデータは、実測によって検証している<sup>(2)</sup>。

#### 3.2 電気特性

FC-BGAは、図2の断面図に示すように、2層コア材の両側に各々3層ビルドアップした、計8層のメタル層からなる基板を適用している。表2に各パッケージ電気特性の電磁界解析によるシミュレーション結果を示す。上記基板構成により、特に相互インダクタンス( $L_m$ )と相互キャパシタンス( $C_m$ )が小さく、クロストークノイズを低減で

きる。

### 3.3 信頼性試験

表3に784ピンFC-BGAの信頼性試験結果を示す。前処理条件はJEDECレベル3に準じた。評価の結果、すべての試験で高い信頼性が得られた。

### 4. パッケージ製品展開

多ピン化、高放熱化、高速動作の要求は一段と加速を続けている。これに対して、既に量産中の784ピンFC-BGAの基本構造を更に2,000ピン級へと開発・展開を進めている。現在展開中のμFC-BGA、FC-BGAのパッケージラインアップを表4に示す。ボールピッチに関しては、実装基板の微細化により、従来の1.27mmから1.0mmへ進行しつつあり、1.0mmピッチを主要な製品としている。

### 5. むすび

2,000ピン級の超多ピンパッケージ技術として、FC-BGAを中心にその概要について述べた。今後、更なる多ピン化、高放熱化、高速動作及び低コストの要求に対して、既に開発した基本技術を基礎として、幅広い品種に展開していく予定である。

### 参考文献

- (1) The National Technology Roadmap For Semiconductors : Assembly & Packaging, Semiconductor Industry Association (SIA), 131~150 (1997)
- (2) Matsushima, H., Baba, S., Tomita, Y., Watanabe, M., Hayashi, E., Takemoto, Y. : Thermal Enhanced Flip-chip BGA with Organic Substrate, Proc. 48th ECTC, 685~691 (1998)



# 特許と新案\*\*\*

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは  
三菱電機株式会社 知的財産渉外部  
電話(03)3218-9192(ダイヤルイン)

## 半導体装置及びその製造法 (米国特許 第5,218,221号)

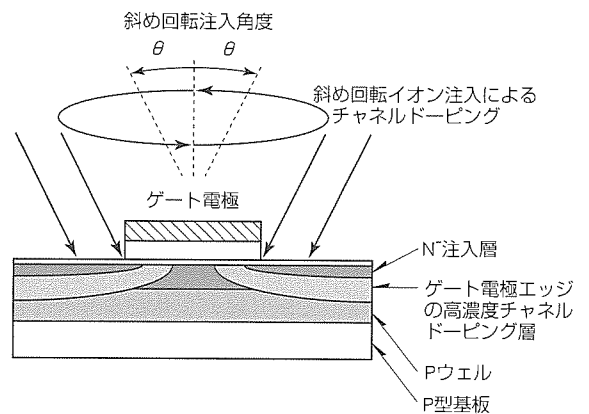
発明者 奥村喜紀

この発明は、トランジスタのしきい値ロールオフ(ゲート電極長が短くなるとともにトランジスタのしきい値電圧が低下していく現象)を抑制するチャンネルプロファイルを備えた半導体装置、及びその製造方法に関するものである。

従来のトランジスタでは、チャンネルプロファイルがソースからドレインに向かう方向で一様であったため、しきい値ロールオフ(ショートチャンネル効果)が著しく現れるという問題点があった。

この発明は、上記の問題点を解決するためになされたものである。ゲート電極形成後にチャンネルドーピングを斜め回転注入によって行うことにより、ゲート電極エッジのチャンネル不純物濃度をゲート電極中央部よりも濃くする。しきい値ロールオフは、ソース及びドレイン近傍の空乏層の広がりに起因する現象であるが、このチャンネル構造によっ

てソース及びドレイン近傍の空乏層の広がりを小さくすることができ、その結果、しきい値ロールオフを抑制することが可能となる。



## 半導体記憶装置 (特許 第2714944号)

発明者 藤島一康, 日高秀人, 朝倉幹雄, 松田吉雄

この発明は、キャッシュメモリを内蔵したDRAM(ダイナミック型ランダムアクセスメモリ)素子に関するものである。

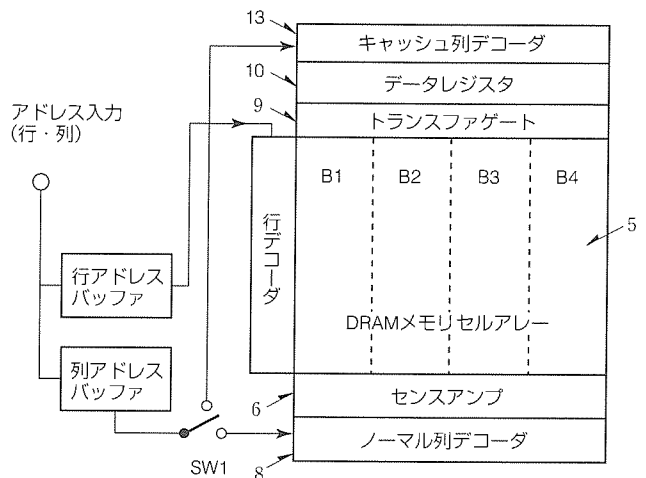
従来のDRAMでは、列アクセスタイムに比べて行アクセスタイムが大きいので、行の切り換わり時に大きなアクセス時間を必要とし、これがメモリシステムのトータル性能向上を制限している問題点があった。

この発明は、上記の問題点を解決するためになされたものである。

図のように、DRAMチップ上にキャッシュメモリとして使用するデータレジスタ(10)を集積化する。DRAMメモリセルアレー(5)は、B1~B4の四つのブロックに分割して、1行を4分割する構成とする。このブロック単位でDRAMセルデータをデータレジスタ(10)に転送するトランスファゲート(9)を設ける。また、DRAMメモリセルアレー(5)とキャッシュデータレジスタ(10)には、それぞれ、コラムアクセス手段である列デコーダ系(8)、(13)を設けている。外部入力コラムアドレス信号は、アクセスされるべきデータがキャッシュデータレジスタ上にある場合(キャッシュヒット時)はキャッシュ用列デコーダ(13)に、そうでない場

合にはDRAMアクセスのためにノーマル列デコーダ(8)に入力される切換えを行うSW1を備える。

このような構成により、異なる行のそれぞれのデータの一部をキャッシュメモリ上に転送しておき、その後はこのキャッシュメモリに高速アクセスする動作を実現することにより、行の切換え時のアクセスタイムを高速化して、メモリシステムの性能を向上できるものである。





# 特許と新案

三菱電機は全ての特許及び新案を有償開放しております

有償開放についてのお問合せは  
三菱電機株式会社 知的財産渉外部  
電話(03)3218-9192(ダイヤルイン)

## 半導体装置 (特許 第2752424号)

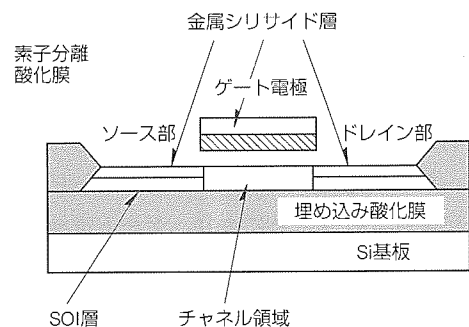
発明者 山口泰男, 西村 正, 井上靖朗, 須賀原和之, 楠 茂  
ない最大膜厚にする。

この発明は、絶縁基板上にMOSFETを形成したいわゆるSOI MOSFETにおいて、トランジスタの電流駆動力を最大にして高速・低消費電力動作を可能とするデバイス構造を提供する構造に関するものである。

従来のSOI MOSFETではソースドレイン部がイオン注入の損傷によってポリシリコン化して抵抗が上昇し、これが寄生抵抗となり電流駆動力が低下してしまう問題があった。

この発明は、上記の問題点を解決するためになされたものである。図の実施例に示すように、ソースドレイン部に自己整合的に金属シリサイド膜を形成して寄生抵抗を低減する。この際に、金属シリサイド膜が薄いと十分な抵抗低減が図れないし、また厚くてSOI層の全体をシリサイド化してしまう場合も抵抗が急激に上昇してしまう。そこでこの発明では、抵抗が最小値になるように金属シリサイド膜を設定する。すなわち、SOI層がすべてシリサイド化され

以上のようにデバイス構造を決めることでSOIの特長を最大限に生かすことができる。



### 〈次号予定〉三菱電機技報 Vol.73 No.4 “広がりゆくオゾン応用技術／バーチャル数値実験室”

#### 特集論文

- ◎“広がりゆくオゾン応用技術”特集に寄せて
- ◎オゾン利用の移り変わりりと将来展望
- ◎円筒多管式オゾン発生器の性能進歩
- ◎大容量積層平板型高濃度オゾン発生装置
- ◎普及する浄水オゾン高度処理システムと最近の技術革新
- ◎オゾン利用による消毒と水再生
- ◎乾式オゾン脱臭システム
- ◎吸着技術を利用したオゾン発生システム
- ◎オゾン併用型余剰汚泥低減システム

- ◎クリーンオゾナイザと半導体プロセスへの応用
- ◎バーチャルエンジニアリング実行環境
- ◎バーチャルエンジニアリング実行環境(IEVE)ナビゲータ
- ◎光・電子機能性材料の新しい電子モデルによる分子設計技術
- ◎放射光装置のビームシミュレーション(三次元磁界対応新手法)
- ◎連成解析可能なEMIシミュレータ
- ◎LSIパッケージ構造設計支援システム
- ◎ユーザーフレンドリなファンの設計支援システム
- ◎WWW対応圧縮機軸振動計算システム

<p>三菱電機技報編集委員</p> <p>委員長 鈴木 新</p> <p>委員 山田英世 河内浩明 宇治資正 永峰隆 植木恵介 内藤明彦 奥山雅和 石川孝治 小林保雄 津金常夫 畑谷正雄 才田敏和 野沢俊治 猪熊章 井上誠也</p> <p>幹事 鈴木隆二</p> <p>3月号特集担当 西村 正</p>	<p>三菱電機技報 73巻3号 1999年3月22日 印刷</p> <p>(無断転載・複製を禁ず) 1999年3月25日 発行</p>
	<p>編集人 鈴木 新</p> <p>発行人 鈴木 隆二</p> <p>発行所 三菱電機エンジニアリング株式会社 ドキュメント事業部</p> <p>〒105-0011 東京都港区芝公園2丁目4番1号 秀和芝パークビルA館9階 電話 (03) 3437局2692</p> <p>印刷所 菱電印刷株式会社</p> <p>発売元 株式会社 オーム社</p> <p>〒101-0054 東京都千代田区神田錦町三丁目1番地 電話 (03) 3233局0641</p> <p>定価 1部735円(本体700円) 送料別</p>
<p>お問い合わせ先 giho@hon.melco.co.jp</p>	

# スポットライト

# 三菱16ビットマイコン M16C/80のご紹介

## M16C/80シリーズの概要

M16C/80は、M16C/62に対し大幅な性能向上を図りました。また、アドレス空間も16Mバイトに拡張しました。

周辺機能はM16C/62のものを受け継ぎ、機能の追加と強化を図りました。また端子配置もピンコンパチブルとなっていますので、手軽に性能アップが図れます。さらに、EMS/EMI対ノイズ性能(図1)及び低消費電力等のM16Cファミリの特長をすべて継承したコストパフォーマンスの高い高性能マイコンです。

## M16C/80シリーズの性能

### ●サイクル数削減

マイコンの命令実行は、幾つかのサイクルで実行されます。各命令のサイクル数を削減することで、処理性能が向上します。M16C/80では、約30%の命令を1サイクルで実行するようにしました。平均命令サイクルも、M16C/60シリーズでは3サイクルでしたが、M16C/80シリーズでは2サイクルと非常に短くなっています。これはRISC方式のレジスタ-レジスタ間演算による1サイクル実行に対して遅いように見えますが、レジスタ-メモリ間、メモリ-レジスタ間、メモリ-メモリ間など豊富なアドレッシングをM16Cは持っているため、コントローラ用途での実アプリケーションでは強力な性能を発揮します(図2)。

### ●プログラムROM効率の向上

命令セットの二重化によって業界トップのプログラムROM使用効率を達成しました。DhrystoneでのプログラムROM容量比較を図3に示します。

### ●高速積和演算

乗算器を内蔵していないマイコンや積和演算命令を持っていないマイコンでは、1データの積和演算に20~70サイクル必要とします。しかしM16C/80シリーズは、高速演算器を内蔵し、1データの積和演算処理を2サイクルで実行できます。これはDSP処理に近い性能で、今までDSPを使用していたモデム処理

等の用途でもM16C/80シリーズでは実現できます(ソフトウェアライブラリあり)。

### ●周辺機能強化

DRAMコントローラ内蔵、DMACチャネル数増加、アドレス一致割込(ROM修正機能)本数増加など、周辺機能も更に充実しています。

## M16C/80シリーズの今後の展開

ROM/RAM展開、低電圧化、高速化、周辺機能強化を行い、M16C/80シリーズのラインアップを充実させる予定です。

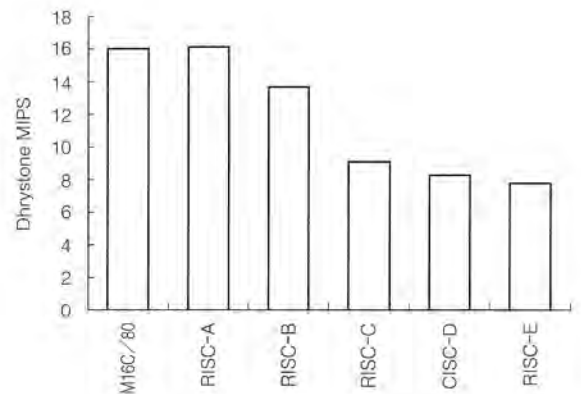


図2. 性能比較 20MHz Internal

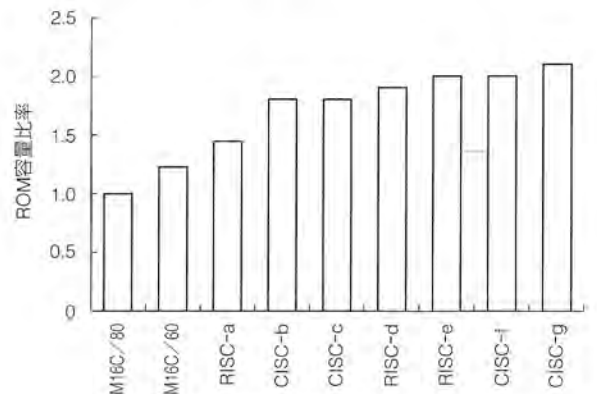


図3. ROM容量比較(Dhrystone)

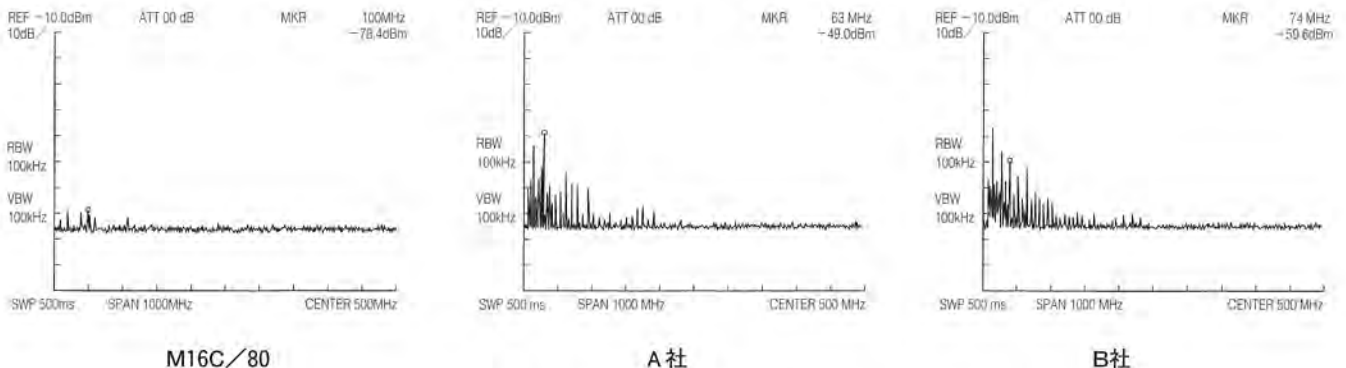


図1. EMI性能比較(Vcc)