

半導体用0.1 μm ホールパターン 形成技術“RELACS”

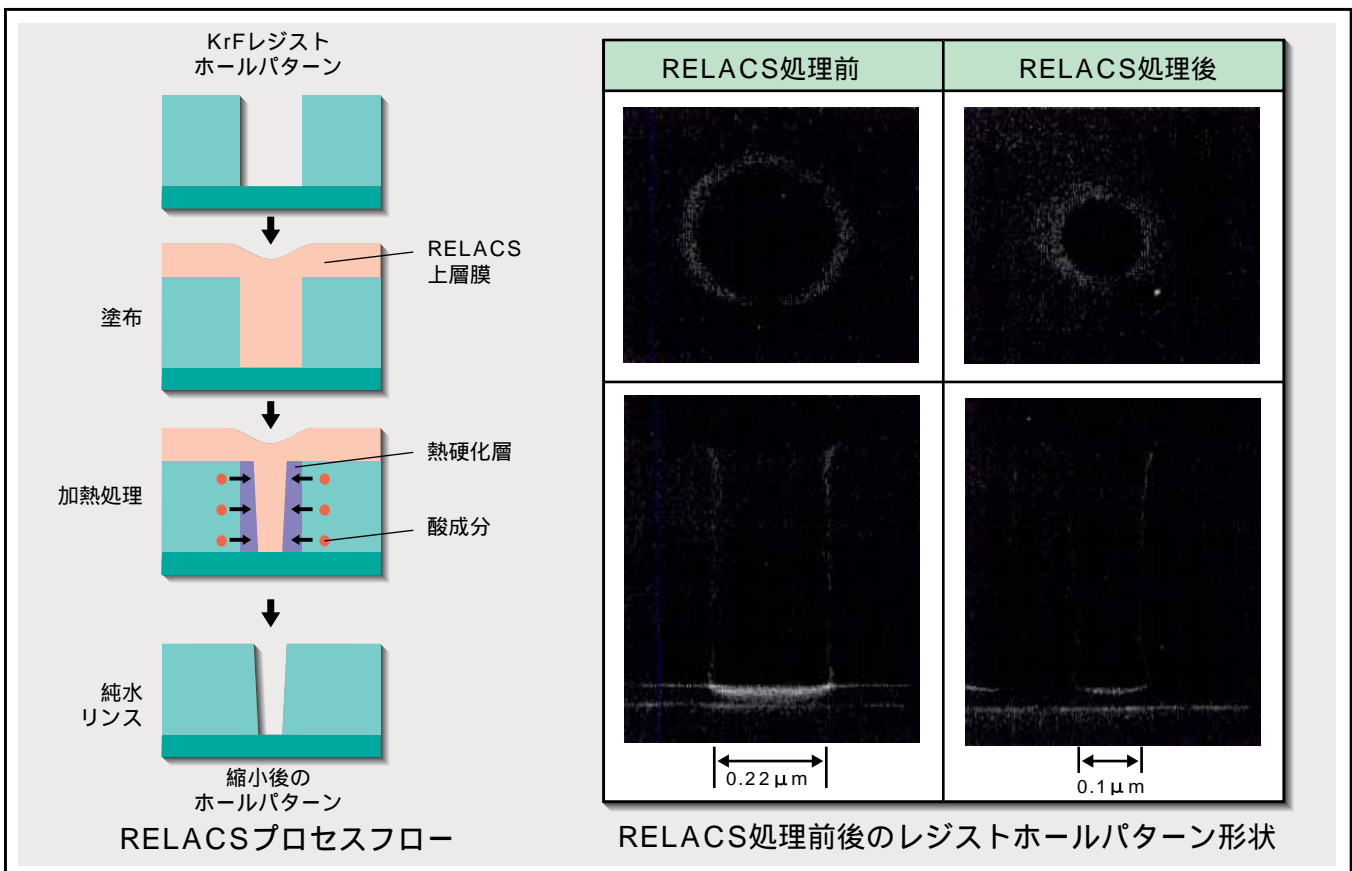
豊島利之* 杉野幹二**
保田直紀* 片山圭一***
石橋健夫**

要 旨

半導体製品の製造コスト低減を実現するため、チップサイズの縮小が進められている。これに伴い、パターンの微細化が強く求められており、特にコンタクトホール形成には0.10 μm レベルの微細ホール形成技術が必要となっている。しかしながら、現行のKrFエキシマ露光技術では0.18 μm の解像が光学的な限界であり、0.10 μm 形成には新しい材料とプロセス技術の開発が必要であった。

今回、この限界を打ち破る技術として、ホールパターン縮小プロセス“RELACS”(Resolution Enhancement Lithography Assisted by Chemical Shrink)を開発した。このプロセスは、KrFエキシマ露光によってあらかじめレ

ジストに形成した0.22 μm のホールパターン上に、新規に開発したレジスト中の酸成分で熱硬化する水溶性有機材料を塗布し、加熱処理による熱硬化後、未硬化部分を水洗除去し、ホール内壁に新たな樹脂層を形成するプロセスである。このプロセスを用いることにより、KrFエキシマ露光技術に基づき、0.10 μm に縮小したホールパターンを得ることが可能となった。さらに、これをマスクとしたドライエッチングにより、下地膜に0.10 μm ホールを形成した。なお、このプロセスは、0.20 μm 以降の半導体製品の量産プロセス技術として確立された。



0.1 μm ホールパターン形成技術“RELACS”

既存のKrFエキシマ露光を用いて0.22 μm サイズのホールパターンを形成した後、RELACS処理を行うことにより、KrFエキシマ露光の解像限界を大幅に上回る0.1 μm の微細ホール形成を実現した。